The University of Osaka
Institutional Knowledge Archive

Title	脳一次視覚野のアーキテクチャに学んだアナログ集積回路システム
Author(s)	下ノ村, 和弘
Citation	大阪大学, 2004, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/2770
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

工甲 9869

脳一次視覚野のアーキテクチャに学んだ
アナログ集積回路システム

2003 年

下ノ村　和弘

脳一次視覚野のアーキテクチャに学んだ
アナログ集積回路システム

2003年

下ノ村 和弘

目 次

第1章　序論 **1**

第2章　アナログ VLSI と生体模倣型視覚デバイス **4**
2.1　ディジタル画像処理と生体視覚 4
2.2　網膜のアナログ回路モデル 7
2.3　シリコン網膜 10

第3章　シリコン網膜のロボットビジョンへの応用 **15**
3.1　システム構成 15
3.2　画像特徴の抽出 16
3.3　実時間メディアン検出 18

第4章　一次視覚野の情報処理 **24**
4.1　網膜から一次視覚野への経路 24
4.2　単純型細胞の受容野 26
4.3　受容野の構成モデル 28

第5章　シリコン網膜からシリコン一次視覚野へ **30**
5.1　従来の研究 30
5.2　アナログ信号によるチップ間コミュニケーション 34
5.3　基本回路 36
5.3.1　トランスコンダクタンス増幅器 37
5.3.2　フォロア統合回路 40
5.4　単純型細胞の回路モデル 42
5.4.1　回路モデルの構成 42
5.4.2　応答特性のシミュレーション 44

第6章　方位選択性を模擬するアナログ集積回路 **50**
6.1　方位選択チップの設計 50
6.1.1　回路構成 50
6.1.2　画素統合動作 53
6.2　方位選択チップの応答特性評価 55
6.2.1　実験システムの構成 55
6.2.2　アナログ画像転写の特性 56

6.2.3 固定パターンノイズ 58
6.2.4 スリットパターンに対する応答画像 62
6.2.5 統合画素数を変えた場合の応答 66
6.2.6 受容野の大きさを変えた場合の応答 66
6.2.7 蓄積時間を変えた場合の応答 68
6.2.8 空間周波数特性 68
6.2.9 自然画像に対する応答 70

第7章 階層的アナログマルチチップシステムへの展望 **74**

第8章 結論 **77**

参考文献 **78**

謝辞 **84**

研究業績 **85**

第1章　序論

生体は感覚器を通して外界の情報を得るが，その中でも時空間的に広がった情報を取得できる視覚は中心的な役割を果たす．

機械においても，視覚は外界の情報を得るための非常に有効な手段であり，古くから工学的な視覚情報処理の研究が行われてきた．従来一般的に用いられてきた工学的な視覚情報処理システムは，CCD(Charge Coupled Device) カメラとディジタル計算機を組み合わせて構成される．CCD カメラで得られた画像情報は，圧縮されることなく輝度分布がそのまま A/D(Analog to Digital) 変換され，ディジタル計算機内のメモリに格納される．ディジタル計算機は，画像情報が格納されたメモリと CPU(Central Processing Unit) との間で 1 画素分ずつデータのやりとりをしながら，逐次的に画像処理を行う．この方法では，処理の高度化に伴う計算量の増加や，入力画像の画素数の増加に対抗して処理にかかる時間を短く抑えるためには，CPU の動作クロック周波数を上げなければならない．即ち，この計算原理を用いて高度な画像処理機能を実時間で行う場合には，消費エネルギーの爆発的な増加，システム規模の拡大等の重大な問題を引き起こす．

これに対して，生体の視覚神経回路を構成する神経細胞の反応速度は数十 ms のオーダーであり，現在の工学的回路システムを構成する半導体素子に比べて桁違いに遅い．それにも関わらず，生体は実時間で視覚情報から外界知覚を行う．これは，生体視覚系における情報処理のアーキテクチャ／アルゴリズムが，現在の工学的視覚システムのそれとは全く異なっていることを意味する．生体視覚系ではまず，視覚系の入り口に当たる網膜の段階で，外界の視覚情報を受容すると同時に，その神経回路網のダイナミクスにより超並列に画像処理を行い，効率良く圧縮された情報を脳に送る．脳視覚野では，単純型細胞や複雑型細胞と呼ばれる異なった特徴抽出性を持った細胞により，階層的に処理を進めていく．

近年，この生体視覚系の機能をアナログ CMOS 集積回路技術を用いて実現する研究が盛んに進められている．中でも，機能や構造が生理学的に比較的よく分かっている網膜については，今までに非常に多くの研究が行われてきた．このような網膜の超並列回路構造と画像処理機能を模擬したアナログ集積回路を特にシリコン網膜と呼ぶ．シリコン網膜は，高集積，低消費電力に加え，アナログ特有のロバストな信号処理という側面から，新しい視覚知能センサとして重要な位置付けにある．開発の発端となったのは Mead らのシリコン網膜チップ [16] である．このチップは，網膜の中でも初段に位置する外網膜神経回路の簡単な抵抗回路モデルに基づき，画像の空間微分を超並列的に実行する．その後もさらに詳細な生理学的知見を取り入れた外網膜神経回路モデルに基づき，空間微分に加え画像の平滑化機能を備えたラプラシアンガウシアン ($\nabla^2 G$) 型受容野を持ったチップなどが開発された [53]．しかしながら，現在まで

に開発されたシリコン網膜チップは，画像処理などの応用に積極的に利用される段階には至っていない．その理由として，これらのチップには自然照明下での画像処理が実行できる程の柔軟性がなく，また個々のトランジスタ特性のばらつきにより十分な出力精度が得られないことが挙げられる．

Kamedaらは，生体の視覚系のように自然照明下での視覚環境で実用的な画像処理ができるという基本視座から，外網膜神経回路網モデルに基づいたアナログシリコン網膜を開発した[20]．このシリコン網膜は，$\nabla^2 G$ 型の空間受容野をもち，撮像と同時に超並列回路構造により実時間で前処理を行う．また，高ゲインを実現する光センサ部構造と，各画素に組み込まれた固定パターンノイズ抑制のための回路により，高い出力精度を実現している．実際に著者らはこのシリコン網膜を用いたロボットビジョンシステムを構築し，様々な応用の試みを通して，その有効性を示してきた．このように画像前処理を担う網膜の段階では，既に非常に実用に近いデバイスも開発されている．

網膜以降の生体視覚系では，一次視覚野における様々な特徴抽出や，高次視覚領域における認識など，大脳視覚野において視覚情報処理が進められていく．従って，さらに高度な画像処理を実現するためには，生体の大脳視覚野の画像処理機能に目を向けなければならない．これらの高度な画像処理機能がどのようなアーキテクチャによって実現されるのかは，工学的にも非常に重要な問題である．視覚野についての生理学的研究はまさに現在進められているところであり，その機能がどのようなメカニズムで実現されているのか詳細は明らかではないが，今までに得られた知見を基に，並列性，階層性といった大雑把な情報処理アーキテクチャを捉えることができる．本研究の目的は，一次視覚野で最初に現れる代表的な特徴抽出である単純型細胞の方位選択性を，その一次視覚野に学んだアーキテクチャを用いて，アナログ集積回路システムとして構築することである．これにより，視覚野の回路構造及び情報処理機能を集積回路技術により実現した“シリコン視覚野”を構成していくための基本的なアーキテクチャを示すことができる．

本論文は8章から構成される．以下，各章ごとにその概要を述べる．

第1章では，本研究を行うに至った背景，及び本研究の位置付け，目的を述べた．

第2章では，アナログ集積回路技術を用いて生体模倣型視覚デバイスを実現する意義について述べた．従来広く用いられてきたディジタル画像処理システムは，その逐次的な計算原理から，時空間的に広がる画像情報を実時間で処理することには本質的に向いていない．これに対して生体視覚系は，全く異なった計算原理で視覚情報を処理する．この生体で用いられるアーキテクチャを並列，階層型システムとして捉え，その特長をディジタル画像処理システムと比較した．またその一部の具体例として外網膜のアナログ回路モデルを挙げ，これに基づいて開発されたシリコン網膜について述べた．

第3章では，シリコン網膜のロボットビジョンへの応用について述べた．外網膜の神経回路モデルに基づいて設計されたシリコン網膜は，入力画像に対して実時間で前処理を行うが，この実時間性に加えて，様々な応用に適用できる柔軟性を，FPGAと組み合わせることで実現した．実用に近づいたこのような視覚デバイスを，画像特徴

抽出やターゲットトラッキングに適用した例について述べ，その有用性を示した．

第4章では，一次視覚野の情報処理についてまとめた．一次視覚野細胞は単純型細胞と複雑型細胞とに分類され，様々な特徴抽出性を持つが，中でも，網膜側から見て最初に現れる単純型細胞は，階層的に視覚システムを構築するにあたって特に重要である．生理学的知見を基に考えられる単純型細胞の構成モデルには様々なものがあるが，本研究では，最も基本的な構造であると考えられるHubelとWieselにより提案されたフィードフォワードモデルを参考にした．

第5章では，シリコン網膜からさらに一次視覚野を模擬した集積回路実現へと進めるにあたって基本となるマルチチップアーキテクチャ，要素回路について述べ，単純型細胞の空間応答特性を得るための回路モデルを提案した．本研究では階層構造を実現するためにマルチチップ構成を用いたが，このときチップ間の画像転送はアナログ信号で行う方式を採った．さらに，アナログ回路による空間的な信号統合を用いた単純型細胞の空間応答特性を得るための回路モデルを提案し，その応答特性をシミュレーションにより確認した．

第6章では，単純型細胞の方位選択性を模擬するアナログ集積回路の回路構成と，試作チップを用いた実験結果を述べた．実験により，アナログ画像転写が十分な速度で行えること，本チップにおける画素統合そのものが固定パターンノイズの影響を軽減するため，出力精度も比較的高いことが確認できた．また，いくつかの回路パラメータを変えることで，方位選択特性が制御できることを示した．

第7章では，本研究で示した基本アーキテクチャを用いて，一次視覚野の複雑型細胞も同様に構成できることを示し，大規模な階層的アナログマルチチップシステムへの展望を述べた．

第8章では，本研究で得られた結果を総括した．

第2章　アナログVLSIと生体模倣型視覚デバイス

2.1　ディジタル画像処理と生体視覚

図2.1に，従来の一般的な工学的視覚情報処理システムの構成を示す．システムは主に，CCDカメラ，AD変換器とディジタル計算機から構成される．CCDカメラで受け取られた空間的に広がる輝度分布は，そのままAD変換されてディジタル計算機のメモリへと送られる．ディジタル計算機では，CPUを用いて逐次的に画像処理が進められていく．ノイマン型ディジタル計算機を中心としたこのようなシステムは，様々な用途に適用できる高い汎用性を持つため，今までに広く用いられてきた．しかしながら，時空間的に広がる視覚情報を扱うシステムとしては，このノイマン型計算機アーキテクチャは適しているとはいえない．一般的に画像処理の最初の段階では，取得した画像に対してノイズ除去のための平滑化や，画像特徴の抽出を行いやすくするための輪郭強調といった前処理が行われる．図2.1の下側に，入力画像（左）及び輪郭強調された画像（右）を示す．ディジタル画像処理では，このような前処理はマスクを用いたコンボリュージョンにより実現される．すなわち，処理画像の1画素の値を求めるために，マスクの重みとそれぞれの画素値の積をマスクのサイズ分計算する．この処理を画像の全ての画素に対して行っていくわけである．マスクのサイズは，単純なパターンの画像のみを扱うならば3×3画素など，小さなものでもよいが，特に自然画像に対して効果的な前処理を行うためにはある程度大きくなければならない．コンボリュージョンの計算量は，マスクの大きさとともに２乗のオーダーで増加していくため，大きなマスクを用いればその計算量は莫大なものになる．これを逐次的に行っていくディジタル計算機を用いたシステムは，実時間画像処理には根本的に不向きであることが分かる．

一方，生体は時々刻々変化する視覚環境において，実時間で安定した視覚情報処理を行うことができる．しかしながら，生体の視覚神経回路の構成要素である神経細胞の反応速度は数十msのオーダーであり，現在の工学的回路システムを構成する半導体素子に比べて桁違いに遅い．このことは，生体の優れた情報処理機能が高性能な構成素子に由来しているのではなく，脳神経系における視覚情報処理のアーキテクチャ，アルゴリズムが，現在の工学的視覚システムのそれとは全く異なっていることに由来する．次節で詳しく述べるように，外界から最初に光情報を受け取る網膜は，画像の受容と同時にいくつかの種類の細胞層から構成される超並列回路により，瞬時に画像処理を行う．視覚系の入り口の時点で，網膜が視覚情報を効率良く圧縮してから脳へと送ることで，脳での情報処理をしやすくしていると考えられる．この網膜の出力は

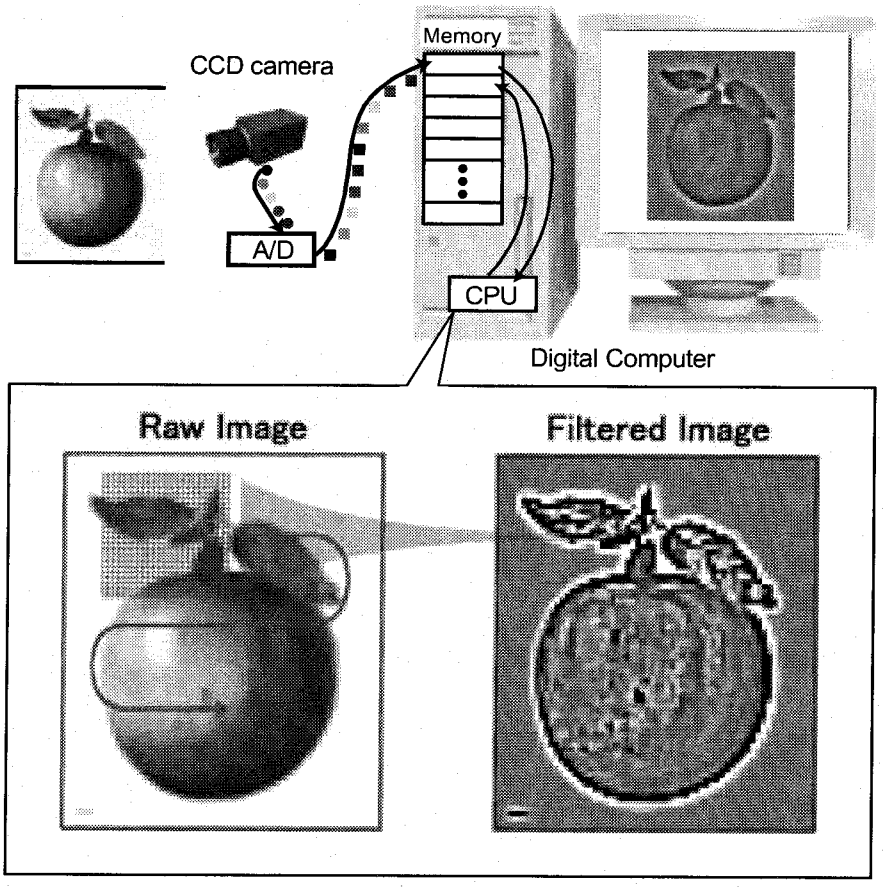


図 2.1: 従来の工学的視覚システム.

主に大脳の一次視覚野に送られる．一次視覚野内の情報の流れは非常に複雑であり，その情報処理のメカニズムは網膜ほど詳細には分かっていないが，基本的な構造として，いくつかの種類に分類される細胞間での階層的な構造を捉えることができる．それぞれの階層では，やはり多数の細胞による並列処理が行われていると考えられる．

このような知見から大雑把に捉えた生体視覚系のアーキテクチャを図 2.2 に示す．これは，アナログ並列回路が階層的に接続された構造をもつ．光情報である画像は，まず最初の層のアナログ回路に並列に入力される．それぞれの層では，受け取った画像に対して空間的な並列処理がアナログ回路の物理的性質そのものを用いて実行される．この計算にかかる時間はアナログ回路の定常状態への整定時間であり，実際にはたかだか μs オーダーで完了する．このアナログ並列回路の一例である抵抗回路網を図中に示している．抵抗回路網は，入力画像に対して空間的な平滑化を実時間で実行する機能を持つ．このような並列回路による演算の結果得られる出力画像は，次の層に送られ，そこでさらに空間的な並列処理が行われる．外界からは時々刻々と変化する画像が入力されてくるが，それぞれの層における並列処理は瞬時に完了しながら，連続的に次の段の層へと画像を送り，階層的に処理を進めていく．

ディジタル画像処理では，一般的に，一枚の画像に対してプログラムした全ての処

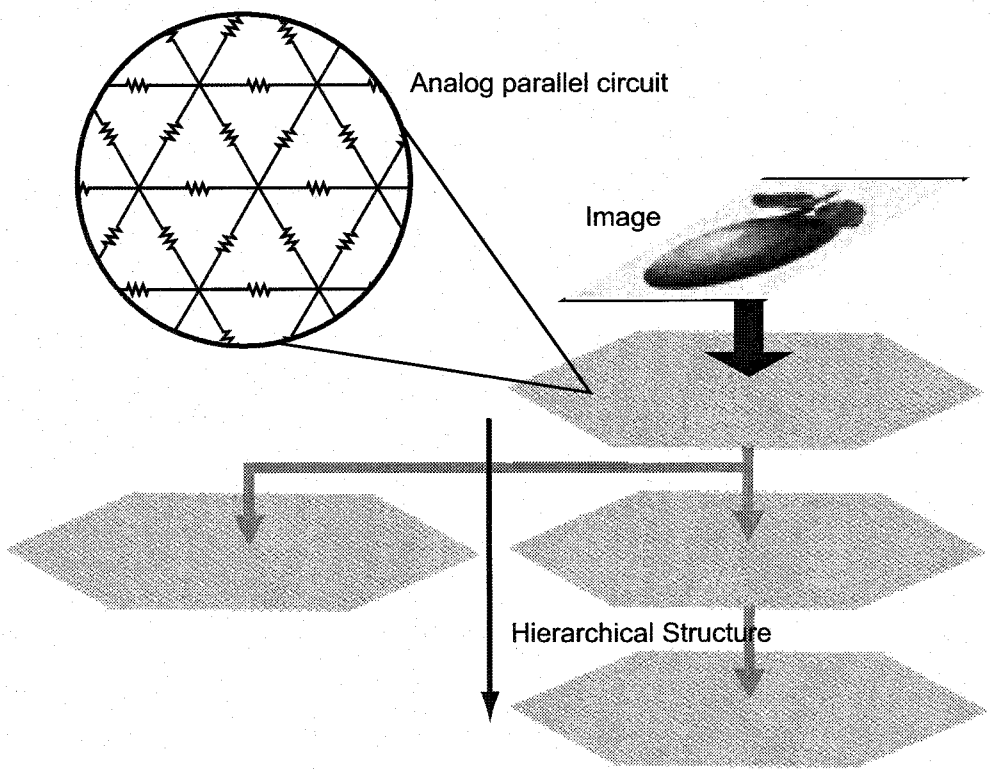


図 2.2: 並列階層型視覚情報処理アーキテクチャ.

理が完了するまで次の画像の処理に移ることはできない．このため処理の実時間性が必要な場合には，1 枚の画像に対する全ての処理を通常ビデオフレームレート（33ms）以内程度の時間で完了させる必要がある．このことが，CPU の高速化とそれに伴う消費電力，システム規模の拡大を余儀なくしていた．これに対して階層構造を持つシステムでは，それぞれの層における処理が完了すればその画像は次の層に送られてさらに次の処理が行われる．その間に前の層では次の画像を受け取ることができる．また，それぞれの層における処理は瞬間的に完了するので，次々と入力される画像を実時間で無理なく扱えることが分かる．

ディジタル計算機の CPU の処理性能の進化は目覚しく，今日でもまだ留まることを知らない．このような強力な CPU パワーをもってすれば，逐次型の計算方式でも実時間（例えばビデオフレームレートの 33ms 以内）でかなりの情報処理が可能であろう．しかしながら，両者の計算の性能を同じにしたとき，決定的に違うのはその計算にかかるコストである [1]．この計算コストは主に消費エネルギーに関係する．ディジタルプロセッサは，その演算速度の増加と引き換えに，急激な消費電力の増加を招いており，現在の典型的なプロセッサでは消費電力は既に 100W 近い．将来的にはこれはますます増加することが予測されている．これに比べて，階層，並列システムでは，それぞれの層を構成するアナログ回路の消費電力はたかだか数十 mW 程度であり，非常にわずかであることが分かる．例えば本研究で試作した単純型細胞を模擬す

るアナログ集積回路の消費電力は 13.6mW であった．またこれは，冷却用装置などの付加は不要であり，ハードウェア規模を小さく抑えられることにもつながる．低消費電力かつコンパクトなハードウェアという特長は，装置搭載のためのスペースや使用できる電力が限られる自律型の移動ロボットなどへの適用を考えた得た場合には，非常に重要な条件である．このような，並列階層型の情報処理アーキテクチャは，空間的に広がり，かつ時々刻々変化する視覚情報扱うのに適したものであると考えられる．

2.2 網膜のアナログ回路モデル

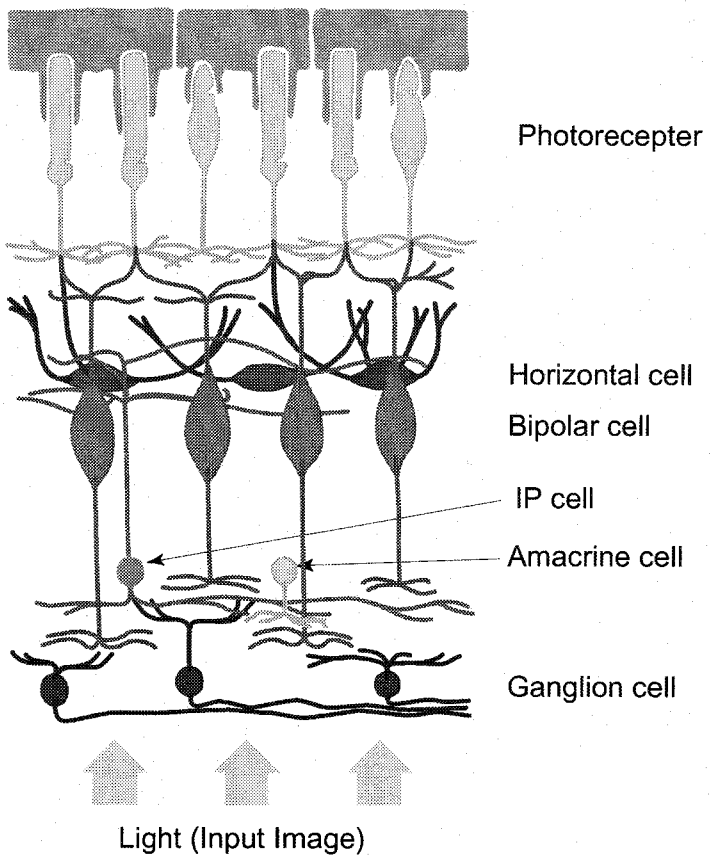


図 2.3: 網膜の断面図.

生体視覚系における並列計算の端的な例を，網膜に見ることができる．脊椎動物の網膜は，眼底に位置する厚さ 200 から 300μm の神経組織である．外界像は，眼球のレンズ系を通して網膜表面に結ばれる．図 2.3 に，網膜の断面の模式図を示す．網膜には大きく分けて，視細胞 (Photoreceptor)，水平細胞 (Horizontal cell)，双極細胞 (Bipolar cell)，アマクリン細胞 (Amacrine cell) および神経節細胞 (Ganglion cell) の５種類の細胞があり，それらは層構造をなしている．また最近では，インタープレキシフォルム細胞 (IP cell) と呼ばれる細胞が形態学的な研究により新たな種類の細胞として付け加えられるようになってきた．脊椎動物の場合，外界像 (光信号) は網膜

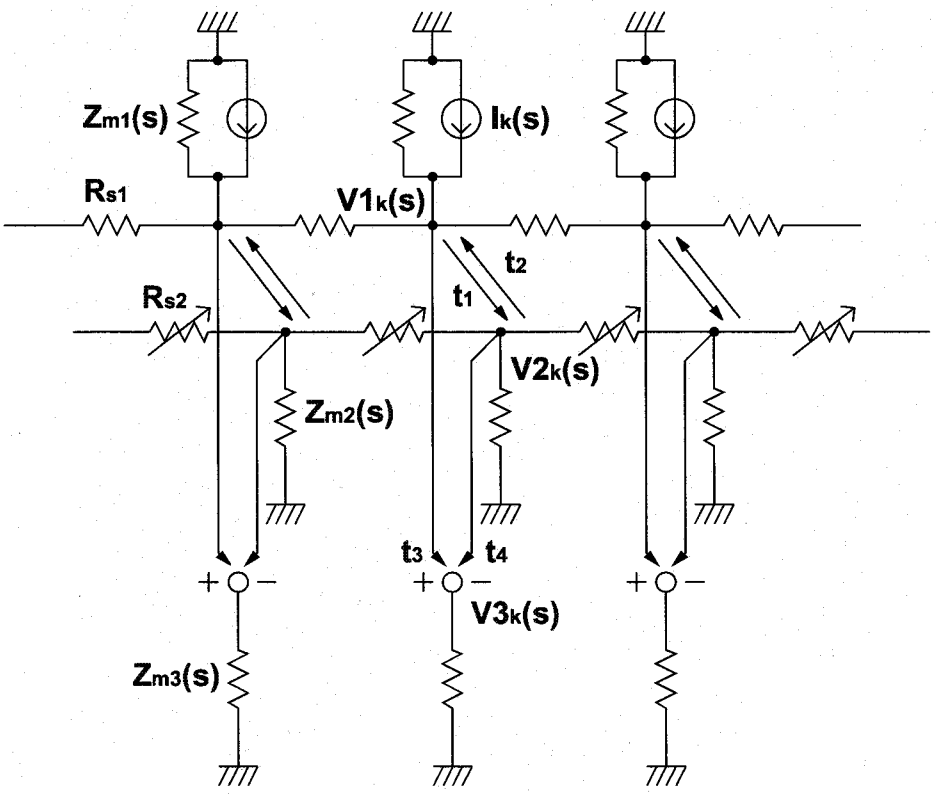


図 2.4: 外網膜の神経回路モデル.

の中でも光の入射方向 (図中矢印) から見て最も奥に位置する視細胞によって，電気信号に変換される．網膜面に沿って並んだ視細胞により，電気信号の離散的な 2 次元分布に変換された画像はさらに，後段の水平細胞，双極細胞によって並列に処理される．この視細胞，水平細胞，双極細胞からなる神経回路は，外網膜神経回路と呼ばれる．外網膜では，同じ種類の細胞同士はお互いに電気シナプスにより電気的に広く結合している．外網膜神経回路で処理された情報は，出力細胞である双極細胞から，アマクリン細胞および神経節細胞へと送られる．神経節細胞では画像中の形をコードするチャネルと，動きをコードするチャネルが分化していることが分かっている．逆の言い方をすれば，外網膜神経回路は，後段の形と動きを知覚するために分化したチャネルに対して共通の前処理フィルタとなっている．従って，外網膜神経回路の機能を適切に集積回路化することは，実時間並列画像処理システムを構築する上で極めて重要なことである．

脊椎動物の外網膜神経回路の構造は，生理学的，形態学的知見に基づき図 2.4 のような抵抗回路網として表すことができる [3, 5, 13].

視細胞の細胞体は膜インピーダンス $Z_{m1}(s)$ により表す．但し，$s = j\,\omega$ ($j = \sqrt{-1}$ ，ωは周波数) である．視細胞は，光信号を光電流 $I_k(s)$ へと変換する．ここで添字 k はピクセルの位置を示す．隣接するし細胞同士は gap-junction と呼ばれる電気シナプス (抵抗 R_{s1}) により弱く結合しており，その受容野は視細胞自身の大きさをやや上回る程度である [6, 7]．視細胞の応答電位は図中 $V1_k(s)$ で示した．

水平細胞の細胞体は膜インピーダンス $Z_{m2}(s)$ により表す．水平細胞は，視細胞から化学シナプス入力を受け，また，逆に視細胞へ抑制性の化学シナプス入力を与える．それぞれの化学シナプス入力の強度を図中では t_1 と t_2 で表す．これらは化学シナプスをトランスコンダクタンスと見立てた時のコンダクタンスにあたる．隣接する水平細胞同士は電気シナプス (抵抗 R_{s2}) により強く結合しているために，水平細胞の受容野は時として網膜全体に及ぶこともある [8]．水平細胞の応答電位は，図中 $V2_k(s)$ で示した．

双極細胞は，視細胞からは興奮性のシナプス入力 t_3 を，水平細胞からは抑制性のシナプス入力 t_4 を受け取る．その結果双極細胞の出力は視細胞出力と水平細胞の差に比例したものとなる [9]．双極細胞の細胞体は膜インピーダンス $Z_{m3}(s)$ により表す．

水平細胞間の電気シナプスの抵抗値は，遠心性の信号により制御されており，水平細胞の受容野の大きさは網膜の順応状態に応じて可変となっている [11, 10]．このことは双極細胞の受容野も，遠心性の信号により制御されていることを意味する．

網膜には時間および電位依存性の様々な非線形性があることが生理学的実験により示されている．しかし，入力する光強度が生理学的な範囲であるとき網膜細胞の膜特性は適当なインピーダンスにより線形近似的に表現できる [12]．さらに，回路への入力 $I_k(s)$ を直流とし，回路の応答が定常値に達したときの応答の空間分布のみを考えると，膜インピーダンス $Z_{m1}(s)$，$Z_{m2}(s)$，$Z_{m3}(s)$ はそれぞれ純抵抗 R_{m1}，R_{m2}，R_{m3} に置き換えられる．

さらに，シリコン網膜の設計にあたり，上記の神経回路モデルに以下のような条件が加えられ，簡単化されている [21]．

1. 電流入力型のモデルを電圧入力型にする．つまり，等価電圧源の定理より電流源 I_k と抵抗 R_{m1} の並列回路を，電圧源 V_k と抵抗 R_{m1} の直列回路とする．このときの入力電圧 V_k は，V_k=I_kR_{m1} と表される．

2. 水平細胞からの抑制性のフィードバックは考えない．すなわち，t_2=0 とする．

3. 網膜全体に一様な光が照射されたとき，微小電極を用いた細胞内記録によれば，日常経験する生理学的な範囲の光強度に対する定常応答振幅は，視細胞と水平細胞においてほぼ等しい．これよりシナプス重み係数 t_1 は，t_1=$1/R_{m2}$ のように R_{m2} の逆数と見積もることができる．従って，電圧入力型のモデルにした場合の 2 層目（水平細胞層）への入力電圧は $V1_k$ となり，視細胞の応答電位がそのまま入力される．

4. 視細胞，水平細胞から双極細胞への電圧による結合加重を 1 とする．つまり，$t_3R_{m3} = -t_4R_{m3} = 1$ である．従って，双極細胞の応答電位は，次のように視細胞と水平細胞の応答電位の単純な差となる．

（双極細胞の応答電位）＝（視細胞の応答電位）－（水平細胞の応答電位）

このような電気的結合度の異なる二層の抵抗回路網上の電圧分布の差を出力として得る回路モデルの空間フィルタ特性は，ラプラシアン－ガウシアン（$\nabla^2 G$）をよく近似することが知られている [13]．ラプラシアン－ガウシアンフィルタは，入力画像に対して平滑化及び輪郭強調を行う機能を持つ，自然画像の前処理に適した空間フィルタである [14].

2.3 シリコン網膜

生体視覚系に見られる超並列回路構造を，現在のスタンダードな集積回路技術であるCMOS(Complementary Metal-Oxide Semiconductor）集積回路技術を用いて実現した，生体模倣型視覚デバイスの研究が，近年盛んに行われている．Meadらによる最初のシリコン網膜の開発 [15] 以来，様々な種類の集積視覚デバイスが開発されてきた．これらの中には，中心－周辺拮抗型空間受容野を模擬したもの，一過性の時間特性を模擬したもの，またオプティカルフローやターゲットの中心など特定の情報検出に特化したものなどがある [49]．しかしながら，従来のチップの多くは，アナログ回路特有の素子特性のばらつきに起因する計算精度の低さにより，実際の応用に適用することは困難であった.

Kamedaらは，前節で述べた外網膜神経回路網モデルをもとに，一次元型，擬似二次元型，二次元型のシリコン網膜チップを開発した．一次元型チップは，一次元の $\nabla^2 G$ 型の受容野を持ったラインセンサである [18, 92]．擬似二次元型チップは，水平方向一次元の $\nabla^2 G$ 型受容野を持つラインセンサが垂直方向に複数本並んだエリアセンサである [19]．また，二次元型チップは，二次元配列の中では最も高い対称性を有する六角格子状の画素配列を持つ二次元の $\nabla^2 G$ 型受容野を備えたエリアセンサである [20]．これらのシリコン網膜はいずれも，自然照明下において高い出力精度を持つことが確認されており，実用に近い性能が実現されている．ここでは，二次元型のシリコン網膜を用いて，実際の画像処理における有効性を実験により確認した.

二次元型 40×46 画素のシリコン網膜チップの回路構成を図 2.5(a) に示す．このチップは，受光部（フォトダイオード:図中PD）と処理回路からなる画素回路が，水平方向に40画素，垂直方向に46画素並べられている．各画素は，受光面が六角形状に配置されるように並べられ，それらの画素を接続する抵抗回路網は六方格子状になる．このような画素配置により，高い対称性を持った二次元の $\nabla^2 G$ 型受容野を実現する．$\nabla^2 G$ フィルタは，画像処理において最も基本的な空間フィルタであり，ステレオ視や速度検出等の高次情報処理の前処理として使用される [77].

チップ出力は，垂直方向，水平方向それぞれに用意したシフトレジスタからのデータ信号により，一画素ずつ出力線（図中out）に接続され，順に読み出される．また，水平方向のシフトレジスタのみを用いて，行ごとに用意された出力線（図中out0,out1,out2,out3）から列並列でチップ出力を読み出すことも可能である．列並列読み出し方式は，短時間で1フレームを読み出すことができるが，後段のシステムへの配線量は多くなる．本研究では，後段システムとの接続が簡単な，一画素ずつの順次読み出しを前提とした.

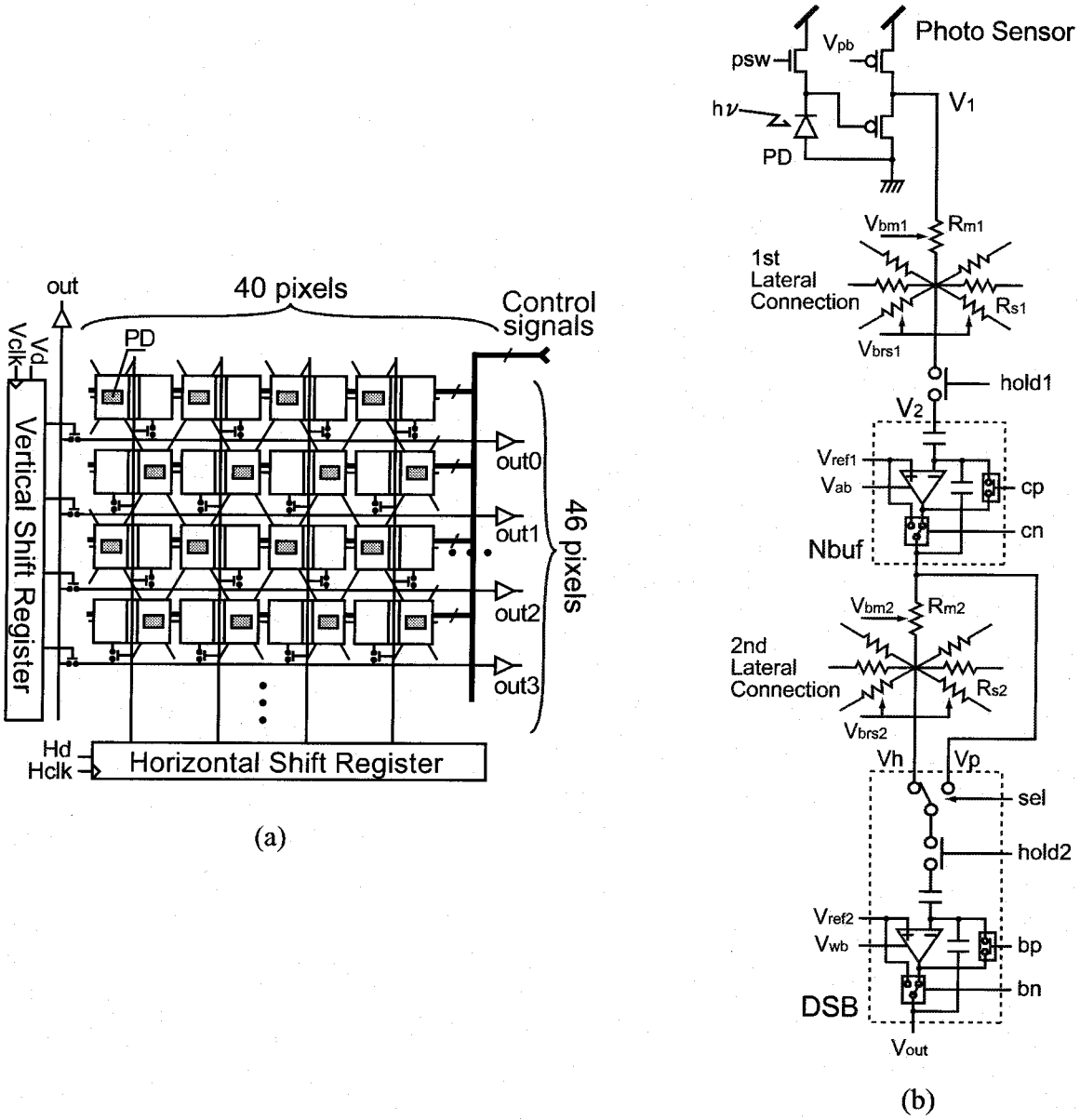


図 2.5: シリコン網膜の回路構成．(a) チップ全体の回路構成，(b) 一画素分の回路構成．

シリコン網膜チップの一画素分の回路構造を図 2.5(b) に示す．光センサ部は，フォトダイオード（PD）の寄生容量成分を利用する，電荷蓄積型光センサを採用している．これは，nMOSFET スイッチ (psw) を ON することで PD に逆バイアスを印加し，その寄生容量を充電する．これを光センサ部のリセット動作とよぶ．その後 psw を OFF し，PD に光が当たると，その強度に応じて寄生容量に蓄えられた電荷が放電し，PD のアノード側の電位が降下する．この電位降下の大きさを，2 つの pMOSFET で構成されたソースフォロア回路を介して読み出し，光センサ部出力とする．この方式においては，光センサ部出力は入射光強度に対して線形に応答する．

リセット動作を終えてから，光センサ出力値が確定するまでの時間を蓄積時間とよ

ぶ．この蓄積時間を長くとれば，光強度が弱い場合でも大きな出力を得ることができる．出力ゲインが高いこの方式を採用することにより，日常の室内照明下におけるような，コントラストが弱い画像に対しても十分な感度が得られる．

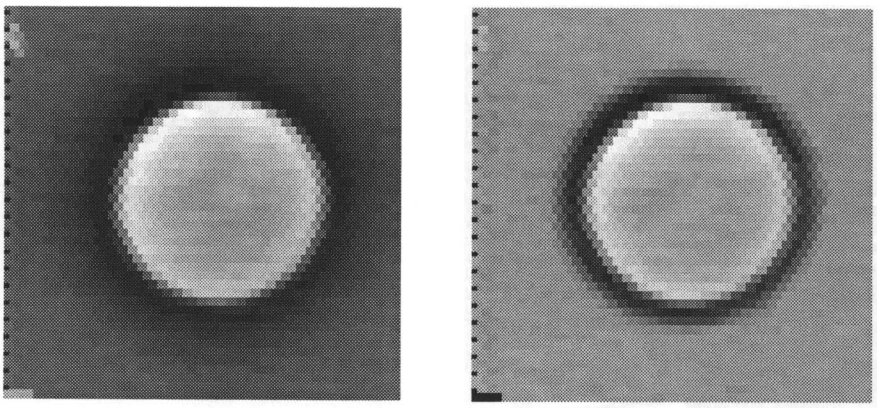
一層目の抵抗回路網（R_{s1}）は近傍6画素と接続され，光センサ部出力を空間的に平滑化する．この値が，外網膜神経回路モデルにおける視細胞の応答に対応する．次いで，固定パターンノイズをキャンセルする機能を持ったノイズ補償バッファ（Nbuf）を介し，二層目の抵抗回路網（R_{s2}）でさらに平滑化され，水平細胞の応答に対応する値が得られる．出力段のノイズ補償バッファには，一層目，二層目それぞれの抵抗回路網のノードの値がスイッチで切り替えられて順に入力される．ノイズ補償バッファには時間差分をとる機能があるので，順に入力された一層目出力と二層目出力との差が計算され，双極細胞の応答に対応した，画素出力が得られる．

以上一連の回路動作は，シリコン網膜に対して外部から与えられるディジタル信号により制御される．また，一層目及び二層目の抵抗回路網はMOS抵抗器により構成されており，外部から印加するバイアス電圧（V_{brs1},V_{brs2}）によってその抵抗値を変えることができる．特に，二層目の抵抗回路網の抵抗値を変えることで，受容野の大きさを変化させることができる．例えば，抵抗値R_{s2}を高くすると，受容野の幅，特に，周辺野の幅が狭くなり，受容野がより微分的になる．また，出力ゲインは小さくなる．逆にR_{s2}を低くすると，平滑化が強くなるために受容野の幅は大きくなり，出力ゲインは高くなる．[13, 4].

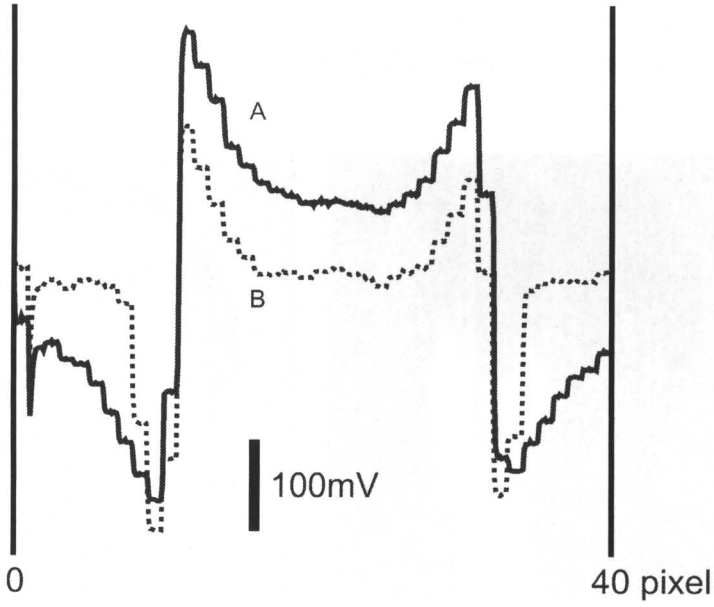
暗い背景において白い円形オブジェクトを提示したときのシリコン網膜の応答を図2.6に示す．照明は$3.5\mathrm{W}/m^2$，蓄積時間は4.0msである．(a)および(b)は，チップ応答を画像として表示したもので，高い電圧値ほど白く示している．シリコン網膜の$\nabla^2 G$型受容野特性により，白い円の輪郭付近では，輪郭外側はより暗く，輪郭内側ではより白くなる，いわゆるマッハバンドに似た応答が表れている．これにより，画像内で輝度値の空間的変化が大きい部分，つまり物体の輪郭部分が強調される．(b)は二層目の抵抗回路網の抵抗値R_{s2}を大きくして，受容野の幅を狭くした場合の応答である．応答がより微分的になっていることが分かる．(c)は，(a)および(b)の画像から中央付近の水平方向1ライン分の応答を取り出して，波形として表示したものである．暗い背景や白い円の内部の明るさがほぼ一定の部分は，ともにある一定の電圧レベルになっており，背景と円との境界の明るさが大きく変化する部分が強調されている様子が分かる．また，物体の輪郭部分では，およそ$400\mathrm{m}V_{p-p}$の応答振幅があり，十分に実応用に耐えうる精度であることが確認できる．

このシリコン網膜は，外部から与える制御信号のパターンを変えることで，フレーム間差分を計算することができる．ひとつのチップから$\nabla^2 G$型受容野を持つ持続性の応答と，フレーム間差分による一過性の応答が得られることは，工学的なデバイスとしての側面からも本シリコン網膜の大きな特長のひとつである．手を左右に振りながら提示したときのシリコン網膜の応答を図2.7に示す．(a)は，$\nabla^2 G$型受容野を持つ持続性の応答，(b)は，フレーム間差分による一過性の応答である．(b)では，動いていない背景は消え，手の部分のみが反応していることが分かる．

シリコン網膜の応答が，一般的な撮像デバイスであるCCDとどのように違うかを



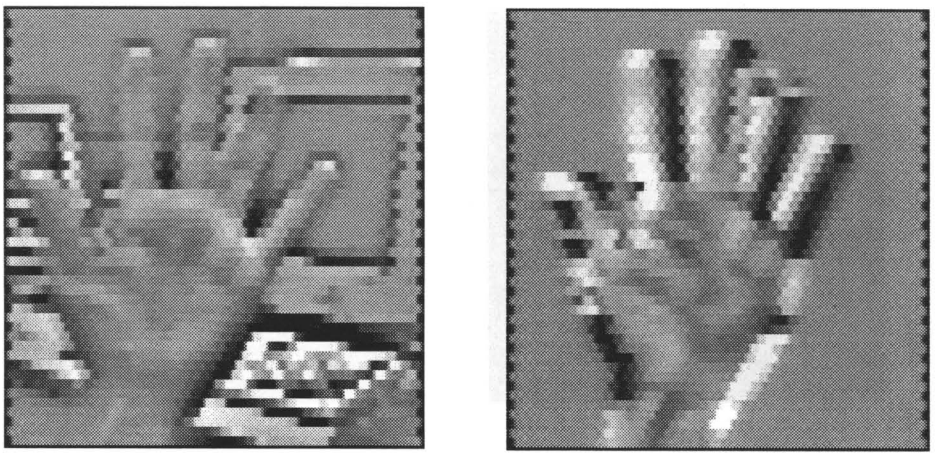
(a) (b)



(c)

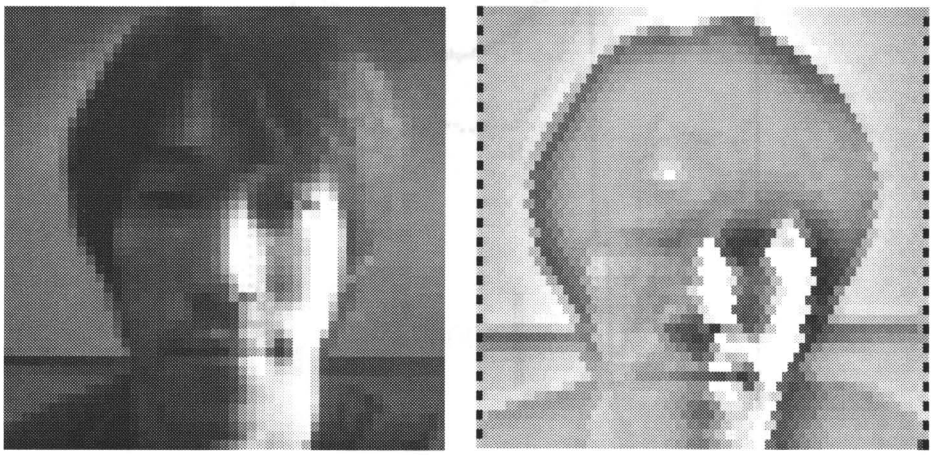
図 2.6: シリコン網膜の出力．(a) 受容野が広い場合 (V_{brs2}=1.0V) の出力画像，(b) 受容野が狭い場合 (V_{brs2}=0.65V) の出力画像，(c) 真中付近の水平 1 ライン分の応答波形．A:受容野が広い場合，B:受容野が狭い場合．

比較した [30]．通常の室内照明下において，人物の顔を向かって右側から強い光で照らし，CCD カメラ及びシリコン網膜で見た．図 2.8(a) は CCD カメラの出力画像である．解像度は比較対象のシリコン網膜と同程度にまで落としてある．強い光に照らされた人物の顔の右側部分で，背景と人物の頭との境界が非常に区別しにくくなっている．これに対して，(b) に示したシリコン網膜の出力画像（持続性応答）では，背景と人物の頭との境界ははっきりと区別できる．これは，シリコン網膜の微分効果により，片側からの強い照明により生じた画像全体にわたる明るさの勾配がキャンセルされたためであると考えられる．このような画像前処理がシリコン網膜により撮像と同時に行われることで，外界から直接入ってくる条件の悪い画像は，機械的に処理しや



(a) (b)

図 2.7: シリコン網膜の出力. (a) 持続性応答, (b) 一過性応答.



(a) (b)

図 2.8: CCD とシリコン網膜の応答の比較. (a)CCD カメラの出力画像, (b) シリコン網膜の出力画像.

すい形になって後段の処理システムに送られる. このことは, 実環境で動作する視覚システムにとって欠かせない能力である.

本章では, まず生体に学んだ視覚デバイスの意義を従来のディジタル画像処理と比較しながら述べた. また, 生体模倣型視覚デバイスの中でも特に研究が進んでいる網膜を模擬したアナログ集積回路, シリコン網膜について述べた. 網膜の段階では, 既にかなり実用に近いチップも開発されている. 本研究では, 本章で述べたシリコン網膜を用いる.

第3章　シリコン網膜のロボットビジョンへの応用

アナログシリコン網膜で従来大きな問題であった素子特性のばらつきに起因する固定パターンノイズを補正する回路技術により，高い出力精度を実現したシリコン網膜が開発された [20]．本章では，このような生体模倣型視覚デバイスの有用性を実証するために，実際にロボットビジョンとして応用した試みについて述べる．

3.1　システム構成

近年，ペット型ロボットに代表されるような自律移動型ロボットの開発が盛んに行われている．人間と同じ環境で自律的に行動できるロボットは，今後ますます大きな産業に発展すると考えられる．このような自律移動ロボットが外界情報を取り入れるための目となるロボットビジョンは，重要な要素技術である．装置の搭載スペースや，使用できる電力が限られているロボットに搭載されるロボットビジョンに対しては，ディジタル計算機を用いた画像処理システムが持つ高い汎用性よりも，次のような性能が要求される．

1. コンパクトかつ低消費電力のハードウェア
2. 照明条件の変化やノイズに対するロバスト性
3. 実時間処理

生体模倣型ビジョンチップはまさにこれらの条件を満たすデバイスであり，ロボットビジョンへの適用は最も期待される応用分野のひとつである．今までにも，様々なチップが開発され，そのコンパクトさ，低消費電力，ロバストな画像処理といった特長を生かして，パターン認識 [22, 23, 24]，小型の移動ロボットの制御 [25, 27, 85, 29] やターゲットトラッキング [80] などへの応用が研究されてきた．これらの中には，中心検出のような，ある特定の機能に特化したビジョンチップもある．このようなチップは，その特定の画像処理機能を高速に，小型，低消費電力で実現できるという長所があるが，その反面，取得できる情報が固定されていることから，応用の幅が制限される．一方，あらゆる情報抽出に共通して必要になる画像前処理の機能を持ったビジョンチップは，具体的な応用に際しては後付けの処理が必要であるが，汎用性は高い．また，前処理がすでに完了しているため，後段の処理装置の負荷は大きく軽減される．

ここでは，アナログシリコン網膜による処理の実時間性に加えて，様々な応用に適用できる柔軟性を持たせるために，空間及び時間的な画像前処理機能をもったシリコン網膜と，プログラマブルにディジタル回路を実現できるFPGA(Field Programmable Gate Array) とを組み合わせた視覚システムを構築し，その応用の可能性を探った．

図3.1に，シリコン網膜とFPGAにより構成したロボットビジョンシステムの構成を示す [31]．用いたシリコン網膜 [20] は，外網膜神経回路網モデルに基づいて設計された二次元型シリコン網膜である．このチップは，網膜細胞の持続性応答と一過性応答に対応した２つの動作モードをもつ．持続性応答モードでは，画像に対して平滑化や輪郭強調といった画像前処理を実行する．また，一過性応答モードでは，フレーム間差分により，時間的に光強度の変化があった画素を抽出するので，動く物体を検出するのに向いている．これらの画像前処理は，自然画像を扱う画像処理システムにおいては不可欠な処理であり，様々な応用において共通した処理である．これをシリコン網膜が実時間で完了させることで，後段の処理装置の計算負荷を大きく軽減できる．

シリコン網膜の出力は，AD変換された後，FPGAに送られる．FPGAでは，シリコン網膜を駆動する制御信号を生成するとともに，シリコン網膜で前処理されたアナログ出力画像に対して，所望のタスクに応じたディジタル演算を施す．FPGAを用いて特定応用のための計算に特化したディジタル回路を実現することで，シリコン網膜出力画像の読み込みと同時に計算を実行し，画像入力からほとんど遅延なく実時間で画像処理を行うことができる．

図3.2にシリコン網膜とFPGAを組み合わせて構成したシステムの外観を示す．シリコン網膜は，レンズがマウントされた8cm(H)×6cm(L)×5cm(D)のアルミ製のカメラボックスに収められている．FPGA基板の大きさは，20cm×20cmである．ここで示したFPGA基板には様々な付加的な機能が付いているが，基本構成としてはシリコン網膜とAD変換IC，FPGAのみであり，コンパクトなシステム構成となっている．消費電力はシステム全体で3W程度である．前章で述べたように，現在一般的に用いられているCCDイメージセンサとPCなどを組み合わせた画像処理システムでは，CCDからの出力画像を前処理することなくA/D変換し，逐次的にプロセッサ側に受け渡すため，非常に計算効率が悪い．このため汎用性には富むものの，高消費電力，システム規模の拡大などの本質的な問題を抱えている．本システムは，実時間画像処理を実現するにあたり，計算量の多い画像前処理を並列アナログ回路で瞬時に実行し，その後のしきい値処理や比較，カウントといった負荷の少ない処理を後段のFPGAで行うことで，消費電力を本質的に抑えた動画像処理ができる．このため，出力画像の空間解像度および信号対雑音比は従来のシステムには劣るものの，実時間処理を格段にコンパクトなシステム構成で実行できるという点において，利用価値が高い．

3.2 画像特徴の抽出

シリコン網膜は，時空間的な前処理により，画像特徴を強調する．この前処理された画像に対してFPGAで簡単な処理を加えることで，画像の特徴を抽出することができる．

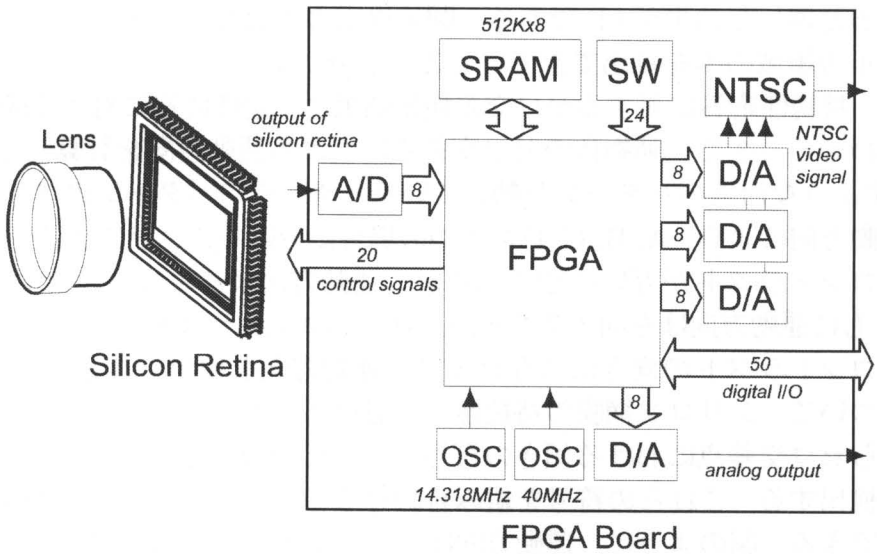


図 3.1: シリコン網膜と FPGA を用いたロボットビジョンシステムの構成.

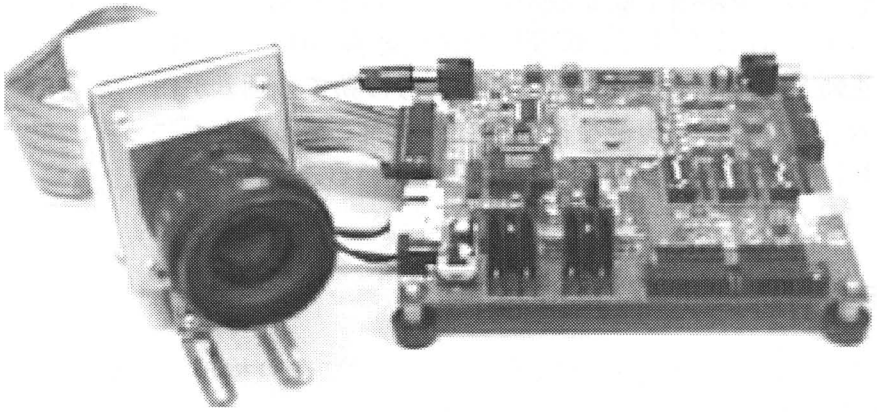


図 3.2: シリコン網膜と FPGA を用いたロボットビジョンシステムの外観.

シリコン網膜の持続性応答は，ラプラシアンーガウシアン型の空間受容野を持つ．ラプラシアンーガウシアンフィルタは，画像に対して平滑化と輪郭強調を同時に行う前処理フィルタとして知られ，その出力に対してゼロ交差検出を行うことで，輪郭画像を抽出できる [14]．図 3.3(a) は手に対するシリコン網膜の持続性応答である．この画像に対して，ゼロ交差検出により抽出した輪郭画像を (b) に示す．検出されたゼロ交差点が白で示されているが，手の輪郭がよく抽出できていることが分かる．

また，シリコン網膜の一過性応答では，時間的に輝度値の変化があった画素が正あるいは負に応答する．この出力に対して全波整流した後，ある閾値よりも大きな応答を持つ画素のみを検出する閾値処理を行うことで，動物体を検出することができる．図 3.3(c) は，静止した物体の前をサッカーボールが転がっているシーンをシリコン網膜で捉えたものである．このシーンに対するシリコン網膜の一過性出力画像を上記の

ように閾値処理した結果が (d) である．閾値以上の画素を白で示しているが，動いているボールの領域のみを抽出できていることが分かる．

さらに，持続性応答に対するゼロ交差検出結果と一過性応答に対する閾値処理結果を組み合わせることで，動物体のゼロ交差点における運動方向を計算できる [14]．図 3.4 に示すような白黒のパターンが動いているとき，そのパターンのコントラストの向きと運動方向により，A, B, C, D の 4 つの場合に分けることができる．A, B は，パターンのコントラストが互いに逆であるが，運動方向はともに右向きである．また，C, D はともに運動方向は左向きであるが，互いにコントラストが逆の場合である．このようなコントラストの向きに依存せずに，運動方向を検出できなければならない．各場合について，シリコン網膜の持続性と一過性応答を示しているが，ここで，持続性応答からゼロ交差点における傾きの符号を，また一過性応答からその応答の符号をそれぞれ検出する．これらの符号を組み合わせることで，ゼロ交差点の運動方向を一意に検出できる．図のように，運動方向は，ゼロ交差点における持続性応答の傾きの符号と一過性応答の符号が同じ場合には右向き，また符合が互いに異なる場合は左向きであることが分かる．このアルゴリズムをシリコン網膜と FPGA を用いて実行すれば，FPGA では非常に簡単な計算を行うだけですむ．実時間で局所的な運動方向が検出できるため，ロボットビジョンとして非常に有効である．図 3.5 に運動方向検出の結果を示す．(a) はシリコン網膜の持続性応答，(b) は一過性応答である．(c) は水平方向の運動方向検出結果である．左向きに移動する画素が白，右向きに移動する画素が黒で示されている．複雑な背景をもつ室内であるにも関わらず，左右に動く人物の輪郭において，その運動方向が検出できていることが分かる．

3.3 実時間メディアン検出

ゼロ交差検出により抽出した輪郭，閾値処理により検出した動きの有無といった様々な属性について 2 値化表現された画像を用いることで，画像全体にわたる大域的な計算を高速に実行できる．この例として，視野内のターゲットの中心をメディアン（中央値）を用いて検出した [33]．

メディアンを用いた中心検出のアルゴリズムを図 3.6 に示す．

ここでは，二値化の結果が"1"である画素を白，"0"である画素を灰色で示している．このような二値化画像の画素 (x, y) における画素値を $F(x, y)$ とおく．この $F(x, y)$ を x 軸，y 軸にそれぞれ射影することで，画素値の空間分布のヒストグラム $H_x(x), H_y(y)$ を得る次に，それぞれのヒストグラムからメディアンを含む座標を探す．図中では，y 軸についてのヒストグラムについて，要素数は 25 なのでメディアンは 13 であり，それを含む座標が y_c として検出されている．x 軸についてのヒストグラムでも同様にして，x_c を検出する．これらの交点 (x_c, y_c) を視野内の物体の中心とした．メディアンを用いて検出されたターゲット中心を図 3.6 に黒い線の交点として示した．以上の操作により検出した中心 (x_c, y_c) は，次のように表すことができる．

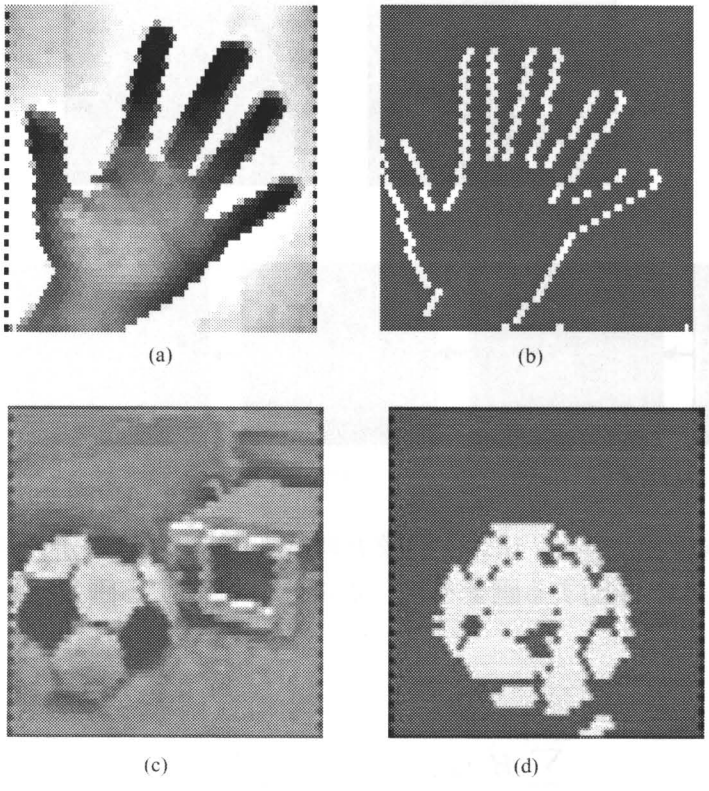


図 3.3: シリコン網膜出力画像に対する二値化処理. シリコン網膜の手に対する応答 (a) とそれに対するゼロ交差検出結果 (b). (c) のシーンにおいてシリコン網膜の一過性応答に対して閾値処理を行った結果 (d).

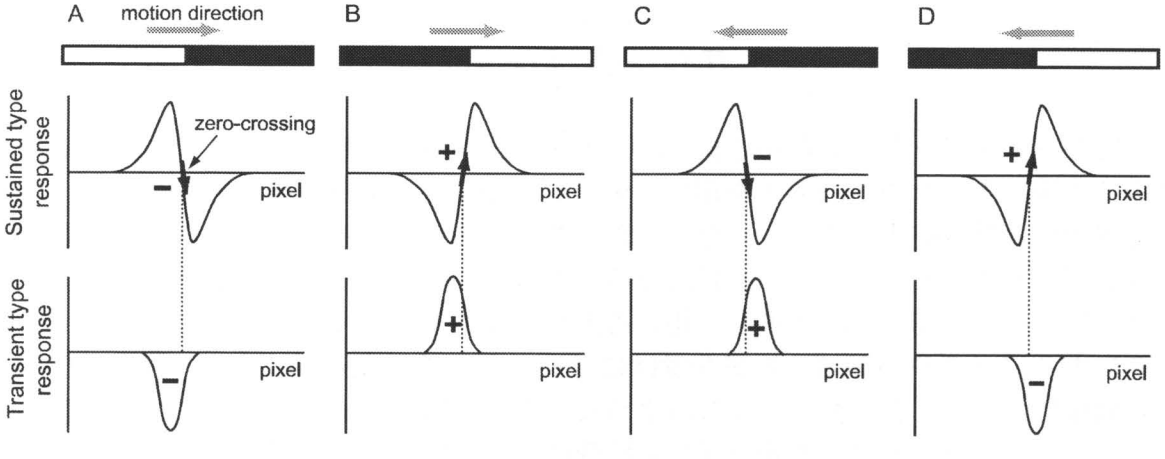


図 3.4: 移動する白黒パターンに対するシリコン網膜の持続性及び一過性応答.

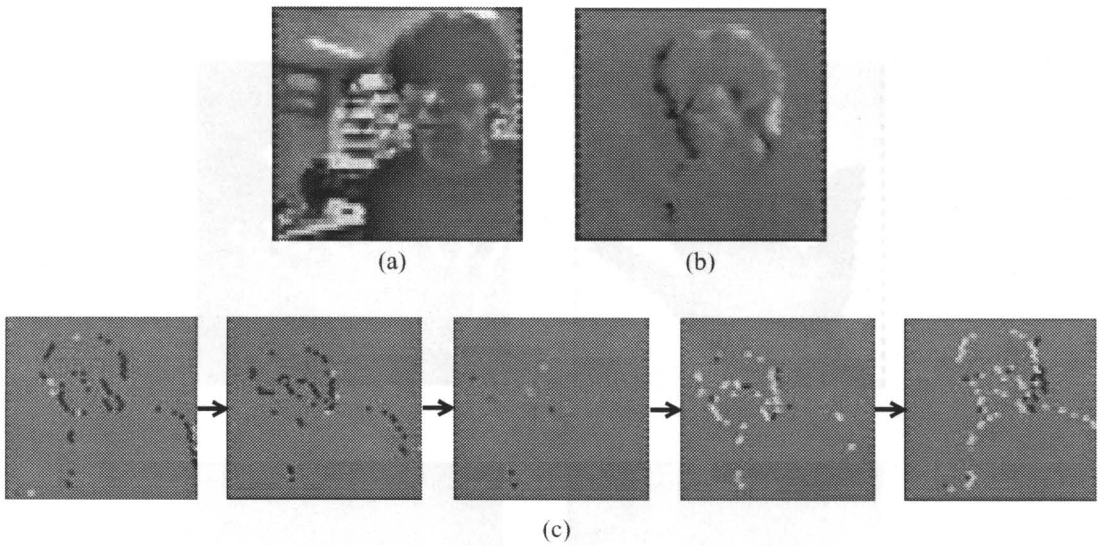


図 3.5: 運動方向検出．(a) シリコン網膜の持続性応答，(b) 一過性応答．(c) 運動方向検出結果．左向きに移動する画素を白，右向きに移動する画素を黒で示している．

$$\sum_{x=1}^{x_c-1} H_x(x) < S/2 \leq \sum_{x=1}^{x_c} H_x(x) \tag{3.1}$$

$$\sum_{y=1}^{y_c-1} H_y(y) < S/2 \leq \sum_{y=1}^{y_c} H_y(y) \tag{3.2}$$

ここで，

$$S = \sum_x \sum_y F(x,y) \tag{3.3}$$

$$H_x(x) = \sum_y F(x,y) \tag{3.4}$$

$$H_y(y) = \sum_x F(x,y) \tag{3.5}$$

このメディアンを用いた中心検出は，上記の式からも分かるように，加算と比較のみで実現できるため，FPGA を用いてディジタル回路により実装する場合にも，非常に簡単な回路で実現できる．また，計算に距離の情報を使わず，検出される座標はヒストグラムの要素が 0 でない位置になる．このため，メディアンを用いた中心検出法は一般的によく用いられる重心を用いる方法に比べて，ターゲットから遠く離れた場所にあるノイズや小領域の影響を受けにくい，という特長を持つ [32]．図 3.6 の二値化画像において，右下部にノイズのような小さな領域があるが，検出されている中心は，このようなノイズの影響をほとんど受けていない．さらに数画素分のノイズが加わったとしても，メディアンが多少変動するだけで，検出される中心座標はほとんど変化しないことが分かる．このことから，一般的にノイズや複雑な輝度分布を伴う実環境での画像処理に適していると考えられる．

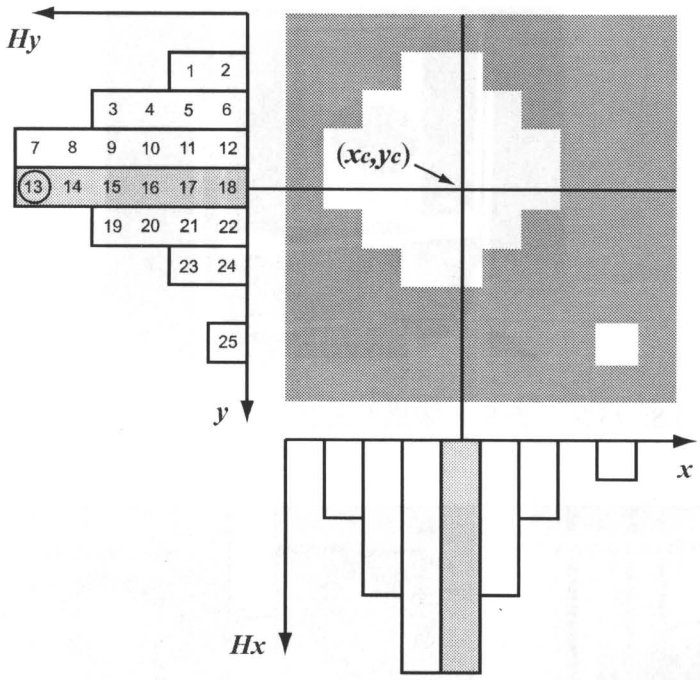


図 3.6: メディアン検出のアルゴリズム.

このアルゴリズムを FPGA(Xilinx XCV150) に実装した場合，中心検出にかかる時間はおよそ 4μs であり，シリコン網膜からの画像取得完了とほぼ同時に実時間で中心が検出できるといえる.

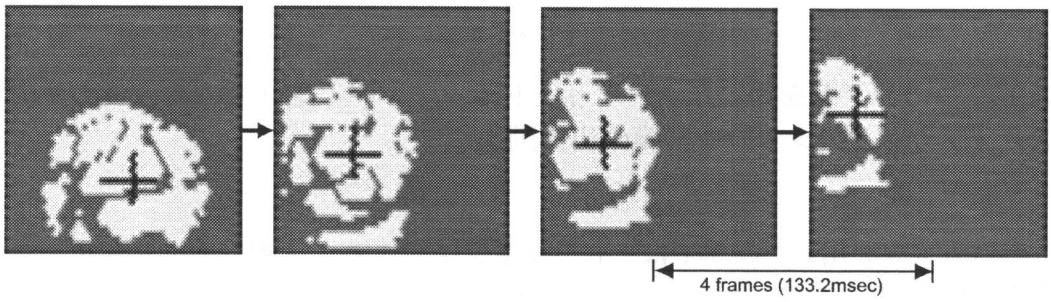


図 3.7: 実時間メディアン検出の結果．シリコン網膜の蓄積時間は 33ms.

シリコン網膜と FPGA を用いた視覚システムに，メディアンを用いた中心検出回路を実装し，実時間でターゲットトラッキングを行った．通常の室内照明下で，床の上でサッカーボールを転がした．このときのトラッキングの結果を 1 フレームごとにビデオ出力から得た画像を，図 3.7 に示す．シリコン網膜は一過性応答の動作モードとし，閾値処理により二値化を行った．黒い十字の交点が，各フレームで検出されたターゲットの中心を示している．出力画像は 133ms(4 フレーム) おきに示しているが，実際の出力は 33.3ms ごとに得られている．画面右下から左上に向かって転がっていくボールの中心を，どのフレームでも検出できていることが分かる.

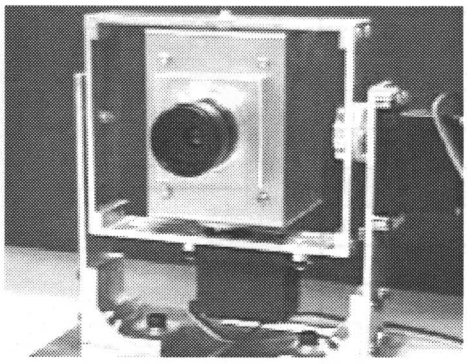
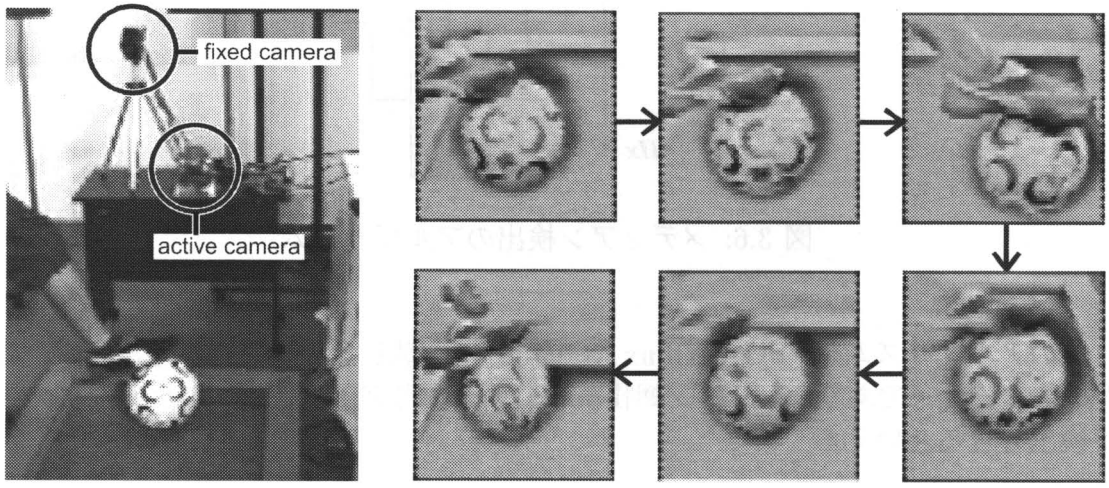


図 3.8: パン，チルト機構を備えたカメラユニットの外観.



(a) (b)

図 3.9: 2つのカメラを用いたターゲットトラッキング．(a)2つのカメラの配置，(b) アクティブカメラのシリコン網膜の出力画像.

1つのカメラを用いた実験では，トラッキングできるのは視野内の物体のみであり，あまり広い範囲をカバーすることはできない．逆に視野を広くとれば，視野の空間サンプリングが粗くなり，物体の詳細は分からなくなってしまう．広い範囲をカバーしながら物体の詳細も捉えるための簡単な方法は，カメラを2つ用いることである．そこで，2つのカメラを用いたターゲットトラッキングを行った．カメラの1つは，広い視野を持った固定カメラであり，前述の実験のようにその視野内の動物体の中心位置を実時間で検出する．もう1つのカメラは，パン，チルト機構を持ったアクティブカメラであり，その視野はやや狭く設定されている．図3.8にアクティブカメラの外観を示す．パン，チルト動作はそれぞれ DC サーボモータにより行われる．固定カメラにより各フレームごとに検出されたターゲットの中心座標は，パン，チルトユニットのモータを駆動する制御信号に変換された後，アクティブカメラの各モータに送られる．この信号をもとに，アクティブカメラのパン，チルトユニットは常にターゲッ

トが視野に入るようにカメラを動かす.

図3.9(a)に，２つのカメラを用いたターゲットトラッキングの実験環境を示す．床の上で，人が足でボールを転がしている．テーブルの上に置かれた固定カメラには，ボールが転がる範囲全体を十分捉えられるほどの広い画角を持ったレンズが取り付けられている．固定カメラにマウントされたシリコン網膜は一過性応答モードで動作し，その出力を受け取るFPGAは動いているボールの中心を検出する．各フレームごとに検出されたボールの中心座標は，モータ制御信号に変換され，アクティブカメラのパン，チルトユニットに送られる．図3.9(b)に，アクティブカメラにマウントされたシリコン網膜の出力画像を示す．このシリコン網膜は持続性応答モードで動作している．固定カメラの視野の範囲で様々な場所にボールが動いているが，それぞれのフレームにおいてボールは視野内に捉えられていることが分かる．このように，動き回る物体を常に視野内に大きく捉えることで，さらにこの物体に対して詳しい解析を行うことも可能である.

本章では，シリコン網膜とFPGAを用いたロボットビジョンシステムについて述べた．シリコン網膜による実時間での画像前処理と，プログラマブルなディジタルデバイスであるFPGAの柔軟性を組み合わせることで，様々なタスクに適用することが可能となった.

第4章　一次視覚野の情報処理

シリコン網膜は，FPGAのような後段の処理装置と組み合わせることで，ロボットビジョンとして応用可能な段階にまで研究が進んでいる．しかしながら，後段の処理装置で実行する画像処理は，基本的には従来用いられてきた画像処理アルゴリズムである．より高度な視覚情報処理を効率良く実現するためには，網膜に留まらず大脳視覚野にまで目を向ける必要がある．本章では，一次視覚野の情報処理について述べる．

4.1　網膜から一次視覚野への経路

網膜で処理された視覚情報は，視神経を通って中枢へと送られる．この網膜から中枢への経路は，大きく分けて　網膜→外側膝状体→一次視覚野，　網膜→上丘→視床枕核，視床外側核，の2つの系があることが知られている[34, 35]．前者は膝状体系と呼ばれ，網膜の中心窩でとらえた視覚対象の識別機能に重要であるといわれている．後者は膝状体外系と呼ばれ，眼球運動制御などに関わるといわれている．生体の視覚系全体を理解するためには，このような並列経路を同時に考慮する必要があるが，本研究では，固定した網膜上におとされた像に対する処理を対象として，視覚情報処理の主経路である膝状体系を考える．

図4.1に，生体視覚系において網膜から一次視覚野に至る経路の模式図を示す．外界の光情報はまず，眼球の底にある網膜(Retina)で受容される．網膜は，既に2.2節で述べたように，光信号を電気信号に変換するのみでなく，ある程度の情報圧縮を行った結果を出力として送り出す．網膜の出力は視神経(Optic nerve)を通り，まず外側膝状体(Lateral geniculate nucleus)へと送られる．外側膝状体は，基本的には網膜から視覚野に情報を伝達するための中継所と考えられる．最近では，外側膝状体は単に情報を中継するだけでなく情報処理に機能的に関わっているとする報告もあるが[37]，本研究では簡単のため，外側膝状体における情報処理は考慮しない．外側膝状体からの情報は，一次視覚野(Primary visual cortex)に入力する．一次視覚野は六つの層から構成され，各層は細胞や神経線維の種類のほか，入出力関係や機能の面でも異なる．この中で外側膝状体からの信号が直接入力するのは四層である．四層の出力は主に二／三層へと入力され，その後二次視覚野へと送られる．一次視覚野の層間や層内にはそれ以外にも複雑な神経結合があることが分かっている．

一次視覚野の細胞は，光刺激に対する応答特性から単純型細胞と複雑型細胞とに分類される[38]．単純型細胞は主に四層に存在し，外側膝状体からの信号を受け取る．この単純型細胞については次節で詳しく述べる．複雑型細胞は，単純型細胞からの入力を受け取る二／三層や，五層，六層に存在している．

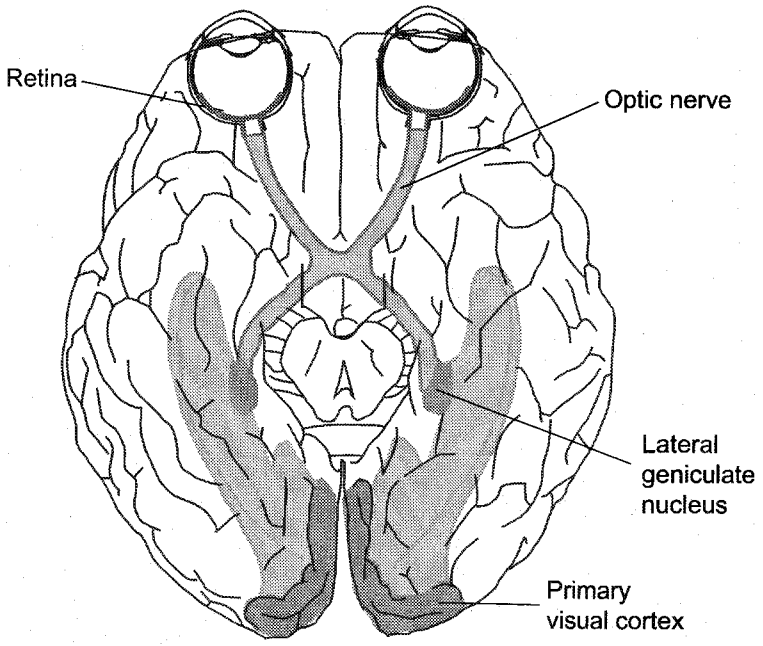


図 4.1: 網膜から一次視覚野へと至る視覚経路.

このような視覚経路の各部位の細胞はそれぞれ，受容野と呼ばれる視野内のある限られた範囲への光刺激に対してのみ反応する．図 4.2 に，各部位の細胞の空間受容野構造の模式図を示す．左から，網膜神経節細胞および外側膝状体細胞，一次視覚野単純型細胞，一次視覚野複雑型細胞の空間受容野である．図に示すように，受容野の空間的な構造は各部位の細胞ごとに異なっている．例えば，網膜の出力にあたる神経節細胞や外側膝状体の細胞は，受容野中心と周辺で応答の符号が異なった中心－周辺拮抗型の受容野をもつ．これは，受容野の中心の位置にある細胞は，その直上への光刺激に対しては正に，また周辺への光刺激に対しては負に応答するということを意味している．一次視覚野の単純型細胞，複雑型細胞もそれぞれ独自の受容野構造を持っている．単純型細胞は，ある方位に長く伸びた形状の空間受容野をもっており，その方位の光刺激に対してよく応答する．この単純型細胞の受容野については次節で詳しく述べる．複雑型細胞は，比較的広い受容野をもっているが，この細胞を反応させるためには，ある特定の方位をもったパターンでこの受容野を刺激しなければならない．生体視覚系では，このような受容野をもつ細胞が視野を埋め尽くすことで，受容した視覚情報を並列的に瞬時に処理することができる．ここで重要なことは，それぞれの細胞が独立に存在しているのではなく，階層的な構造をもっているということである．つまり，複雑型細胞の受容野は単純型細胞のそれを組み合わせて作られ，単純型細胞の受容野は外側膝状体細胞の受容野を組み合わせて作られる．もちろん，それ以外からの入力もあることは十分考えられるが，基本的には，このような階層構造により，網膜で受容された視覚情報に対して徐々に高度な情報処理が行われていくと考えられる．

本研究では，このような階層的な情報処理の流れに着目し，網膜から外側膝状体を

介して単純型細胞に至るまでの情報処理を網膜側から順に組み上げて構成する.

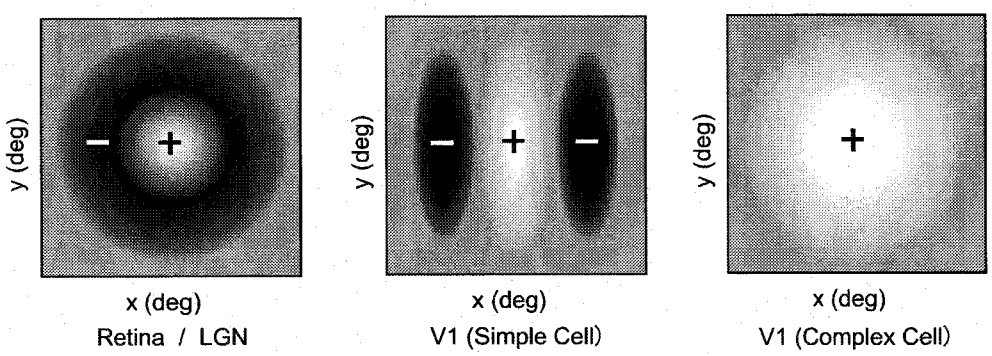


図 4.2: 視覚経路各部位の細胞の空間受容野の構造.

4.2 単純型細胞の受容野

一次視覚野の中で，外側膝状体から直接的に入力を受けるのは四層の単純型細胞である．単純型細胞は，Hubel と Wiesel により発見された [38]．この単純型細胞の空間受容野構造の概略は，図 4.2(b) に示したとおりであるが，この図からも予測できるように，単純型細胞は基本的に以下の 3 つの性質を持つ.

1. スリットやエッジのような直線状のパターンをもつ光刺激に対してよく応答する.
2. その直線状のパターンが，視野内である特定の方位を持つ場合のみ応答する.
3. 空間受容野は，on サブ領域と off サブ領域から構成される.

2 番目に示した性質は，方位選択性と呼ばれ，このとき単純型細胞が最もよく応答するような光刺激パターンの方位を最適方位と呼ぶ．方位選択性は，同心円状の中心周辺拮抗型受容野を持つ網膜細胞や外側膝状体では見られず，単純型細胞において初めて現れる．単純型細胞において，どのようなメカニズムでこの性質が生じるかという問題は，単純型細胞のみならず一次視覚野の特徴抽出機能がどのような仕組みで形成されるのかを考える上で極めて重要である.

最適方位を持った直線状の光刺激パターンで視野内を刺激したときに，あるひとつの単純型細胞から何らかの応答が得られる範囲がこの細胞の受容野であるが，この最適方位を持った直線状の光刺激パターンを受容野の中で点滅させたとき，光刺激の on 時に応答する部分（on サブ領域）と，off 時に応答する部分（off サブ領域）とがある．これが 3 番目に示した性質である．一次視覚野には，このような基本的性質を持つ単純型細胞が，様々な最適方位，大きさについて存在していることが分かっている.

また最近の研究によれば，単純型細胞のダイナミクスも視覚情報処理に関して機能的な意味があるのではないかと言われている．これを考慮すれば，ここで示した空間

的受容野構造だけでなく，時空間的な受容野構造を考えることで，単純型細胞の応答特性を示すことができる [36, 39]．このことが，運動検出に関わる複雑型細胞 [41] を構成する基礎になっているという仮説もあるが，本研究では特に一次視覚野細胞の空間受容野の階層構造に着目しているので，単純型細胞の空間的特性に的を絞って議論を進めていく．

単純型細胞の空間受容野の形状は，Gabor 関数により記述できることが分かっている [42, 43]．Gabor 関数は，次のように Gauss 関数と正弦波との積で表現される．

$$g(x) = exp(-\frac{x^2}{2\sigma^2})cos(2\pi fx - \phi) \tag{4.1}$$

f, ϕ はそれぞれ空間周波数，位相を表す．正弦波の空間位相 $\phi = \pi/2$ のときは sin 関数型になり，これを odd 型と呼ぶ．また $\phi = 0$ のときは cos 関数型になり，even 型と呼ぶ．Gabor 関数を二次元に拡張すれば，

$$g(x) = exp(-\frac{x^2 + y^2}{2\sigma^2})cos(2\pi f(xcos\theta + ysin\theta) - \phi) \tag{4.2}$$

となる．θ は方位を表す．図 4.3(a),(b) に，それぞれ even 型，odd 型の二次元 Gabor 関数を示す．これらの形状はそれぞれ典型的な even 型，odd 型の単純型細胞の受容野形状とよく似ている．

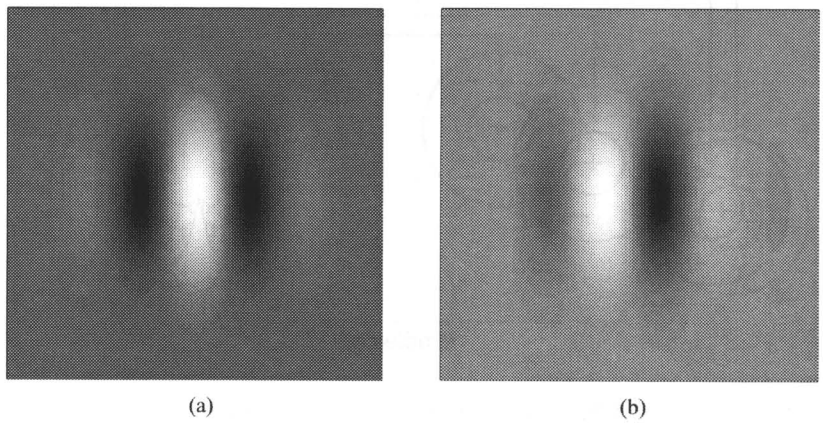


図 4.3: 二次元 Gabor 関数．(a)even 型，(b)odd 型．

この Gabor 関数は，工学的な画像処理フィルタとしても有効性が知られており，エッジ検出やテクスチャー解析，Gabor 関数の位相差に基づいた立体視，様々な方位と空間周波数の Gabor 関数を並列にインプリメントした特徴抽出ネットワークなど，様々な応用が研究されてきた [44]．また，信号処理におけるウェーブレット変換や，画像圧縮における JPEG のアルゴリズムは，一次視覚野の中で様々な最適方位，大きさ，空間位相を持った単純型細胞の集合が用意されることで任意の画像を表現していることによく似ている [45]．このようなことから，単純型細胞の空間受容野構造をアナログ集積回路として実現することは，工学的応用の側面からも重要な意味を持つ．

4.3 受容野の構成モデル

入力画像に対して様々な特徴抽出を行う細胞が存在する一次視覚野の各細胞の応答特性とその機能を検討することは，脳における視覚情報処理のアルゴリズムを考える上で非常に興味深い．これを集積回路システムとして実現する場合には，そのような特性を持つ神経細胞がどのような神経回路構造によって形成されているのかというハードウェアの問題もまた重要である．

一次視覚野細胞の方位選択性を発見したHubelとWieselは，この方位選択性を実現するための神経回路モデルを提案した．このモデルでは，図4.4に示すように，同心円状の中心周辺拮抗型受容野を持つ外側膝状体の細胞のうち，その受容野の中心部分がある特定の方位に少しづつずれて並んだ複数の細胞が，ひとつの単純型細胞に興奮性の入力を与えている．入力している外側膝状体細胞の並びの傾きと同じ方位の光刺激が入力された場合に，応答する外側膝状体細胞が最も多くなるので，単純型細胞も最もよく応答する．入力する光刺激パターンの方位を変えていくと応答する外側膝状体細胞の数は減っていくので，単純型細胞の応答も小さくなる．このように，単純型細胞が外側膝状体細胞のようなその前段の細胞から前向きの神経結合を受けて方位選択性を実現するモデルは，フィードフォワードモデルと呼ばれる．

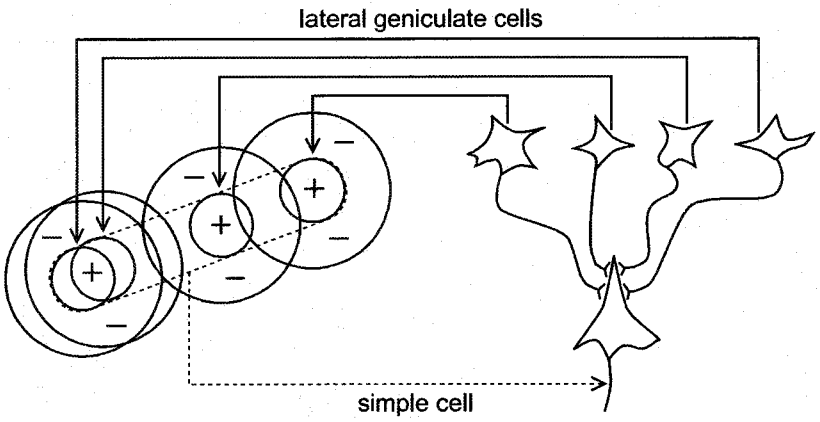


図 4.4: 方位選択性を実現するための受容野の組み合わせ [38].

フィードフォワードモデルを支持する生理実験結果も報告されているが，一方で，このモデルでは説明できない実験結果も数多く報告されている（概説として [34]）．例えば，最適方位のパターンと同時に，最適方位と直交する方位のパターンを提示すると，フィードフォワードモデルでは細胞は大きく応答するはずであるが，実際の細胞からはそのような大きな応答は得られないことが知られている．これを説明する考え方として，不適当方位の刺激により生じる抑制性信号により方位選択性が得られるとするcross-orientation inhibitionがあるが，これについても支持，不支持は分かれている．また最近では，一次視覚野細胞の方位チューニングが時間的に変化するという報告もあり [40]，方位選択性の形成メカニズムは単純ではなさそうである．

一次視覚野への入力やその内部での信号の流れを見ると，外側膝状体からの入力

以外にも多くの複雑な神経結合がある．例えば，一次視覚野内部の層間を結ぶ縦方向の神経結合や同一の層内の側方結合，さらには視覚野の高次領域からのフィードバック結合も一次視覚野に入っている．最近では，単純型細胞の方位選択性は，これらの結合を用いて，視野内のある方位に沿って並んだ外側膝状体細胞からの入力と，一次視覚野内の興奮性及び抑制性ネットワークにより形成されると考えられているが[46, 47]，具体的なネットワークメカニズムはまだ明らかではない．本研究では，この中でも，最も基本的な構造であると考えられるフィードフォワードモデルに基づいて，単純型細胞の空間受容野特性を構成する．

第5章　シリコン網膜からシリコン一次視覚野へ

5.1　従来の研究

網膜にみられる超並列回路構造をCMOS集積回路技術を用いて設計し，画像取得と同時に実時間で画像処理を実行できる視覚デバイスとして実現したものをシリコン網膜を呼ぶ．Meadらによる最初のシリコン網膜の開発[15]以来，今日までに様々なタイプのチップが開発されてきた（概説として[48, 49, 57]）．これらは，機能の点からみると以下のように大別することができる[50].

1. 外網膜の輪郭強調機構を模擬[15, 51, 52, 53, 54, 55, 61]
2. 脊椎動物や昆虫の動き検出機構を模擬[58, 59, 60, 61, 62]
3. 網膜の持続性応答と一過性応答の2つの視覚経路を模擬[20, 63]
4. 網膜の中心窩構造を模擬[64, 65]

最近では，更に高度な視覚計算機能を実現するために，一次視覚野の細胞に見られる応答特性を模擬するチップの開発が行われている．前章で述べたように，一次視覚野細胞では様々な特徴抽出性みられるが，典型的な特性として挙げられるのが方位選択性である．Etienne-Cummingsらは，Laplacian型やSobel型のカーネルを用意し，撮像した画像に対してこれらのカーネルを用いたコンボリュージョンを計算するチップを開発し，特定方位のエッジを検出した[66, 67]．このチップは比較的高い空間解像度を持つが，計算方法はディジタル画像処理のそれと同じであり受容野の大きさが限定される．Raffoらは，抵抗回路網によりGabor型の受容野を発現するチップを開発した[68]．Shiは，抵抗とトランスコンダクタンス増幅器を組み合わせた回路網により，even型及びodd型のGabor型受容野を生成するチップを開発した[69, 70, 71]．Cauwenburghらは，六方格子状の画素配列において，3方位それぞれの輪郭検出を行うチップを開発した[72]．これらのチップはアナログ回路網により方位選択性を実現している点で興味深いが，単一チップ上で高度な処理を実現しようとするために空間解像度が低くなっている．

生体模倣型視覚デバイスの開発において，より高度な視覚野などの機能を実現しようとした場合，網膜側から視覚野までの全体の回路網の規模は大きくなる．これを限られたサイズの単一のチップ上に実現しようとすると，画素回路の面積が増大するために少数の画素回路しか並べることができず，空間解像度は低くなる．しかしながら，

実際の画像を扱えるシステムにするためには，ある程度の空間解像度を確保する必要がある．一般的に，ワンチップ実現では，高い空間解像度と高度な処理機能を同時に実現することが困難になる．このような問題に対する対策のひとつとして，回路網を複数のチップに分けて実現するマルチチップ実現がある．生体模倣型視覚マルチチップシステムにおいては，それぞれ多数の画素回路（ニューロン）を集積したチップの間で，画像情報を転送しなければならない．また，時々刻々変化する視覚情報に対応できなければならない．

このような生体模倣型視覚システムのマルチチップ実現のための方式について，今までにも多くの検討がなされてきた [73, 74, 75]．２つのチップ間で画像情報を転送するための最も直接的な接続方法は，送り手側チップの各画素と，受け手側の対応する画素とを１対１で物理的に接続してしまうことである．この方法は，完全に並列な画像転送を実現できるが，現実的には，集積回路の入出力ピン数の制限によりひとつのチップ内の画素（ニューロン）数は制限される．このことから，少数のニューロンからなる回路網でも非常に多くのチップが必要となり，現実的な方法ではない．

ひとつのチップ上にピン数よりも多くの数のニューロンを集積する場合には，時分割で画像を転送することになる．この場合，最も簡単な方法は，一定の時間間隔ごとに順番に送り手側チップの各ニューロンの出力を，受け手側チップの特定のニューロンに接続していくことである．送り手側と受け手側とは，グローバルクロック信号を用いるなどの方法により同期をとることが必要となる．この方法では，各ニューロンの出力は一定時間ごとにサンプルされるため，応答の連続時間性は失われる．また，転送時の信号の形式，すなわちアナログかディジタルかについても考慮する必要がある．送り手側チップでの計算結果がアナログ値として得られ，かつ受け手側チップでもそのアナログ値を用いて計算を続けたい場合には，当然アナログ形式のまま転送した方が便利である．しかしながらアナログ信号による伝送は一般的に，ノイズの影響を受けやすく，その速度はアナログ増幅器のセトリングタイムに依存するので，ディジタルパルスの立ち上がりに比べて高速ではないという欠点が知られている．一方，ディジタル方式は，アナログ信号からディジタル信号へと変換するプロセスが必要となるが，ノイズに強く，単一パルスの伝送は比較的高速に行えるという特長を持つ．

このような様々な方法の中で，今までに研究されてきたマルチチップシステムのほとんどは，各ニューロンの応答の連続時間性と通信時のノイズ耐性を優先し，非同期でディジタルパルスにより画像情報を転送する方法を用いてきた．特に，[76, 77] において提案されたアドレスイベント (AER : Address Event Representation) 方式が現在では主流となっている．アドレスイベント方式では，送り手側チップ上のあるひとつのニューロンが発火（出力パルスを発生）すると，その発火したニューロン固有の空間的な位置（アドレス）を受け手側チップに伝える方法である．各ニューロンの活動の大きさの違いは，発火頻度で表現される．これは，情報をパルス列で表現する点で生体の神経回路網に似ている．

図5.1に，アドレスイベント方式による通信の基本的な信号の流れを示す．送り側，受け手側それぞれのチップ上に，3つのニューロンがあるとする．各ニューロンは連続時間で動作する．送り側のニューロンは何らかの情報処理を行った結果，それぞれ

時系列のパルスを発生している．アドレスエンコーダは，それらのパルスが到着した順に，そのパルスを発生したニューロンのアドレス（1か2あるいは3）へと変換する．アドレス情報は，ディジタルバスを通って，受け手側チップに送られる．受け手側チップでは，アドレスデコーダが，受け取ったアドレスに対応する場所にあるニューロンにパルス信号を送る．以上の流れにより，送り手側チップのあるニューロンが出力したパルスが，受け手側チップの対応するニューロンへと送られる．

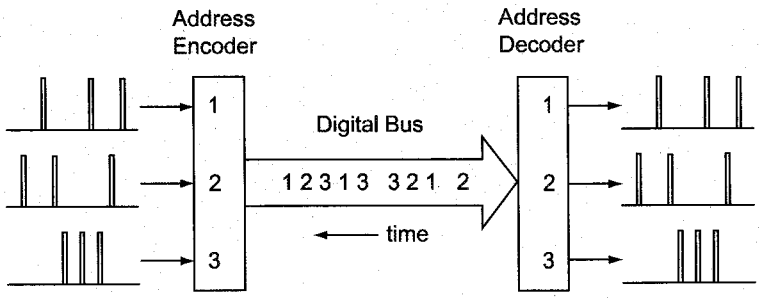


図 5.1: AERプロトコルによるチップ間コミュニケーション．

送り手側と受け手側を接続する信号本数は，基本的には送り手側チップ上のニューロン数を表現できるだけのアドレス幅，つまりニューロン数 N のとき log_2N（少数点以下切り上げ）bitでよい．ただし実際は，これに加えて送信したアドレスが受け手側で受理されたかどうかを確認することが必要であり，このための信号が追加される．図5.2に，アドレスイベント方式による通信に使われる具体的な信号を示す．(a)に示すように，送り手側チップと受け手側チップとを接続する信号は，アドレスバス（ここでは3bitとしている）と，r(request) 及び a(acknowledge) である．r 信号は，送り手側チップが受け手側チップに対してアドレス情報の送信をを知らせる信号である．a 信号は，受け手側チップが送り手側チップに対して，送信されたアドレス情報を受理したことを知らせる信号である．(b)にこれらの信号発生のタイミングを示す．送り手側は，あるニューロンが発火した後送信すべきアドレスが確定すると，r 信号を立ち上げる．この r 信号を受けて，受け手側チップはアドレスバス上のアドレスに対応するニューロンにパルス情報を伝える．このニューロンはパルスを受け取ると，a 信号を返す．この信号が受け側で受信されると，受け手側チップは r 信号を"Low"レベルに戻す．このように，受け手側ニューロンと送り手側ニューロンとの"ハンドシェイキング"により，パルス情報が伝達される．

このようなアドレスイベント方式を用いたシステム設計の方法と詳細な特性が研究され [78]，この通信プロトコルを用いたマルチチップシステムが，今までに数多く開発されてきた．Indiveriらは，パン，チルト機構をもつユニットに取り付けた一過性応答のシリコン網膜と winner-take-all を用いた選択的注意の機能を持つチップにより，アクティブビジョンを構築した [79]．また一過性応答のシリコン網膜の出力パルスに対して，マイコンによりアドレス変換を行い同心円上の画素を直線状に並べ替えて受け手側チップに送ることで，接近する物体に対して衝突時間を検出した [80]．Higginsらは，3つのチップの組み合わせたシステムを構築した．ひとつの送り手側

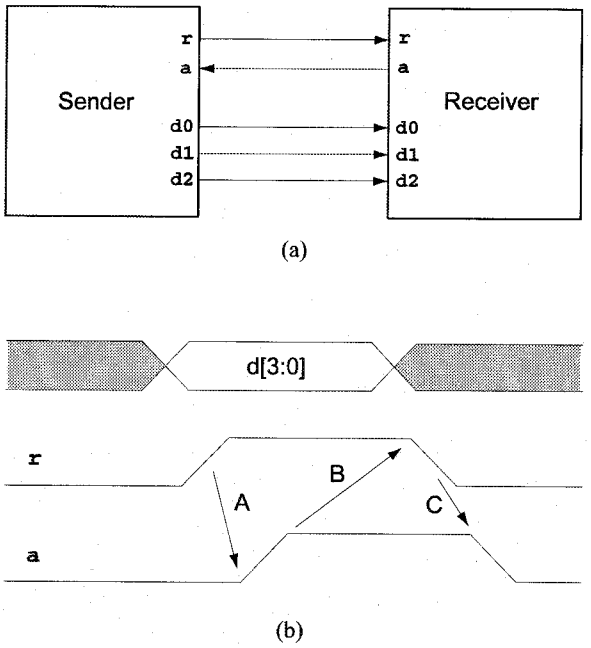


図 5.2: AERにおけるハンドシェイキング.

チップから2つの受け手側チップに情報を送ることで並進方向及び接近方向の速度検出を行い，また，左右眼に対応する2つの送り手側チップからひとつの受け手側チップに情報を送ることで両眼視差を計算した [81]．さらに，一過性応答のシリコン網膜とそれぞれ 90° ずつ異なる方向の運動を検出する受け手側チップ，それらの出力を統合するチップの合計6つのチップから構成されるシステムにより，self-motion の分類を行った [82].

アドレスイベント方式を用いたマルチチップにより，方位選択性を実現した研究もある．Venier らは，"projective field"と呼ばれるある方位に長く伸びた領域を持つ受け手側のチップを開発した．送り手側チップからのパルスは受け手側チップ上の projective field に拡散し，これを時間的に積分することで方位選択性を実現した [83]. Goldberg らは，送り手側からのパルス入力に対して興奮性か抑制性かの符号をつけて積分する integrate-and-fire transceiver チップを試作し，パルス頻度で表現した画像を PC から与えて，特定方位の輪郭強調ができることを示した [84]．Liu らは，16 個の integrate-and-fire ニューロンと，1 個の global inhibitory ニューロンをインプリメントした受け手側チップを開発した．一過性の応答特性を持つシリコン網膜を送り手側として用い，その中のある細長い領域内の画素からのみのパルス出力を PIC に用意したアドレステーブルを用いて選び出し，受け手側の 1 個のニューロンに送った．このとき global inhibition を効かせるかどうかにより，フィードフォワード及びフィードバックモデルによる方位選択特性をエミュレートした [85].

これらのシステムは，生体のニューロンと同様にパルスにより情報表現を行っており，神経回路網のパルスによる情報処理のメカニズムを探ることができる点で興味深い．また，アドレス変換テーブルを書き込んだ EPROM や EEPROM と PIC マイコ

ンなどを用いてアドレス情報を変換してから受け手側チップに送ることで，チップ間のアドレスマップを柔軟に変形させることができる．このことは，工学的な視覚情報処理の面からのみならず，レチノトピックマップがくずれる高次視覚領域の情報処理をエミュレートするための手段として有効であると考えられる．

5.2 アナログ信号によるチップ間コミュニケーション

生体視覚系における情報処理の本質を捉えたアーキテクチャとして，現在多く用いられているAERプロトコルによるマルチチップシステムが最適かどうかという点に関しては疑問が残る．まず，この方法は非同期とはいえ送り手側チップから受け手側チップに1度に送るパルスは1つだけである．送り手側チップ上の各画素出力の大きさを表現する場合には，パルスの発火頻度，あるいは発火パルス数を一定時間積分した量として表現される．このアナログ表現の分解能は，画素数が増えるほど，また視野内で同時に起こるイベント数が多いほど低下する．単純なパターンのみを対象とするならば，1度に多くのイベントが起こることは稀であるが，複雑な自然画像を扱うことを考えた場合には，視野全体で一度に数多くのニューロンが発火する状況も十分考えられる．もしこのような状況になれば，かえって視野全体にわたる画像情報を全て後段のチップに送ってしまった方がアナログ表現の分解能も高く，効率がよいであろう．また，今までに提案され，かつ広く支持されてきた一次視覚野細胞の情報処理モデルでは [41, 86]，細胞の受容野はパルスを積分したアナログ的な量として扱われているため，これらのモデルの応答特性をハードウェアでエミュレートする場合には，ハードウェアの応答にはアナログ表現を用いる方が直接的であろう．

本研究ではチップ間の画像転送に，アナログ，同期方式によりチップ間の情報伝送を行った．送り側チップの各画素の出力はアナログ情報のまま1画素分ずつ逐次的に読み出され，同時に受け側チップの対応する画素に送られる．この方法により，送り側チップの出力画像をアナログ情報のまま受け側チップ上に転写することができる．このアナログ画像転写は，マルチチップアナログシリコン網膜とよく似た方法である [87]．

図5.3に，アナログ画像転写を行うマルチチップシステムのブロック図を示す．ここでは送り手側チップとして，光情報を受け取るためのフォトダイオードを各画素ごとに備えたシリコン網膜を想定している．シリコン網膜の光センサ部には通常の撮像素子として広く用いられているAPS(Active Pixel Sensor)を用いることができる．APSは，大きな出力ゲインを得るために一定時間電荷を蓄積する，サンプル型の光センサである．この方式の光センサを持つシリコン網膜を送り手側チップとして用いる場合，出力画像は一定時間間隔ごとにサンプルされた1フレーム分の画像として得られるので，これを同期方式で受け手側チップに送ることは非常に自然な方法である．実際に本研究で用いたKamedaらのシリコン網膜の光センサは，この方式を用いている [20]．シリコン網膜からの出力はアナログ電圧の形式で得られ，垂直，水平方向のシフトレジスタを用いて一画素分ずつ順に読み出される．

受け手側チップの画像読み込みは，入力用垂直，水平シフトレジスタが，それぞれ

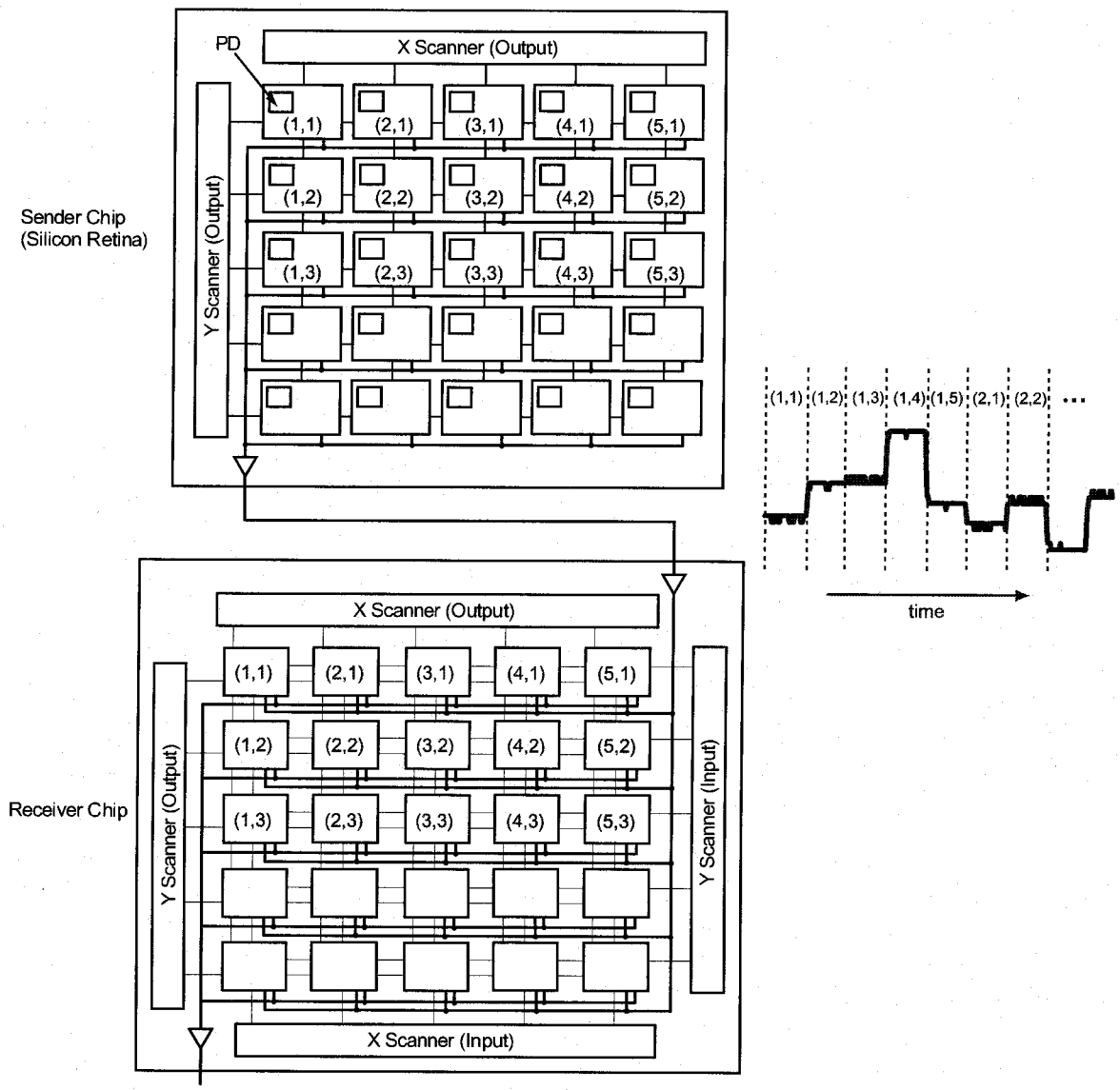


図 5.3: シリコン網膜（送り手側チップ）と受け手側チップにより構成されたマルチチップシステム.

送り手側チップの出力用垂直，水平シフトレジスタに同期して動作することで，シリコン網膜上のある画素の出力が読み出されている間，受け手側のチップの対応する画素がチップ入力ノードに接続される．これを各画素について次々と繰り返すことで，送り手側であるシリコン網膜の出力画像をそのまま受け手側チップ上に転写する．

受け手側チップ上では転写された画像に対して，転写が完了した直後かあるいは出力シフトレジスタを用いて逐次的に読み出しながら，空間並列処理が行われる．

図5.4に，アナログ転写動作のタイミングチャートを示す．シリコン網膜では，APS方式の光センサで，ある一定時間の蓄積動作後（これを蓄積時間と呼ぶ）に1フレーム分の画像がサンプルされると同時に瞬時に処理が完了し，その出力が読み出される．従って，i番目のフレームでは，$i-1$番目のフレームにおける蓄積によって得ら

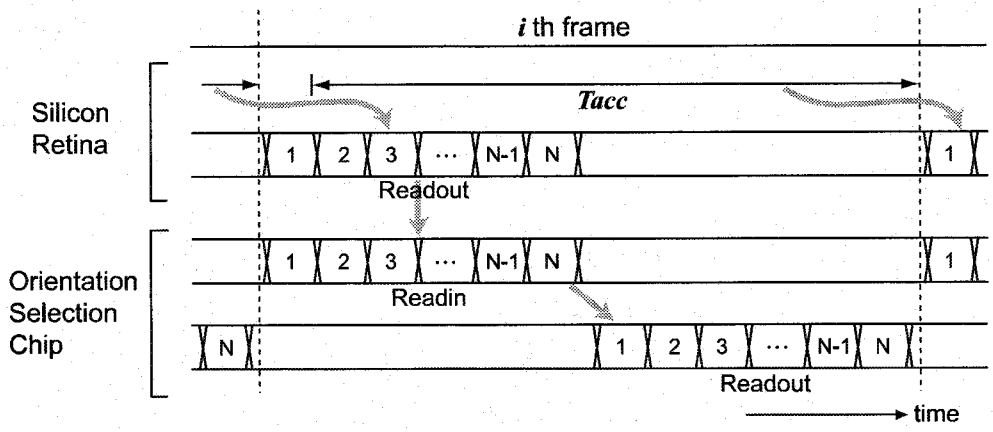


図 5.4: アナログ転写のタイミングチャート.

れた出力が逐次的に読み出される．これと同時に，受け手側チップはシリコン網膜からの入力信号を対応する画素に送り，前述のアナログ転写によりシリコン網膜からの出力画像を読み込む．送り手側チップの N 画素全ての値が受け手側チップに転写された後，受け手側チップ上で瞬時に空間並列的に処理が完了するか，あるいは読み出しながら進められる．いずれにしても，読み出しは，画像転写完了の直後に開始される．読み出しは出力用のシフトレジスタにより 1 画素ずつ順にチップ出力ノードに接続されることで逐次的に行われる．処理の時間サンプリングの間隔は光センサの蓄積時間 T_{acc} により決まる．この蓄積時間は，照明環境や光センサの感度によっても異なるが，本システムで用いたシリコン網膜の場合，通常の室内照明下で 20ms〜30ms 程度である．アナログ転写と受け手側チップからの読み出しにかかる時間の合計は，これよりも十分に短いため，遅れなく受け手側チップ出力まで得られる．第 6 章において，試作システムを用いてこのことを確認する．

さらに，3 段目の受け手側チップを直列につなぐ場合には，2 段目の受け手側チップの出力に同期して 3 段目の受け手側チップへの入力が行われる．3 段目の受け手側チップからの出力は，次の，シリコン網膜から 2 段目の受け手側チップへの画像転写に同期して行われる．このような方法で，多段のマルチチップシステムを構築することができる．なお，ひとつの送り手側チップに対していくつかの受け手側チップを並列につなぐ場合には，転写のタイミングは受け手側チップがひとつの場合と同じでよい．

5.3 基本回路

本節では，マルチチップシステムを構成するアナログ CMOS 集積回路を設計するにあたり用いた基本回路について述べる．

5.3.1 トランスコンダクタンス増幅器

トランスコンダクタンス増幅器 (transconductance amplifier)[16] は MOSFET(MOS Field Effect Transistor) を用いた基本的なアナログ回路のひとつである．本研究で製作した方位選択チップにおいても，画素回路や信号入出力部など，アナログ信号を扱う部分の多くに使用している．

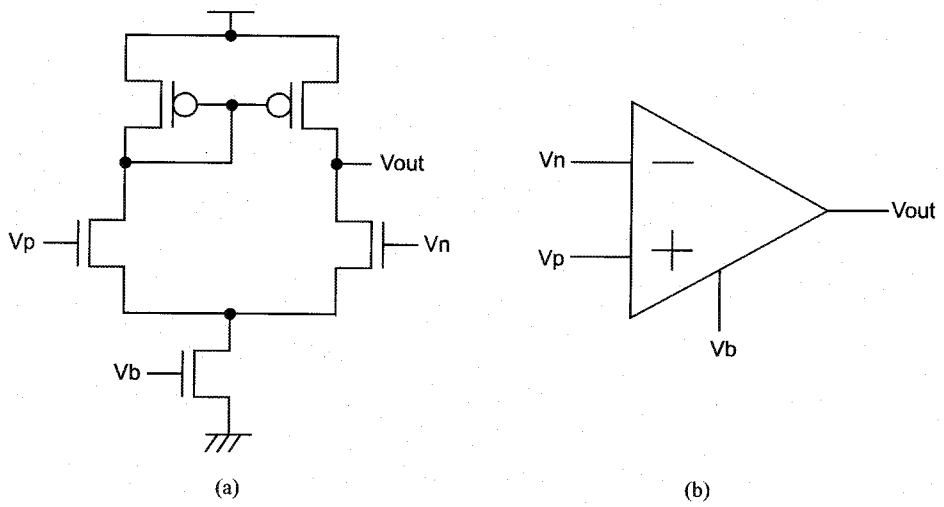


図 5.5: トランスコンダクタンス増幅器

図 5.5(a) にトランスコンダクタンス増幅器の回路図を示す．この増幅器は 2 つの pMOSFET と 3 つの nMOSFET により構成され，2 つの入力端子 V_n, V_p と 1 つの出力端子 V_{out} をもつ．V_b はバイアス電圧である．(b) にトランスコンダクタンス増幅器の回路記号を示す．トランスコンダクタンス増幅器はカレントミラーと差動対により構成されている．

ここでまず，nMOSFET の飽和ドレイン電流を次のように表す．

$$I_d = I_0 e^{\kappa V_g - V_s} \tag{5.1}$$

ただし，V_g，V_s はそれぞれ MOSFET のゲート電位 [V]，ドレイン電位 [V]，I_0 は 0 バイアス電流 [A] である．κ は表面電位へのゲート電位の効果であり，製造プロセスにより決まる．指数部には実際には熱電圧がかかるが，ここでは略して表記している [16]．これを用いて，トランスコンダクタンス増幅器の 2 つの入力端子間の電位差 $(V_p - V_n)$ と出力電流 I_{out} の関係を次のように表すことができる．

$$I_{out} = I_b tanh \frac{\kappa(V_p - V_n)}{2} \tag{5.2}$$

ここで，I_b は図 5.5(a) の最下部の nMOSFET に流れる電流で，ノード V_b に印加する電圧によって制御される．$tanh$ 関数は原点付近で傾きが 1 となることから，上式の原点における傾きを用いてこの増幅器のトランスコンダクタンス G_m を次のように表すことができる．

$$G_m = \frac{\partial I_{out}}{\partial V_{in}} \tag{5.3}$$

$$= \frac{I_b}{2/\kappa} \tag{5.4}$$

上式より，トランスコンダクタンスは I_b に比例することが分かる．つまり，バイアス電圧 V_b によりトランスコンダクタンス G_m の値を制御できる．通常のコンダクタンスは 2 端子間の電位差を同じ 2 端子間を流れる電流に変換する．それに対し，トランスコンダクタンスはある 2 端子間の電位差を別のどこかに流れる電流に変換する．この増幅器の場合は，V_p，V_n という 2 つの入力端子間の電位差の関数として出力電流を流すので，トランスコンダクタンス増幅器と呼ばれる．

また，トランスコンダクタンス増幅器は，入力に電位差を用い，出力を電圧として取り出すように用いることもできる．この場合，回路の出力をオープンにした場合の電圧出力を考える．つまり，増幅器の出力端から電流は流れ出さないものとする．このとき，2 つの入力端子間の電位差 $V_p - V_n$ と出力電圧 V_{out} との関係は次式で表される．

$$V_{out} = A(V_p - V_n) \tag{5.5}$$

A は増幅器の電圧利得 (voltage gain) で，$\partial V_{out}/\partial V_{in}$ で定義される．つまり，微小な電位差入力 $V_p - V_n$ に対して，出力は電圧利得 A で大きく応答する．この電圧出力は，式のように求めた電流出力が，出力側の MOSFET で発生するコンダクタンスにより電圧出力に変換されたものと考えることができる．このコンダクタンスを出力コンダクタンス G_{out} と呼ぶ．つまり，$G_{out} = \partial I_{out}/\partial V_{out}$ である．G_{out} は，図の出力端に接続されている MOSFET の Q_2 と Q_4 のドレインコンダクタンスの差として与えられる．以上のことから，トランスコンダクタンス G_m と出力コンダクタンス G_{out} より，電圧利得 A は次のように求められる．

$$A = \frac{\partial V_{out}}{\partial V_{in}} \tag{5.6}$$

$$= \frac{\partial I_{out}}{\partial V_{in}} \frac{\partial V_{out}}{\partial I_{out}} = \frac{G_m}{G_{out}} \tag{5.7}$$

図 5.6 に，トランスコンダクタンス増幅器の電圧出力特性を Hspice でシミュレートした結果を示す．横軸は V_n，縦軸は出力電圧 V_{out} である．V_p を 0V から 5V の間で 1V ごとに変化させ，それぞれの場合における特性を示している．いずれの場合にも，V_p が V_n よりわずかでも大きくなると，出力電圧は V_{dd} まで増加し，逆に，V_n が V_p よりわずかでも大きくなると，出力電圧はある下限値まで減少する．この下限値が傾斜を持ち，常には 0V にならないのは，トランスコンダクタンス増幅器の V_{min} 問題 [16] による．V_{min} 問題により，トランスコンダクタンス増幅器の出力電圧の範囲は次式のようになる．

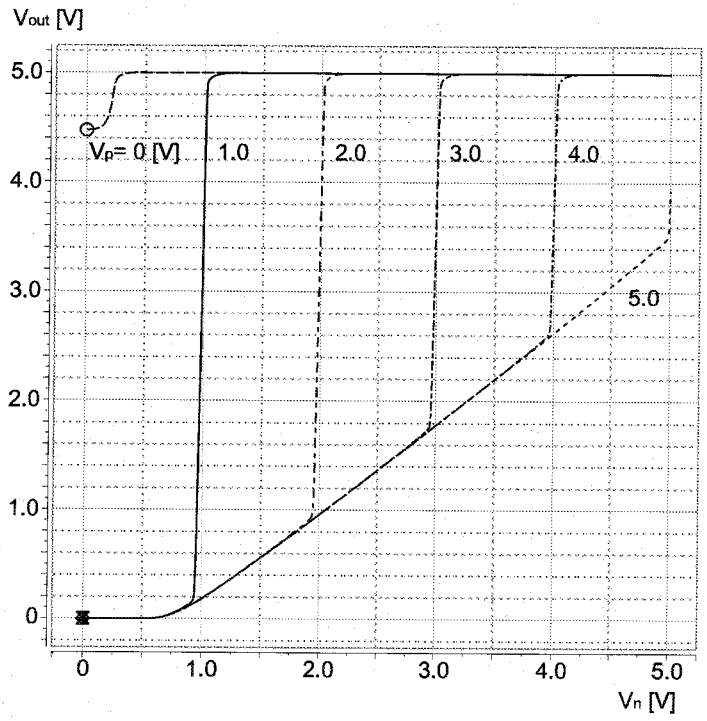


図 5.6: トランスコンダクタンス増幅器の電圧出力特性

$$\kappa(min(V_p, V_n) - V_b) \leq V_{out} \leq V_{dd} \tag{5.8}$$

出力電圧は下限が制限され，グランドから電源電圧までの範囲，すなわち rail-to-rail では動作しない．

この出力電圧範囲の制限は，トランスコンダクタンス増幅器を拡張したワイドレンジ増幅器を用いることにより回避できる．ワイドレンジ増幅器の回路構成を図 5.7 に示す．4 つの pMOSFET と 5 つの nMOSFET により構成される．回路の機能はトランスコンダクタンス増幅器と同じであり，2 つの入力 V_p と V_n の電位差に応じて出力電流 I_{out}，あるいは出力電圧 V_{out} が得られる．

図 5.8 に，ワイドレンジ増幅器の電圧出力特性を Hspice によりシミュレートした結果を示す．横軸は V_n，縦軸は出力電圧 V_{out} である．V_p を 0V から 5V まで 1V ごとに変化させ，それぞれの場合の特性を示した．V_n が V_p よりわずかでも大きくなると，出力電圧は 0V まで減少しており，peak-to-peak で動作していることが分かる．

このように，ワイドレンジ増幅器は，出力電圧範囲の制限を回避できるが，回路を構成する FET の数は 9 つ必要である．これに対して，動作域に制限がある単純なトランスコンダクタンス増幅器は 5 つの FET で構成できるため，回路規模を小さくすることができる．従って，無駄のない回路を設計するためには，目的とする回路の動作域を検討し，それに応じて両者を使い分ける必要がある．

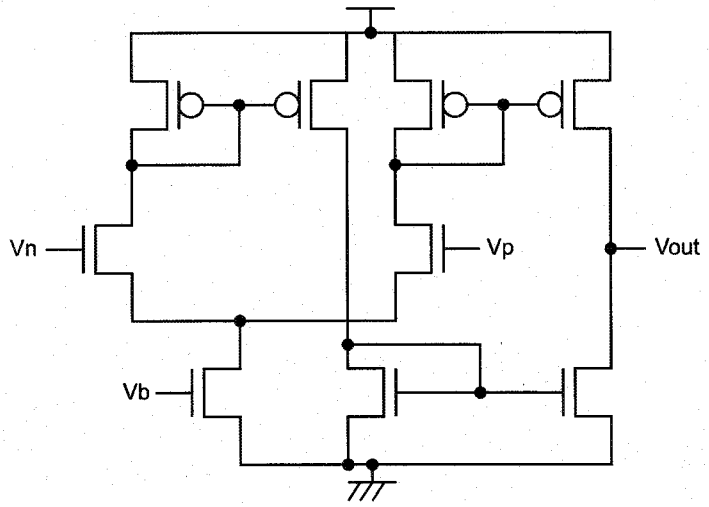


図 5.7: ワイドレンジ増幅器の構成

5.3.2 フォロア統合回路

空間的な信号の統合を行うための最も簡単な回路として，フォロア統合回路がある[16]．図 5.9 にその構成を示す．フォロア統合回路は，n 個のボルテージフォロア回路の出力ノード V_{out} を全て短絡することで構成できる．各ボルテージフォロアの非反転ノードには，それぞれ異なった電圧 V_i が入力されるが，フォロア統合回路ではこれらを全て統合した結果として，電圧 V_{out} を出力する．

前節で述べたように，トランスコンダクタンス増幅器は，非反転及び反転入力ノード間の電圧差に比例した出力電流を発生する．従って，図 5.9 の増幅器の出力電流は，

$$I_i = G_i(V_i - V_{out}) \tag{5.9}$$

となる．G_i は増幅器 i のトランスコンダクタンスである．ここで出力ノード V_{out} についてキルヒホッフの電流則を考えると，各増幅器の出力電流の総和がこの接点に出入りする総電流となり，その和は 0 にならなければならない．

$$\sum_{i=1}^{n} G_i(V_i - V_{out}) = 0 \tag{5.10}$$

従って V_{out} を求めると，

$$V_{out} = \frac{\sum_{i=1}^{n} G_i V_i}{\sum_{i=1}^{n} G_i} \tag{5.11}$$

つまり出力 V_{out} は，トランスコンダクタンス G_i で重み付けされた各入力 V_i の平均となる．

トランスコンダクタンス増幅器を用いて単一のボルテージフォロア回路を構成する場合，出力電圧は常に入力電圧をフォローするため，前節で述べた V_{min} 問題は発生しない．ところが，複数のボルテージフォロア回路の出力ノードを短絡してフォロア

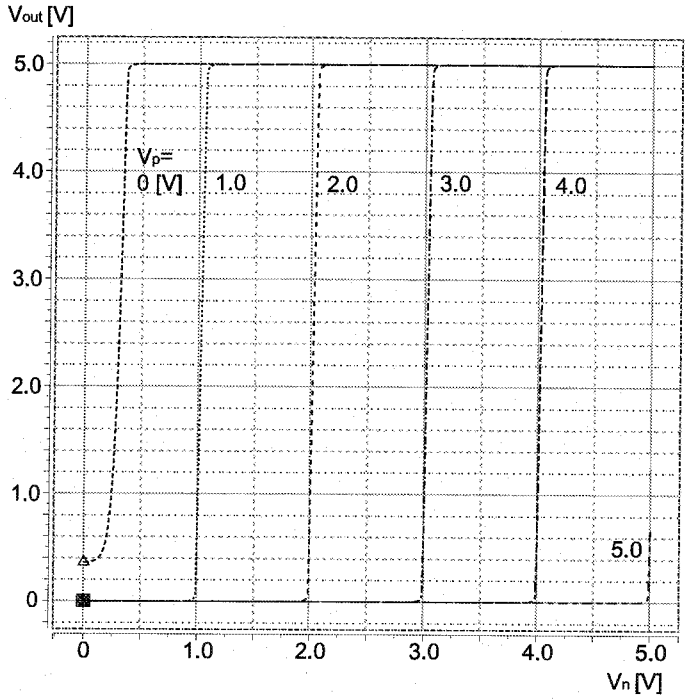


図 5.8: ワイドレンジ増幅器の電圧出力特性

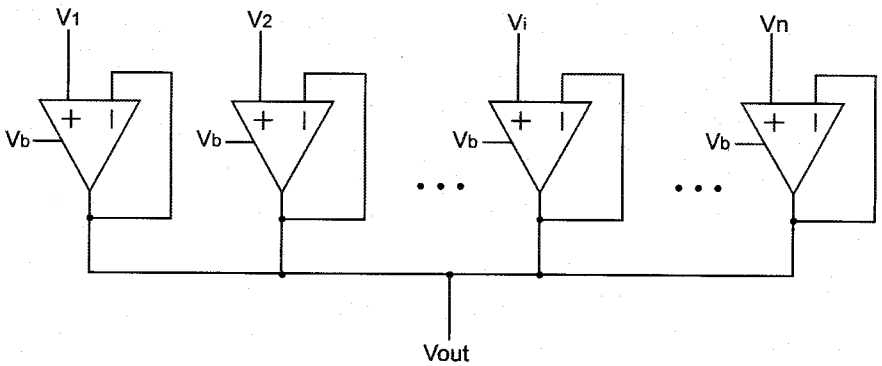


図 5.9: フォロア統合回路.

統合回路を構成した場合には，出力電圧はそれぞれのボルテージフォロア回路への入力電圧の平均値として決められるため，各ボルテージフォロア回路において入力電圧と出力電圧が同じであるとは限らず，V_{min} 問題が発生する可能性がある．このため，フォロア統合回路の構成に用いるボルテージフォロア回路には，ワイドレンジトランスコンダクタンス増幅器を用いるべきである．

フォロア統合回路は，本研究の目指す生体模倣型視覚デバイスの設計にあたって，以下の点で非常に重要かつ便利な回路である．まず，回路構成が極めて簡単である．もし，ボルテージフォロア回路が各画素回路の出力部ならば，それらを単に短絡するだけで統合を行うことができる．また，その計算はアナログ回路の物理的な性質によ

り実行されるため，瞬時に完了する．さらに，空間的な重み付け平均を計算するこの回路は，アナログ回路特有の問題である素子特性のばらつきに起因する固定パターンノイズを軽減することにも役立つ．このことは，第6章において試作システムを用いた実験結果により示す．

5.4 単純型細胞の回路モデル

5.4.1 回路モデルの構成

方位選択性を実現するための特定の方位に細長く伸びた受容野は，中心－周辺拮抗型受容野を持った神経細胞の応答をその特定方位に沿って複数統合することにより構成することができる．本研究では，方位選択性を実現するための構造として，このようなフィードフォワードモデルを用いた．

中心－周辺拮抗型受容野を持つ細胞の統合により方位選択性を実現する電子回路モデルを図5.10に示す．モデルは，抵抗回路網により中心周辺拮抗型の空間受容野を生成する前半部分と，そのような受容野を持つ複数の画素を統合することで方位選択性を実現する後半部分から構成される．

V_3を出力とするモデルの前半部分は，脊椎動物の外網膜における生理学的，形態学的知見に基づいた外網膜神経回路の基本構造を抵抗回路網を用いてモデル化したものである．この回路モデルは，外網膜の空間応答特性を模擬したシリコン網膜のモデルとして用いられている [21]．V_3の分布は，抵抗回路網上の電圧分布を解析的に求めることにより得ることができ，既にいくつかの形で示されている [16, 88, 89]．また，Marrはエッジ検出などの初期視覚問題が，数学的に不良設定問題となっていることを指摘し [14]，Poggioはこの不良設定問題を標準正則化問題として定式化することで，あるエネルギー関数を最小にする問題に帰着させたが [90, 91]，Yagiらは，この初期視覚における標準正則化問題との関連で，トップダウン的な計算論的解析を行うことで，2層の抵抗回路網によりモデル化された外網膜神経回路網の機能を説明した [13, 93, 92]．

V_{θ_p}を出力とするモデルの後半部分は，ある特定の方位θに並ぶ複数の画素の入力V_3を空間的に統合する．この空間的統合は，前節で述べたフォロア統合回路により行われる．フォロア統合回路では，複数のボルテージフォロア回路の出力ノードが短絡され，ひとつの信号線を駆動する．ここでは六角格子状の画素配列を考えているので，一直線上に画素が並ぶ方位として，$0°, 60°, 120°$の三方位をとることができる．つまり，これら三方位が最適方位となる．六角格子上に座標軸j, kを図5.10のようにとることで，各方位（$\theta_p = 0°, 60°, 120°$）について画素統合を行ったときの応答V_{θ_p}を前節のフォロア統合回路の出力電圧の式を用いて次のように表すことができる．

$$V_{0°}(j,k) = \frac{\sum_{n=-l}^{l} G_{j+n,k} V_3(j+n,k)}{\sum_{n=-l}^{l} G_{j+n,k}} \tag{5.12}$$

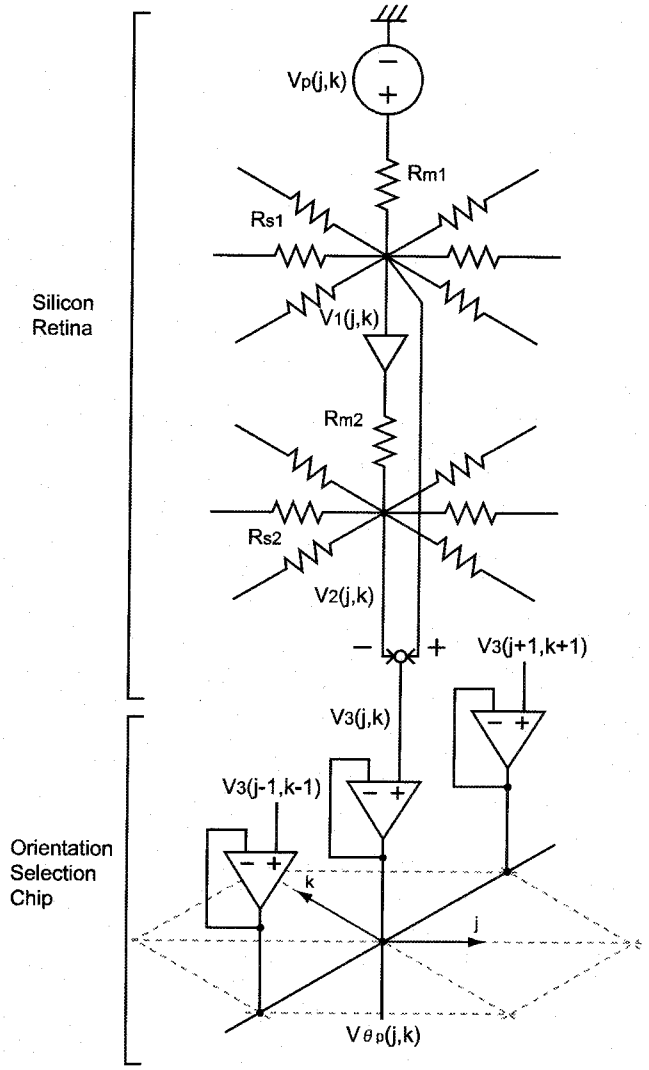


図 5.10: 方位選択性を実現する電子回路モデル.

$$V_{60^\circ}(j,k) = \frac{\sum_{n=-l}^{l} G_{j+n,k+n} V_3(j+n,k+n)}{\sum_{n=-l}^{l} G_{j+n,k+n}} \tag{5.13}$$

$$V_{120^\circ}(j,k) = \frac{\sum_{n=-l}^{l} G_{j,k+n} V_3(j,k+n)}{\sum_{n=-l}^{l} G_{j,k+n}} \tag{5.14}$$

ここで，統合される画素数は $2l+1$，$G_{j,k}$ は画素 (j,k) におけるトランスコンダクタンス増幅器のトランスコンダクタンスである．G が全ての画素について同じならば，V_{θ_p} は統合される画素の応答 V_3 の単純な加算平均となる．

以上の画素統合により得られる受容野は，even 型である．最適方位と直交する方位に互いに少しずれた位置の even 型受容野の差を計算することで，odd 型の受容野を構成できる．ここでは，簡単化のためにある方位に対して 60° 回転した方位に少しずれた位置の even 型受容野の差を計算することで，以下のように odd 型の受容野を得た．

$$V_{odd0^\circ}(j,k) = V_{0^\circ}(j,k+1) - V_{0^\circ}(j,k-1) \tag{5.15}$$
$$V_{odd60^\circ}(j,k) = V_{0^\circ}(j+1,k+1) - V_{0^\circ}(j-1,k-1) \tag{5.16}$$
$$V_{odd120^\circ}(j,k) = V_{0^\circ}(j+1,k) - V_{0^\circ}(j-1,k) \tag{5.17}$$

5.4.2 応答特性のシミュレーション

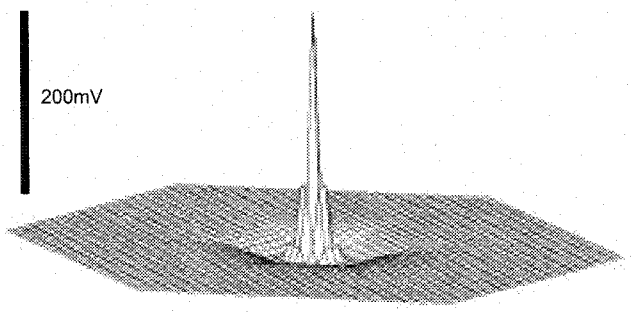


図 5.11: 外網膜神経回路モデルの空間インパルス応答.

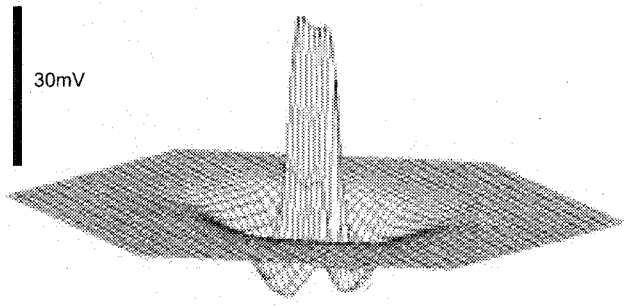


図 5.12: 方位選択性を得る回路モデルの空間インパルス応答（even 型）．統合画素数 N=9.

図 5.11 に，前述の回路モデルにおける V_3 の空間インパルス応答を示す．計算は [88] の近似式を用いて，MATLAB によりシミュレーションを行った．六角形の対角はそれぞれ 51 画素である．抵抗回路網の各抵抗値は，$R_{m1} = R_{m2} = 10M\Omega$，$R_{s1} = 6M\Omega$，$R_{s2} = 2M\Omega$ とし，$1V$ の入力を中心の画素に与えた．中心で大きく正に応答し，その周辺が負に応答しており，中心周辺拮抗型の空間受容野特性を持つことが分かる．

このような受容野を持つ画素を統合することで得た，回路モデルにおける V_{θ_p} の even 型の空間インパルス応答を図 5.12 に示す．画素統合は $\theta = 120^\circ$ の方位に行い，中心の画素とそこから正負方向に 4 画素ずつ，合計 9 画素を統合した．図のように，

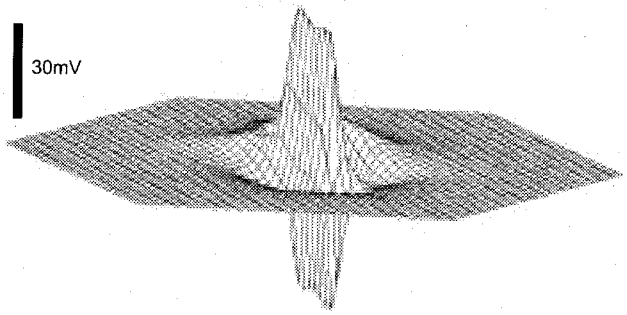


図 5.13: 方位選択性を得る回路モデルの空間インパルス応答（odd 型）．統合画素数 N=9.

画素統合を行った方位に沿って細長く伸びた応答が得られている．また，正に応答している部分を中心にして，両側を負に応答した領域が挟んだ形になっていることが分かる．

図 5.13 に，2 つの even 型の受容野の差として得た odd 型の空間インパルス応答を示す．最適方位は $\theta = 120°$，統合画素数 9 画素とした．応答は最適方位に細長く伸びている．また，正に大きく応答した領域と負に大きく応答した領域が隣り合って存在する odd 型単純型細胞の特徴に良く似た形状であることが分かる．

これらの空間インパルス応答は，画像に対する空間フィルタとしてみることができる．二次元の空間インパルス応答を用いて二次元の画像とのコンボリュージョンを計算することにより，任意の入力画像に対する本回路モデルの応答を予測することも可能である．図 5.12 を見ると，空間フィルタのサイズはかなり大きくなることが分かる．一般に，自然画像を扱う場合にはある程度大きなサイズの空間フィルタが必要であるといわれているが，本回路モデルをアナログ集積回路として実現することは，通常我々が目にしているような自然画像に対して有効に働く視覚システムを構築するという意味においても重要である．ディジタル画像処理では，二次元画像に対する空間フィルタリングのためのコンボリュージョンは，空間フィルタのサイズが大きくなると爆発的に計算量が増加するため，通常あまり大きなサイズのものは用いられない．本モデルと同様の空間応答を実現することはもちろん可能であるが，実際の視覚環境下のように時々刻々と変化する画像を扱おうとすれば，用いるプロセッサの動作速度により消費電力と計算時間とのトレードオフが生じる．これに対して，本回路モデルにおける空間フィルタリングの計算は，抵抗回路網あるいはフォロア統合回路において，回路の物理的な性質によって並列的に行われる．このような計算は実時間で実行され，空間フィルタのサイズや入力画像のサイズが大きくなっても計算時間は変わらない．

自然画像の中には，同じ方位を持つパターンの中でも，様々な長さや幅を持つものが存在する．これらのパターンを効率良く取り出すためには，それぞれに適した空間フィルタを用意すればよい．一次視覚野には，様々な方位のみならず，様々な大きさ

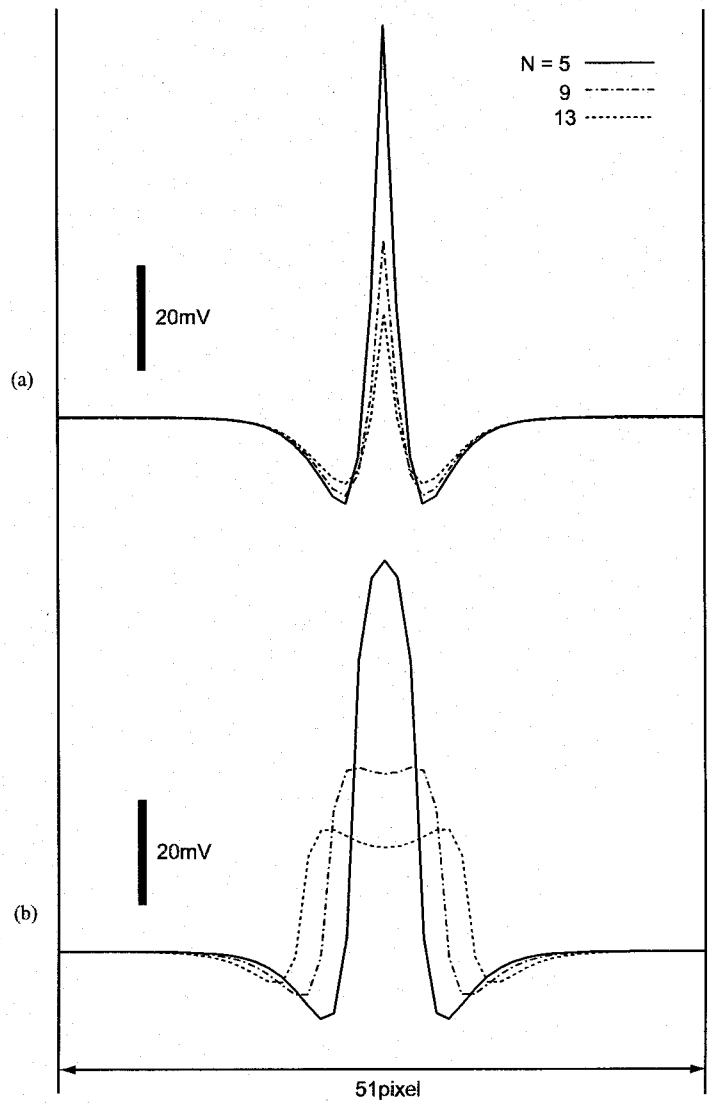


図 5.14: 方位選択性を得る回路モデルの空間インパルス応答の断面図．統合画素数 N を 5, 9, 13 画素と変化させた場合．(a)$j = 0$ の直線方向（短軸方向），(b)$j = k$ の直線方向（長軸方向）．

を持った単純型細胞が存在していることが知られており，一次視覚野ではこのような単純型細胞の集合によって画像が表現されていると考えられている [45]．どのようなパラメータをもって応答特性を変化させればよいかは明らかではないが，自然な視覚環境下における柔軟な画像処理ということを念頭においた場合には，回路パラメータによりシステムの応答特性を変化させることができるのは重要な機能である．本回路モデルにおいて，二つの回路パラメータ，すなわち統合画素数 N 及び二層目の水平抵抗値 R_{s2} を変化させたときの応答特性の変化をシミュレーションにより調べた．

図 5.14 に，統合画素数を 5 画素，9 画素，13 画素と変化させた場合のインパルス応答を示す．画素統合の方位は 120° とした．(a), (b) はそれぞれ，二次元応答から $j = k$ 及び $j = 0$ となる直線に沿って得た断面図，すなわち細長く伸びた応答の短軸方向，

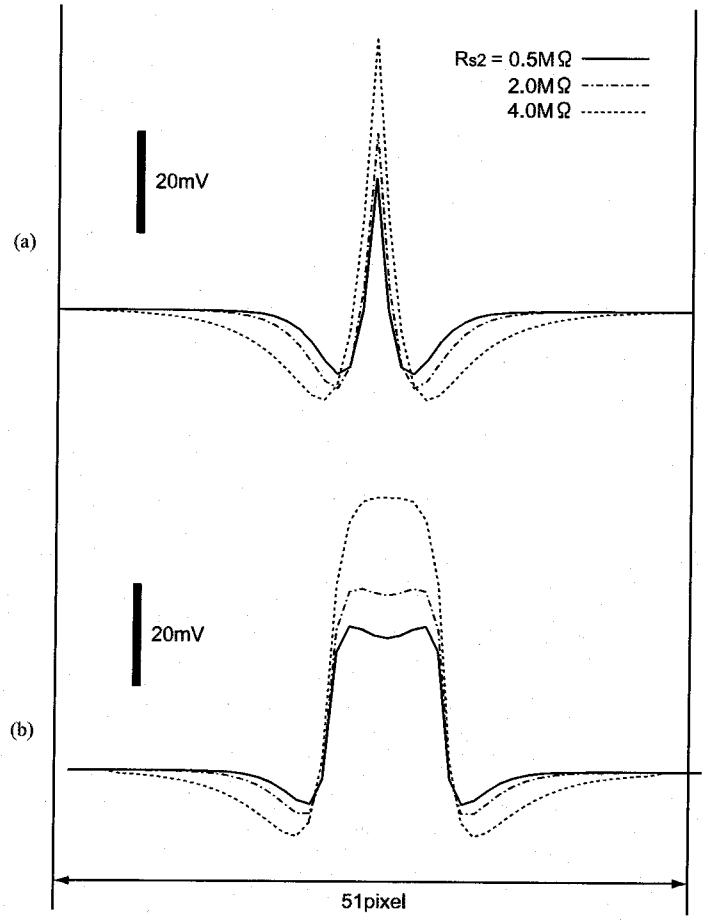


図 5.15: 方位選択性を得る回路モデルの空間インパルス応答の断面図．2 層目の抵抗回路網の水平抵抗値 Rs2 を 0.5M, 2M, 4M Ωと変化させた場合．(a)$j = 0$ の直線方向（短軸方向），(b)$j = k$ の直線方向（長軸方向）．

長軸方向の断面図である．統合画素数を増やすと，短軸方向の応答の幅は (a) のようにわずかながら小さくなるが，長軸方向の長さは (b) のように長くなることが分かる．このことから，統合画素数を増加させることにより，空間フィルタ形状のアスペクト比（縦横比）を増加させることができるということが分かる．統合画素数が増加するほど応答のピークが小さくなるのは，フォロア統合による加算平均の計算において統合画素数が分母となることによる．

図 5.15 に，二層目の水平抵抗値 R_{s2} を $0.5M\Omega, 2M\Omega, 4M\Omega$ と変化させたときのインパルス応答を示す．画素統合の方位は 120°，統合画素数は 9 画素とした．(a), (b) は図 5.14 と同じく，細長く伸びた応答の短軸方向，長軸方向の断面図である．水平抵抗の値を小さくすると電圧はより遠くまで拡散するため，空間フィルタのサイズは大きくなる．つまり，R_{s2} が小さいほど，V_3 におけるラプラシアン－ガウシアン型受容野のサイズは大きくなる．このラプラシアン－ガウシアン型受容野のサイズは大きくすると，応答の長軸方向の長さは (b) のようにほとんど変わらないが，短軸方向の幅は (a) のようにわずかながら大きくなることが分かる．このことから，二層目の水平

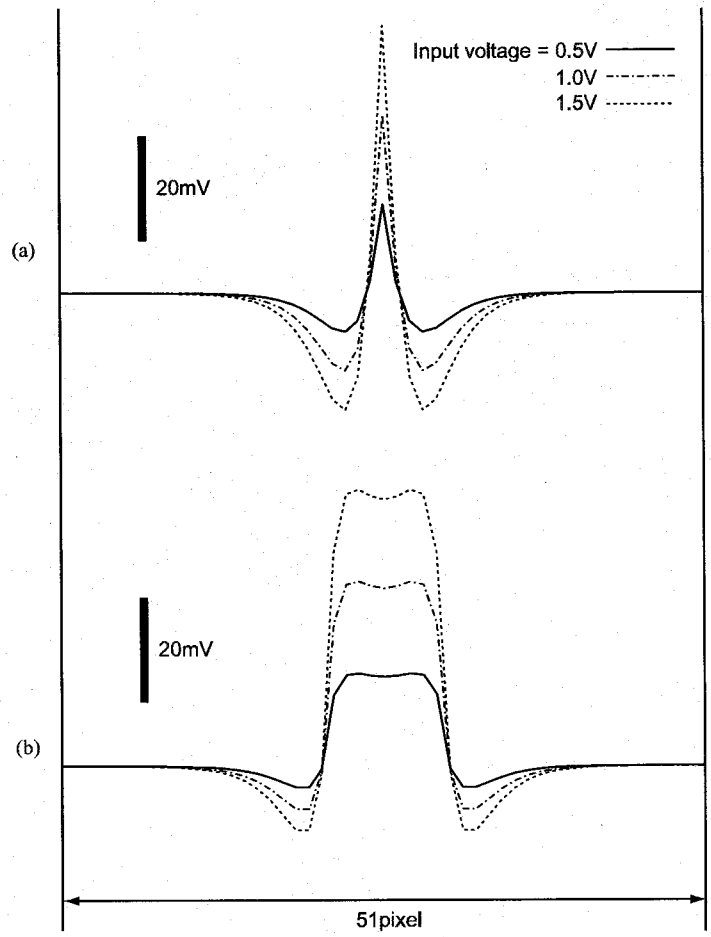


図 5.16: 方位選択性を得る回路モデルの空間インパルス応答の断面図．入力電圧の振幅を 0.5V, 1.0V, 1.5V と変えた場合．(a)$j = 0$ の直線方向（短軸方向），(b)$j = k$ の直線方向（長軸方向）．

抵抗 R_{s2} を小さくすることでラプラシアンーガウシアン型受容野のサイズを大きくすることにより，空間フィルタ形状のアスペクト比を小さくすることができるということが分かる．R_{s2} を小さくするほど応答のピークが大きくなるのは，外網膜神経回路モデルの特性により，V_3 の応答のピークが大きくなったためである．すなわち，R_{s2} が小さいほど二層目の抵抗回路網において電圧がより広く拡散することで各ノードにおける電圧値は小さくなり，これが一層目の抵抗回路網における電圧分布から引かれるため，V_3 の応答はより大きくなる．

図 5.16 に，入力電圧の振幅を $0.5V$, $1.0V$, $1.5V$ と変化させたときのインパルス応答を示す．これは，入力画像のコントラストが変化した場合に相当し，入力電圧が大きいほど，コントラストが高いことになる．画素統合の方位は 120°，統合画素数は 9 画素とした．(a), (b) は図 5.14 と同じく，細長く伸びた応答の短軸方向，長軸方向の断面図である．入力電圧が大きくなると，応答の振幅も大きくなっていくことが分かる．ただし，応答のゼロ交差の位置は (a),(b) ともに変化しておらず，受容野形状

のアスペクト比は変わらないことが分かる．このことから，入力画像のコントラストの変化に対しては，応答振幅は変わるが方位選択性の特性は変わらないことが予測される．

本章では，一次視覚野細胞の空間受容野を階層的に構成するためのアナログ信号によるチップ間画像転写について述べた．従来のマルチチップ視覚システムの多くがディジタルパルスによる画像転送を行うAERを用いているのに対して，本研究のシステムではアナログ信号により画像転写を行う．また，フィードフォワードモデルに基づいた単純型細胞の電子回路モデルを提案した．このモデルを，中心周辺拮抗型の受容野をもつシリコン網膜と，その出力を統合して方位選択性を得るアナログ集積回路により，アナログマルチチップシステムとして実現する．

第6章　方位選択性を模擬するアナログ集積回路

シリコン網膜からの画像情報を受け取り方位選択性を実現するアナログ集積回路を，ここでは"方位選択チップ"と呼ぶ．本章では，方位選択チップの設計及び動作特性について述べる．

6.1　方位選択チップの設計

6.1.1　回路構成

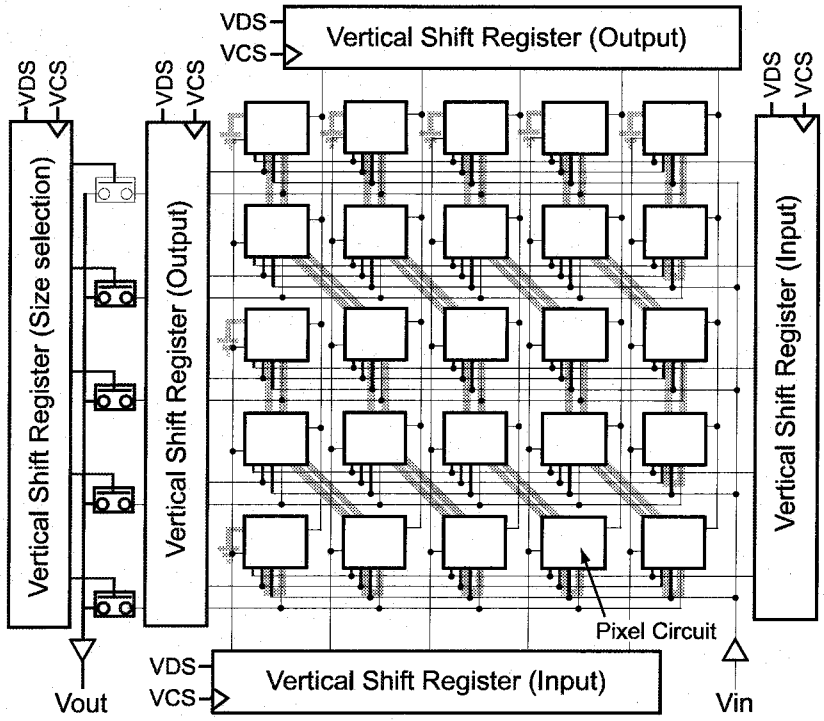


図 6.1: 方位選択チップの全体の回路構成.

図 6.1 に，方位選択チップの全体の回路構成を示す．方位選択チップは，画素回路のアレイと 5 つのシフトレジスタから構成される．画素回路のアレイは，図中では本研究では 5×5 画素分が示されているが，実際に試作したチップでは 21×21 画素であ

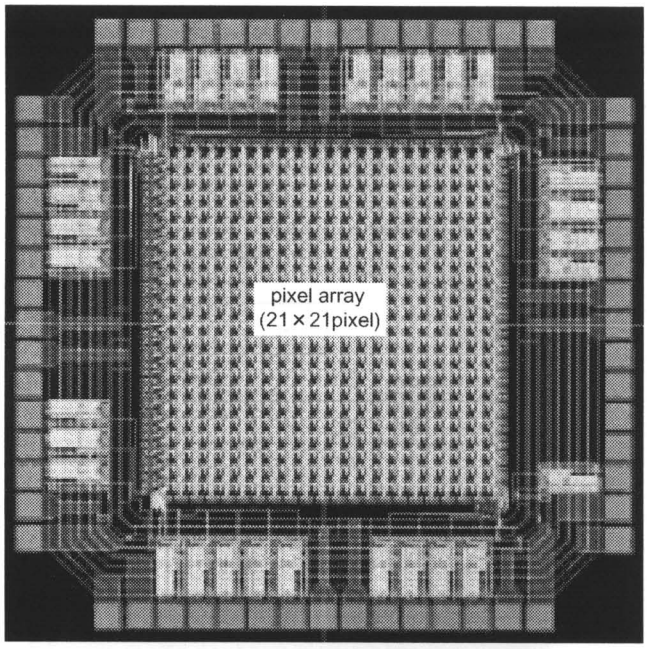
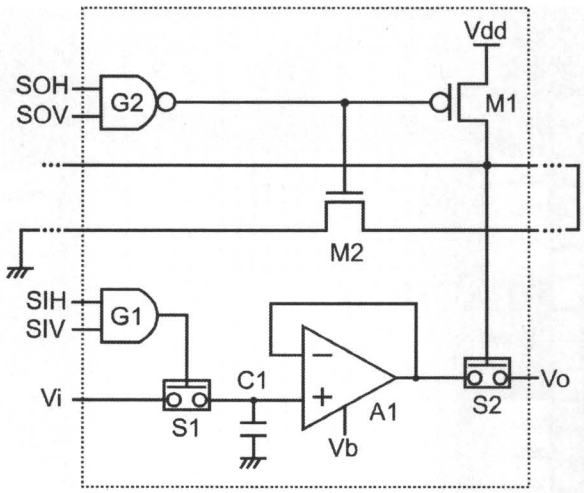


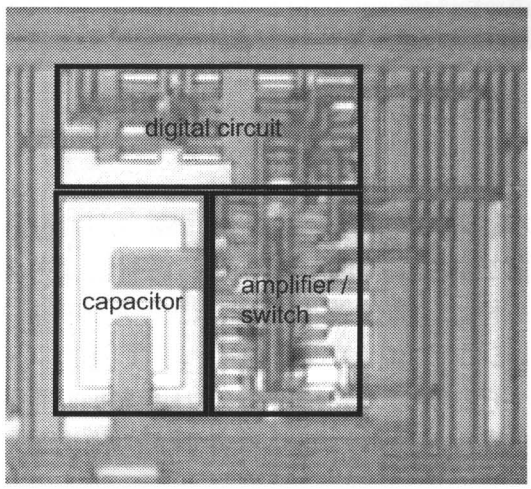
図 6.2: 方位選択チップ全体のレイアウト.

る．また，5つのシフトレジスタはそれぞれ，順方向及び逆方向のデータシフト及びデータリセットが可能であり，外部から与える信号により制御できる．送り手側のシリコン網膜の出力ノードは，方位選択チップの入力ノード V_{in} に接続される．入力用の水平，垂直シフトレジスタは，1画素を選択して入力ノードに接続する．これらのシフトレジスタはそれぞれシリコン網膜の出力用水平，垂直シフトレジスタと同期して動作し，シリコン網膜から送られてくる各画素の出力電圧を方位選択チップ上の対応する画素へと運ぶ．出力用の水平，垂直シフトレジスタは，画素統合を行う際の基準となる1画素を選択する．サイズ選択用の垂直シフトレジスタは，同時に選択する水平出力ラインの数を決めることで統合画素数を決定する．このシフトレジスタのデータシフトは，出力用垂直シフトレジスタと同期して行われる．方位選択チップ上では，出力用の垂直，水平方向シフトレジスタで基準画素を1画素ずつ選択しながら，サイズ選択用のシフトレジスタとグレイの線で示した画素統合用結線を用いて特定方位に沿った画素統合が行われ，方位選択性が実現される．ここで示した画素統合用結線は，下方向に1段進むごとに直下の画素と右下の画素を交互に接続しているが，これは，シリコン網膜上で 120° の一直線上にフォトダイオードが並ぶ画素を接続するためである（2.3節のシリコン網膜の回路構造の図を参照）．この動作の詳細については，次の節で述べる．方位選択チップの出力は，出力ノード V_{out} から1画素分ずつアナログ電圧として読み出される．図6.2に，チップ全体のレイアウトを示す．

図6.3(a)に，方位選択チップの1画素の回路構造を示す．画素回路は，アナログスイッチS1，S2，キャパシタC1及びトランスコンダクタンス増幅器A1から成るアナログメモリと，シフトレジスタによりこの画素回路を選択するためのゲート回路G1，G2，2つのMOSトランジスタM1，M2から構成される．G1は，入力用水平，垂直



(a)



(b)

図 6.3: 1 画素の回路構成. (a) 回路図, (b) 試作チップの顕微鏡写真.

シフトレジスタからの信号 SIH,SIV を受け, これらが両方"H"のときに S1 を閉じて, この画素の入力ノード V_i をチップの入力ノード V_{in} に接続する. このとき, アナログメモリは, V_i から入力されたシリコン網膜の対応する画素からのアナログ電圧出力を C1 に保持する. G2 は, 出力用の垂直, 水平方向シフトレジスタからの信号 SOV, SOH を受け, これらがともに"H"のときに, 2 つの MOS トランジスタのゲート電圧を"L"レベル (GND) にすることで, M1 を ON に, M2 を OFF にする. M1 のドレイン側ノードが S2 を制御するので, M1 が ON になった時点で S2 は閉じ, 保持されていた電圧が出力ノード V_o から読み出される. M1 のドレイン, M2 のソース及びドレインのノードは, 図 6.1 においてグレーの線で示されている画素統合用結線上における隣合う画素と接続される. つまり, これらの接続が画素統合用結線そのものになる. この画素統合用結線は, 端で M2 のソース側は GND に, ドレイン側は M1 のドレイ

ン側にそれぞれ接続される．図6.3(b)に1画素のレイアウトを示す．1画素の中に，ディジタル回路として働く部分(G1,G2,M1,M2)とアナログ回路として働く部分が混在しているが，アナログ回路部がディジタル回路で発生するスイッチングノイズの影響をできるだけ受けないように，それぞれまとめて別々の領域に配置した．

この方位選択チップを，東京大学大規模集積システム設計教育研究センター(VDEC)を通し，ローム社0.35μmCMOSプロセスで試作した．チップサイズは$2.4 \times 2.4mm^2$，画素数は21×21，1画素面積は$60.95\mu m \times 58.85\mu m$である．平均消費電力は$13.6mW$である．ただし，電源電圧$3.3V$，各画素の増幅器に与えるバイアス電圧$V_b$=$0.6V$とした．

6.1.2 画素統合動作

図6.4に，方位選択チップにおける画素統合動作の流れを示す．それぞれの図は，方位選択チップの左上端の4×4画素分の回路構造を示す．各画素内には，NANDゲートG2及びスイッチS2のみが示されている．各画素の2つのMOSトランジスタM1,M2は，その画素を含む1本の画素統合用結線上に並ぶ他の画素と接続され，全体として1つの共通NANDゲートGcomを形成している．このような回路構造により，特定方位の任意の数の画素を統合することができる．ここでは，シリコン網膜から転写された画像に対して，120°の方位選択性を実現するための画素統合動作について説明する．

出力用の垂直，水平方向シフトレジスタ（それぞれVSR(O),HSR(O)）により，グレーで示された1画素が選択されているとする．これが画素統合時の基準画素となる．このとき，基準画素内のNANDゲートG2の出力は"L"レベルになり，共通NANDゲートGcomに入力される．

基準画素のG2からの"L"入力により，Gcomの出力は他の入力に関わらず"H"レベルになる．この信号は，基準画素を含む1本の画素統合用結線上の全ての画素の出力スイッチを閉じる．

1本の画素統合用結線上の各画素の出力ノードは，各水平ラインごとに用意されている水平出力ノードに接続する．ここで，統合画素数決定用の垂直シフトレジスタ（VSR(S)）により任意の数の行を選択して，それら行の水平出力ノードを全て同時にチップの出力ノードに接続することができる．ここでは，3ラインを選択することで，太線で囲んだ3画素の出力ノードが全て同時にチップ出力ノードに短絡された状態になる．各画素の出力部はボルテージフォロア回路なので，ここでフォロア統合回路が形成されていることになり，選択された画素の出力の加算平均が瞬時に計算され，読み出される．計算に要する時間は統合画素数が増えても同じである．出力用の垂直，水平方向シフトレジスタVSR(O),HSR(O)により，基準画素を順に選択していくことで，読み出しと同時に画素統合が行われ，方位選択的な出力が得られる．

ここでは120°の方位に用意された画素統合用結線を用いて，120°の最適方位を実現する方法について説明した．本システムでは，それ以外にも，60°及び0°の方位選択性を実現できる．シリコン網膜から方位選択チップへの画像転写時に，入力用垂直

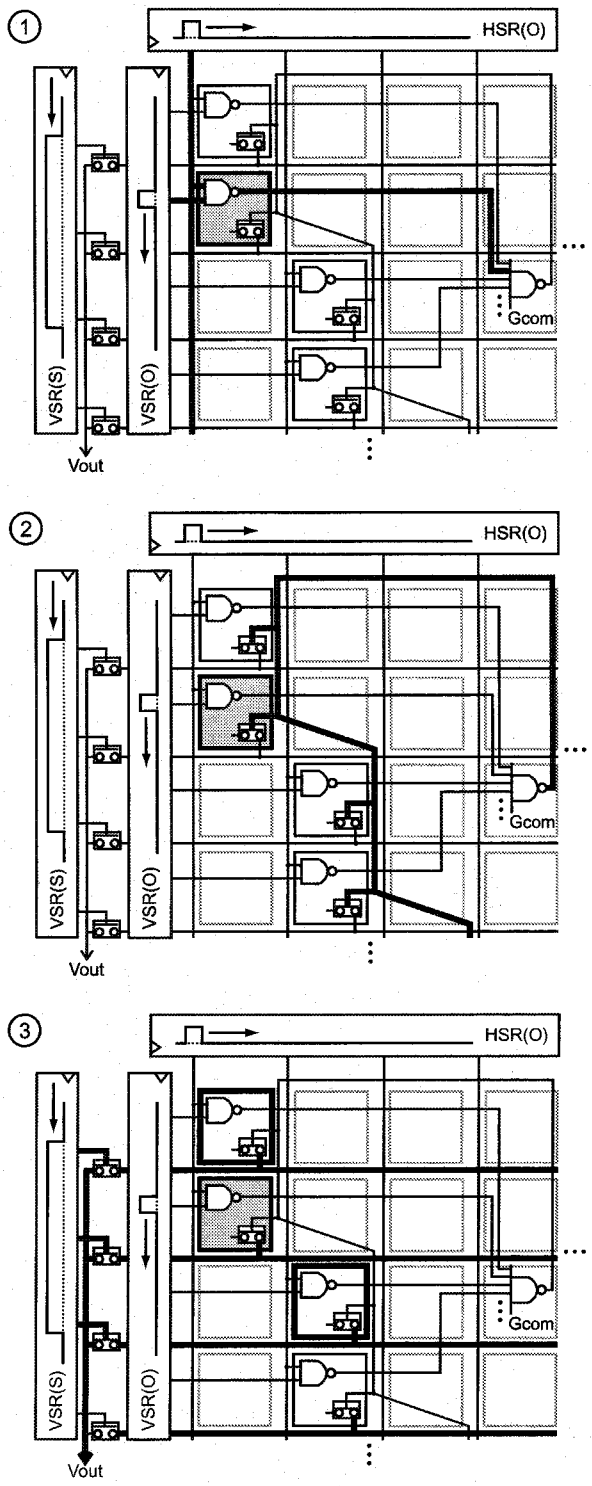


図 6.4: 方位選択性を実現するための画素統合動作．VSR(O)：出力用垂直シフトレジスタ，HSR(O)：出力用水平シフトレジスタ，VSR(S)：統合画素数決定用垂直シフトレジスタ．

シフトレジスタを逆方向にデータシフトさせることにより画像を上下反転させて転写することで，上記と全く同じ手順により 60° の最適方位を実現できる．また，0° の最適方位は，画素統合用結線を使うことなく，水平方向のシフトレジスタにより複数画素を同時に選択することにより実現できる．

6.2 方位選択チップの応答特性評価

6.2.1 実験システムの構成

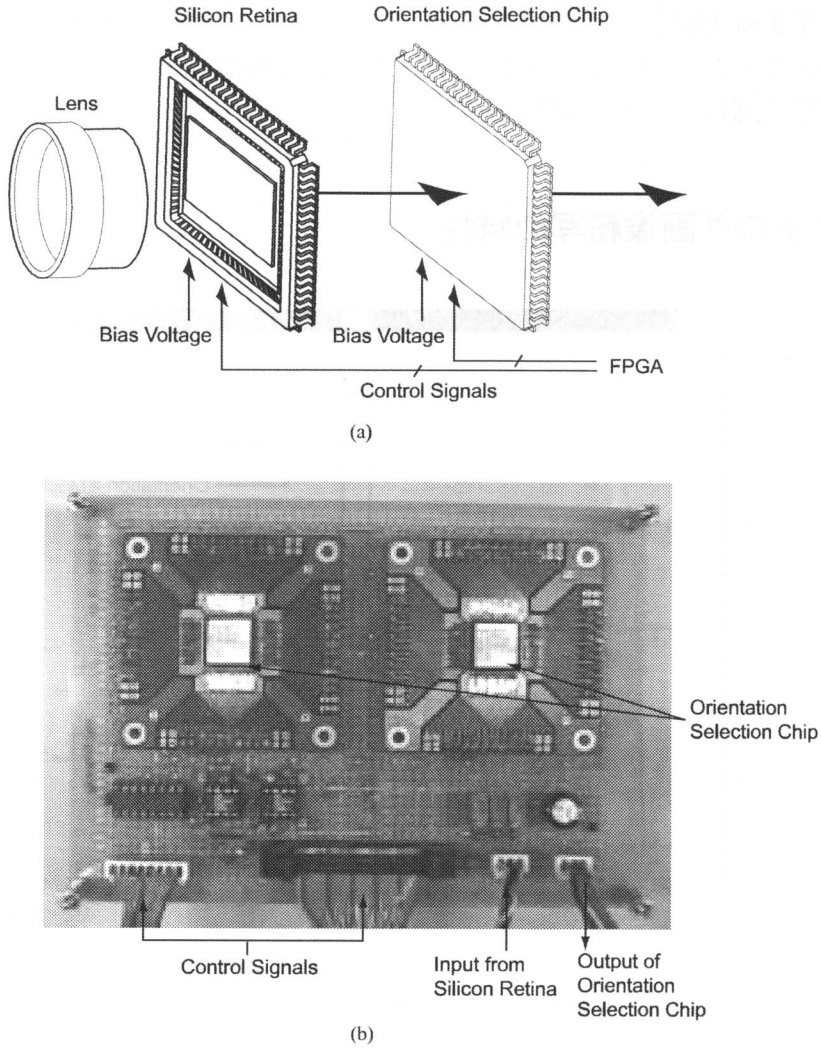


図 6.5: 実験システムの構成．(a) ブロック図，(b) 方位選択チップをマウントした評価基板の写真．

シリコン網膜と方位選択チップを接続してマルチチップシステムを構成し，その応答特性を検証した．図 6.5(a) に，実験に用いたシステム構成のブロック図を示す．シ

リコン網膜の出力ノードを，本研究で試作した方位選択チップの入力ノードにつないだ．シリコン網膜は，40×46 画素の二次元型シリコン網膜 [20] を用いた．シリコン網膜にはカメラレンズをマウントした．本研究で用いたシリコン網膜が 40×46 画素であるのに対して，その出力画像を受ける方位選択チップは 21×21 画素である．このため，シリコン網膜上の端の 21×21 画素分のみが方位選択チップに転写される．

２つのチップそれぞれの駆動にはバイアス電圧及び制御信号を与える必要があるが，バイアス電圧はそれぞれのチップをマウントした評価基板上で抵抗分圧により生成して与えた．制御信号は，FPGA(Field Programmable Gate Array）を用いて生成した．(b) に，方位選択チップを実装した評価基板の外観写真を示す．方位選択チップは２つ実装してあるが，これらは，シリコン網膜から２つの方位選択チップに並列に画像を転写する実験を行うためである．これは，odd 型の応答を得る場合に必要になる．このシステムに対して，実際にレンズの前に刺激パターンを提示して，シリコン網膜及び方位選択チップの応答を測定した．

6.2.2 アナログ画像転写の特性

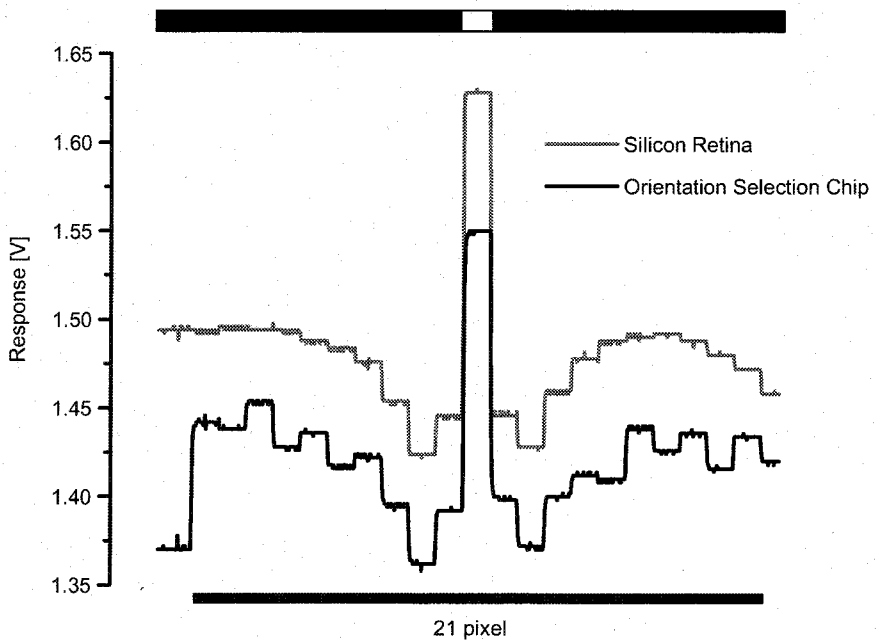


図 6.6: シリコン網膜と方位選択チップの応答波形の比較．11 行目の水平 1 ライン分の応答波形．

アナログ信号は，一般的にディジタル信号に比べて，信号伝送などにおいてその速度や精度が劣るとされる．シリコン網膜から方位選択チップへの信号転送をアナログ電圧の形で行う本マルチチップシステムにおいても，実際の画像処理に耐え得る程度の速さや精度が実現できるかどうかは非常に重要な評価項目である．

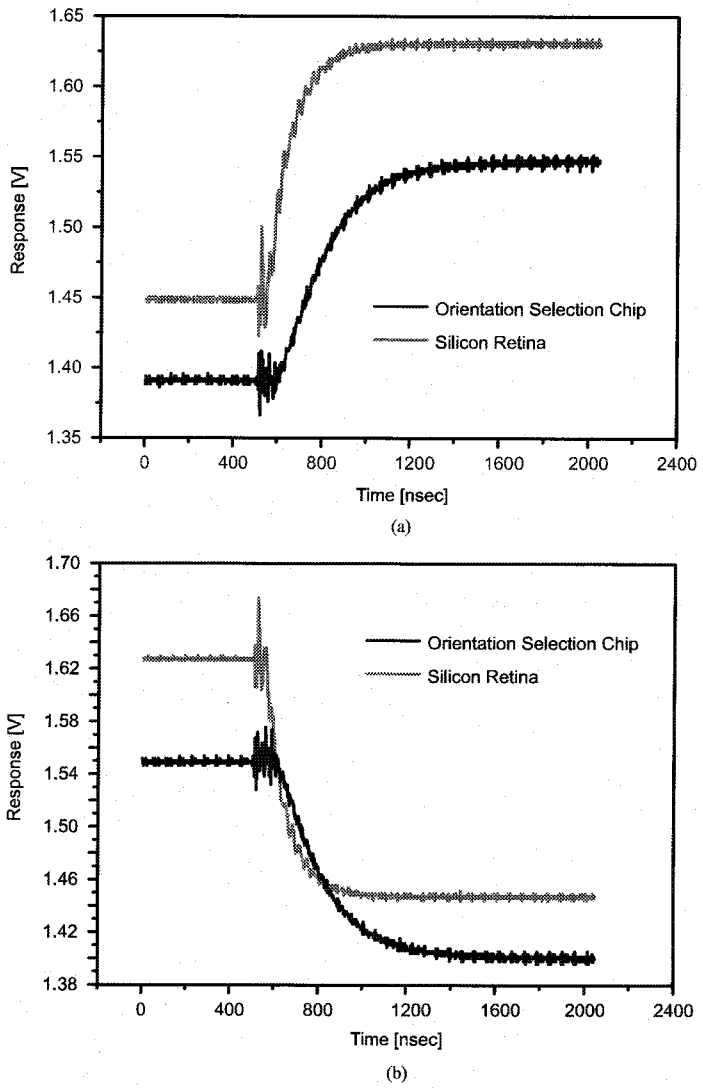


図 6.7: シリコン網膜から方位選択チップへのアナログ転写における過渡応答．(a),(b) はそれぞれ図 6.6 の方位選択チップの応答波形における 10 画素目から 11 画素目，11 画素目から 12 画素目の部分．

まず，アナログ画像転写の精度について調べた．図 6.6 は，黒い背景に白い垂直方向のスリットを提示したときのシリコン網膜，及び方位選択チップの 1 ライン分（11 ライン目）の応答波形である．ここでは，方位選択チップでは画素統合を行わず，シリコン網膜から転写された画像をそのまま読み出した．シリコン網膜の応答では，ラプラシアン－ガウシアン型のフィルタリングによって，白いスリットに対応する部分で大きく応答し，その両側の応答が抑制されている．方位選択チップの応答は，シリコン網膜から転写された画像をそのまま出力しているので，理想的にはシリコン網膜の出力と一致することが望ましい．しかし，シリコン網膜の応答と比べると，まず全体的に-50mV 程度のオフセットがあり，また画素間の応答のゆらぎが大きいことが分かる．全体にほぼ一様なオフセットは，後段の処理において特に問題にはならない

と考えられるが，画素間の応答のばらつきはそのままSN比の低下につながる．これは，アナログ回路特有の素子特性のばらつきに起因する固定パターンノイズが原因であり，アナログの画素回路を並列に並べた生体模倣型のデバイスでは大きな問題となる．シリコン網膜ではこの固定パターンノイズをキャンセルするための回路を各画素に組み込むことで，5mV以下と非常に小さく抑えているため，方位選択チップの応答に見られる固定パターンノイズはほぼ全て方位選択チップで発生したものであることが分かる．以上のように，転写後の画像は方位選択チップの固定パターンノイズにより劣化する．固定パターンノイズのばらつきの大きさは，信号レベルに比べて，画像処理が全く不可能というほどのものではないが，精度を上げるためにはその対策が必要であるといえる．方位選択チップがもつ固定パターンノイズについては，次節で詳しく述べる．

次に，アナログ画像転写の速さについて調べた．図6.7(a),(b)はそれぞれ，図6.6の応答波形の10画素目から11画素目，11画素目から12画素目の部分を拡大したものである．10画素目から11画素目，11画素目から12画素目への応答電位の変化はそれぞれ，刺激パターンが黒から白へ，白から黒へと切り替わる境界の部分にあたり，シリコン網膜の応答としては大きな変化をもつ部分である．(a)の方位選択チップの応答では，11画素目への信号転送が始まってから$500ns$程度で定常値に達し，転写が完了していることが分かる．また(b)でも，12画素目への信号転送が始まってから$700ns$程度で定常値に達し，転写が完了している．余裕をみて，転写時間を1画素あたり$1\mu s$とすると，本チップでは1フレーム分の画像を転写するのにかかる時間は$0.5ms$足らずである．仮にシリコン網膜の画素数が10,000画素（100×100画素）まで増えた場合を想定しても，1フレームあたり$10ms$で転写できると見積もられる．5.2節で述べたように，アナログ転写においては，1フレーム内に2段目の受け手側チップの読み出しが完了できれば，さらに多段に受け手側を接続することが可能である．1フレームの時間はシリコン網膜の蓄積時間で決まるが，通常の室内照明下では20から$30ms$程度であるので，十分に転写が行える．

6.2.3 固定パターンノイズ

集積回路の設計段階において，我々がもし全く同じトランジスタを多数並べたレイアウトを作っても，集積回路の製造工程を通して1枚のシリコンウェハ上に作られる個々のトランジスタの特性は厳密には全く同じではない．これは，素子特性の不均一性(mismatch)に起因する回路ノイズとして知られ，主にトランジスタのサイズの物理的なばらつきや，シリコン基板にドープする不純物濃度が不均一であることが原因となる[94, 95]．1989年のMeadの見積もりによれば，物理的に隣り合ったMOSFETを±20回路設計した場合，電流値の差で2倍以上，ゲート電圧の差で±30mV以上はばらつくものと考えられた[16]．現在のプロセス技術が当時のそれと比べて進んでいるとはいえ，後で示すように実際に本研究で試作した画素回路においても特性のばらつきは発生している．このアナログ回路特有の素子特性のばらつきにより生じる固定パターンノイズは，並列処理のためにアナログの画素回路を多数並べて実現する生体

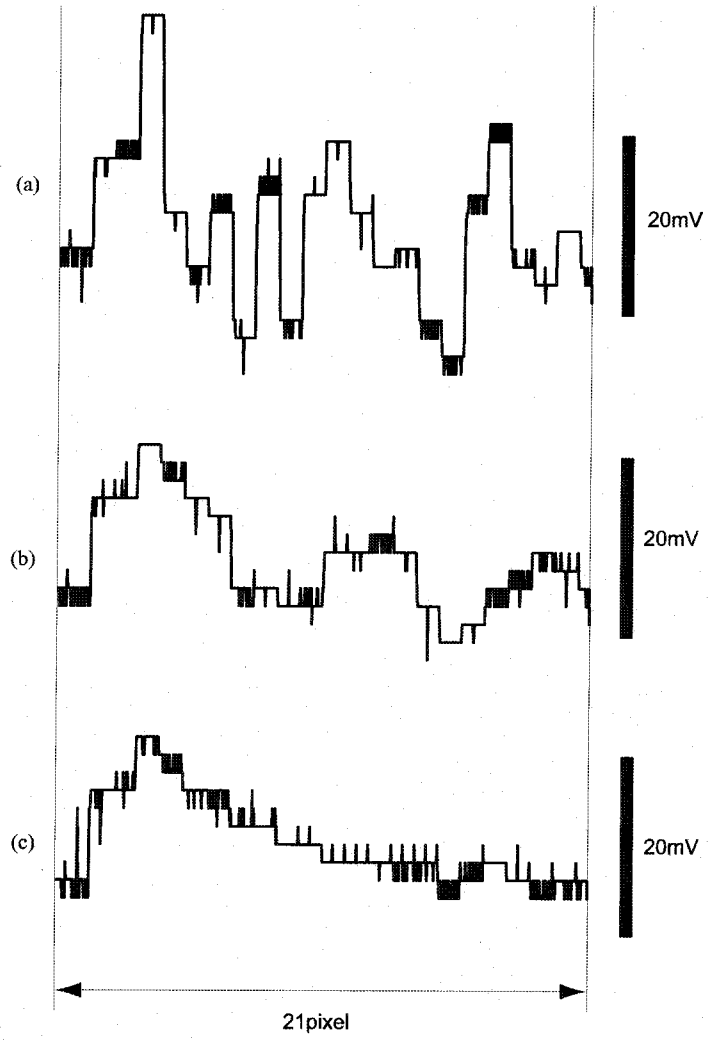


図 6.8: 黒い一様な視覚入力に対する方位選択チップの水平1ライン分（11ライン目）の応答波形．(a),(b),(c) はそれぞれ水平方向への統合画素数1画素，4画素，8画素の場合．シリコン網膜の蓄積時間 $33ms$.

模倣型視覚デバイスにとって大きな問題となる．初期のシリコン網膜ではこの問題により出力の SN 比は非常に低く，実際的な応用への大きな妨げとなっていた．これに対して Kameda らは，各画素回路にそのオフセットをキャンセルする回路を組み込むことで，固定パターンノイズを劇的に軽減することに成功した．本研究で開発した方位選択チップには，このような固定パターンノイズ軽減のための特別な回路は含まれておらず，もしチップの出力にこの影響がそのまま現れるならば，実際の画像処理に適用することは困難になる．そこで，方位選択チップの固定パターンノイズを調べた．

シリコン網膜に取り付けたレンズ開口部を塞ぎ，全画素に対して一様に光入力がない状態にした場合の方位選択チップの応答を測定した．図 6.8 に，11 ライン目の水平方向1ライン分の応答を示す．(a) は画素統合を行わない場合，(b) は水平方向に4画素統合した場合，(c) は水平方向に8画素統合した場合の応答である．(a) では，およ

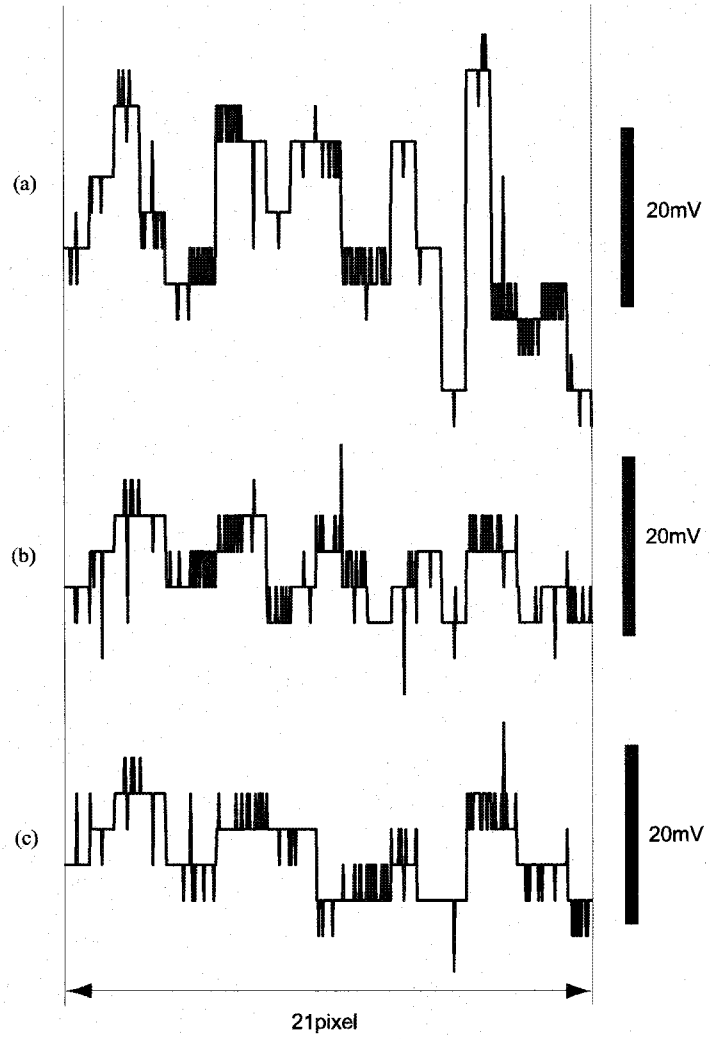


図 6.9: 黒い一様な視覚入力に対する方位選択チップの垂直 1 列分（11 列目）の応答波形．(a),(b),(c) はそれぞれ水平方向への統合画素数 1 画素，4 画素，8 画素の場合．シリコン網膜の蓄積時間 $33ms$.

そ 40mV 程度の応答のばらつきがあることが分かる．これが，各画素回路の特性のばらつきに起因する固定パターンノイズであり，主にトランスコンダクタンス増幅器の入力オフセットのばらつきが原因であると考えられる．方位選択性を得るための画素統合動作を行うと，空間平滑化の効果により応答のばらつきは軽減される．(b),(c) の応答波形においてそれぞれ左端から 3 画素分，7 画素分の範囲では，指定した数の画素の統合が行われていないため，応答が比較的大きくゆらいでいるが，それぞれの応答波形において右側の範囲では，統合画素数が多くなるほど応答のばらつきが小さくなっていることが分かる．(c) の 8 画素統合時では，数 mV にまで軽減されている．

以上の結果では，水平方向の画素統合（最適方位 0°）に対して，水平方向の応答波形を見ているため，応答のばらつきが軽減されることは当然であるとも考えられる．そこで，水平方向の画素統合を行ったときの，垂直方向の応答波形を調べた．図 6.9

に，11 列目の 1 列分の応答波形を示す．(a) は画素統合を行わない場合，(b) は水平方向に 4 画素統合した場合，(c) は水平方向に 8 画素統合した場合の応答である．画素統合をしていない (a) では，図 6.8(a) と同様に，およそ 40mV の応答のばらつきが見られる．一方，画素統合を行った (b) や (c) では，応答のばらつきが 10mV 強にまで軽減されていることが分かる．図 6.8(c) に示したように，水平方向の画素統合により，直接平滑化される各ラインの中でのばらつきは非常に小さくなるが，図 6.9(c) のように，ライン間のばらつきはそれよりも多少大きなままで残る．ただし，実際の画像処理において，信号成分の応答振幅は 200mV から 300mV であることを考えると，固定パターンノイズはかなり小さく抑えられているといえる．

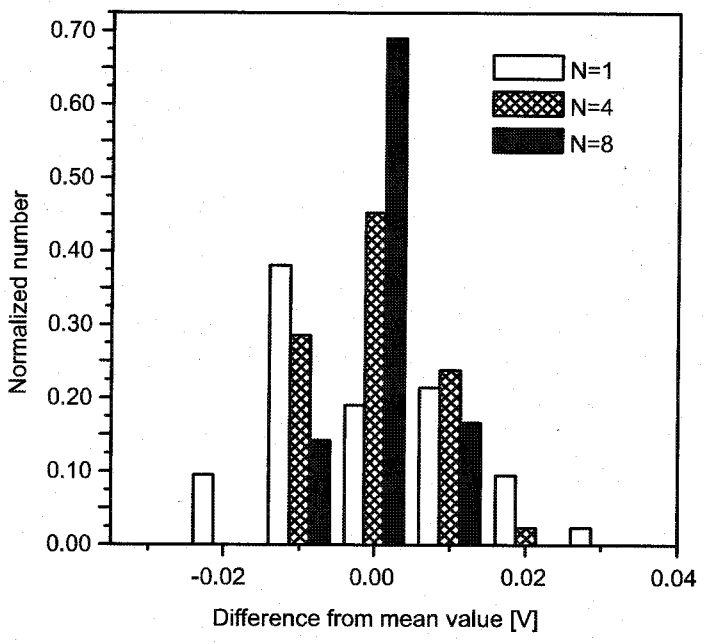


図 6.10: 固定パターンノイズの平均値からのばらつきに関するヒストグラム．総サンプル数 42.

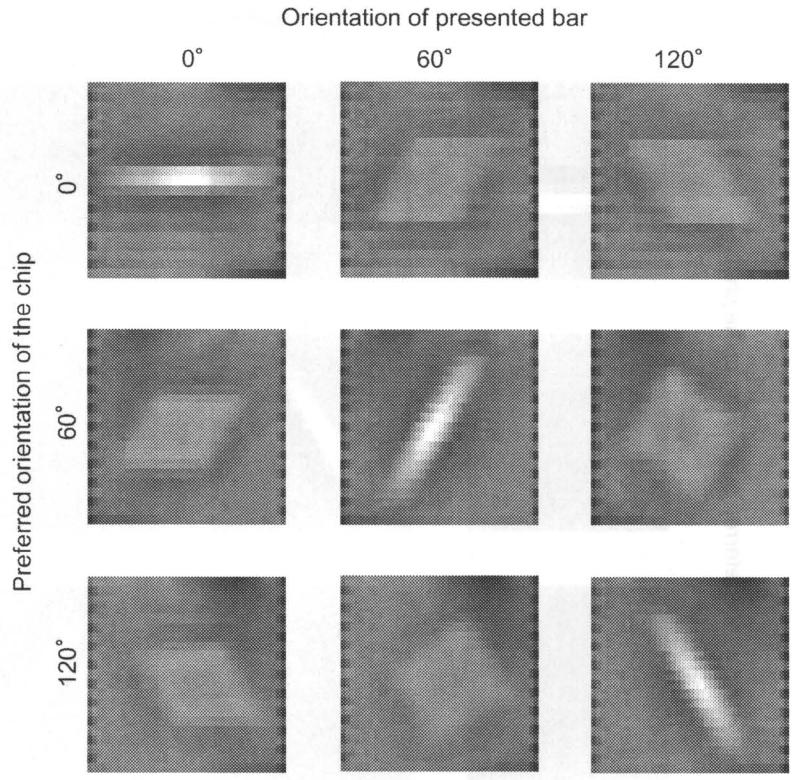
方位選択性を得るための画素統合により，固定パターンノイズが軽減されることを応答波形により示したが，その効果を定量的に示すために固定パターンノイズの分散を調べた．水平方向の統合画素数 N が 1（画素統合なし）,4 ,8 のそれぞれの場合について，垂直方向の 2 列（7 列目と 12 列目）の合計 42 画素をサンプルとしてその平均値からのばらつきを調べた．図 6.10 に，そのヒストグラムを示す．横軸は平均値からのばらつき，縦軸は総サンプル数（42 画素）で正規化した要素数である．横軸は 10mV ごとに区切った．白い棒グラフで示した N=1 の場合では，-20mV から +30mV の間に広く分布しており，応答のばらつきが大きいことが分かる．N を増やしていくと分布は平均値付近に集中するようになり，黒い棒グラフで示した N=8 の場合には -10mV から +10mV の範囲に集まり，その中でもおよそ 7 割の画素が平均値から ± 5mV の範囲に収まっている．N=1 及び N=8 のときの分散はそれぞれ，1.08×10^{-4} 及び 0.18×10^{-4} となり，17% 以下にまで軽減されていることが分かる．

このように方位選択チップでは，固定パターンノイズキャンセルのための特別な回路は組み込んでいないにも関わらず，方位選択性を得るために画素統合を行うことで，フォロア統合回路による空間平滑化によって固定パターンノイズは大きく軽減される．ある程度の画像処理には耐え得る程度の出力精度が得られるといえる．

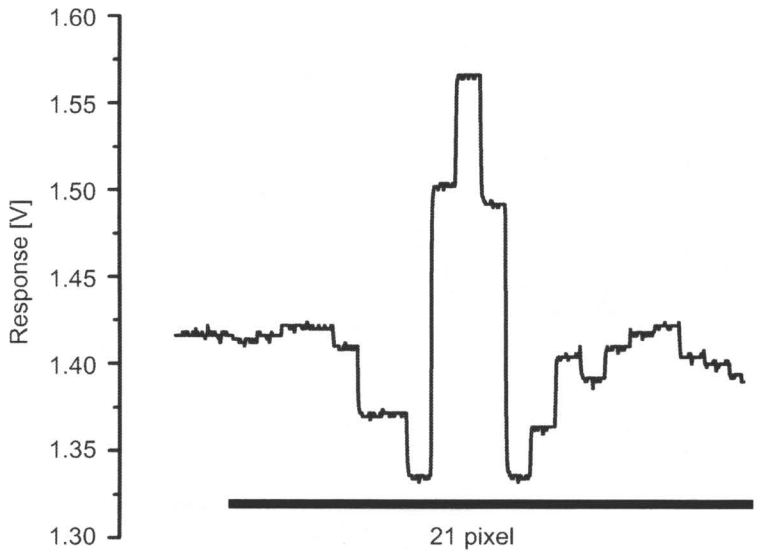
6.2.4 スリットパターンに対する応答画像

システムの方位選択性を確認する実験を行った．黒い背景上の 24mm × 4mm の白いスリットを，シリコン網膜から 30cm 離れたところに提示し，白いスリットの方位を 0°，60°，120° としたときの，方位選択チップの応答を測定した．図 6.11(a) は，方位選択チップの最適方位を 0°，60°，120° に設定したときの，提示パターンに対する出力をグレイスケールの画像として並べたものである．グレイスケールが白いほど応答電位が高いことを表す．統合画素数は 8 画素とした．実験環境は通常の蛍光灯による室内照明下（$0.25W/m^2$）で，シリコン網膜の蓄積時間は 33ms とした．方位選択チップをどの最適方位に設定した場合についても，提示パターンが最適方位と同じ方位をもつ場合に最も大きく応答しており，それ以外の方位の提示パターンに対しては応答は小さく抑えられていることが分かる．例えば，方位選択チップの最適方位が 0° の場合，提示パターンの方位が 0° のときに最も大きく応答し，提示パターンの方位が 60° や 120° のときには応答は非常に小さい．方位選択チップから直接得られる応答は，正の向きに応答した白い領域を中心にしてその両側に負に応答した黒い領域が並んでおり，一次視覚野単純型細胞の even 型の受容野形状に似た応答になっている．(b) は最適方位，提示パターンの方位ともに 0° のときの出力画像における，中心（11 列目）の垂直方向 1 列分の応答波形を示したものである．中央部分の大きく正の方向に応答した部分の両側に，抑制された領域が現れていることがよく分かる．画素統合時の空間平滑化の効果により，画素間の応答のばらつきもほとんど目立たない．

図 6.12 は２つの方位選択チップを用いて実現された odd 型の応答である．odd 型の応答を得るためには，まず，同じ最適方位に設定された２つの方位選択チップに，シリコン網膜から並列に画像を転写する．この２つの方位選択チップから，最適方位と直交する向きに互いに 2 ライン分ずれた位置の画素を同時に読み出していき，これらの差をとることで，odd 型の応答を得ることができる．(a) は各方位のスリットパターンに対する応答画像である．even 型の場合と同様に，方位選択チップの最適方位と，提示パターンの方位が同じときに最もよく応答している．出力画像をみると，正の向きに応答した白い領域と負に応答した黒い領域が並んでおり，一次視覚野単純型細胞の odd 型の受容野形状に似た応答になっている．(b) は，最適方位，提示パターンの方位ともに 0° のときの出力画像における，中心（11 列目）の垂直方向 1 列分の応答波形である．この応答波形からも，正方向，負方向に応答した領域が隣り合っていることがよく分かる．

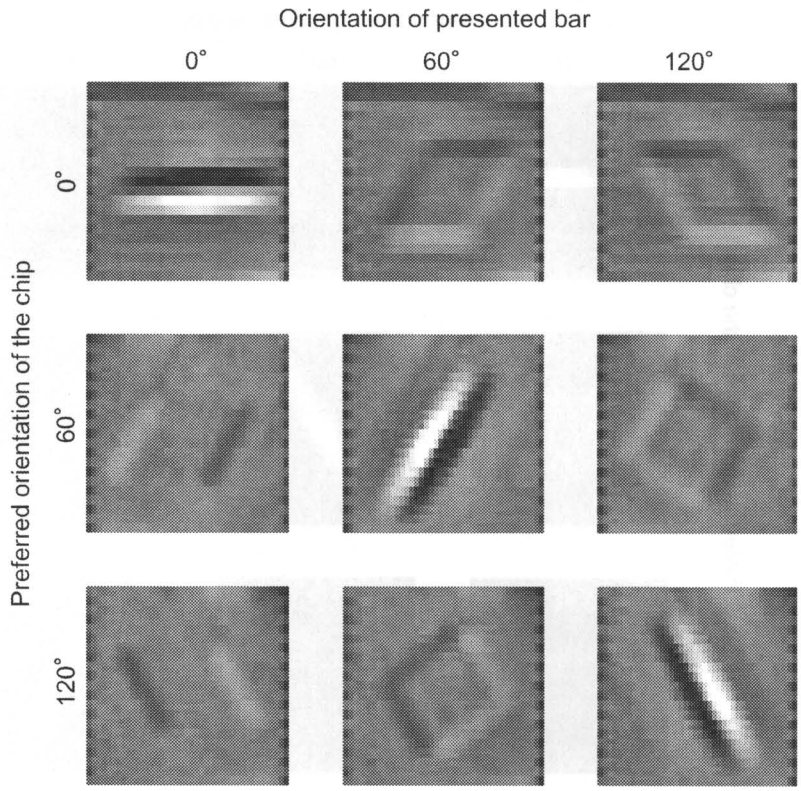


(a)

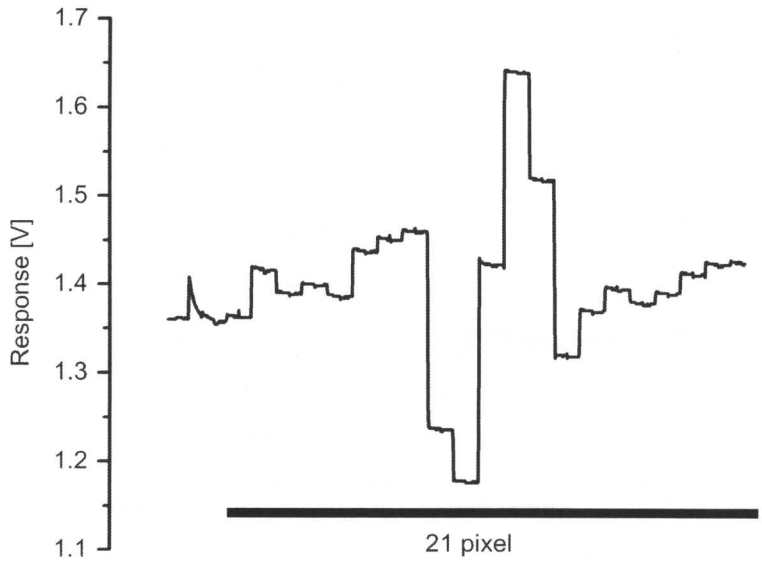


(b)

図 6.11: even 型の応答. (a) 出力画像. 応答電位が高い画素ほど白く表示している. (b) 提示パターンの方位, 最適方位ともに 0° の画像における垂直 1 列分（11 列目）の応答波形.

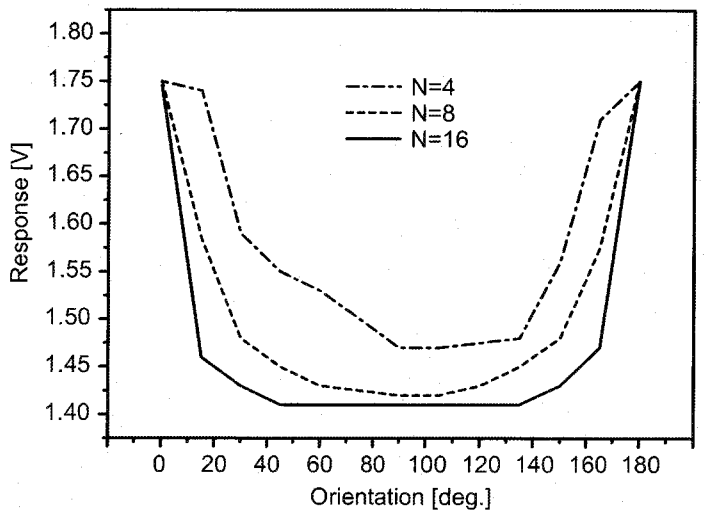


(a)

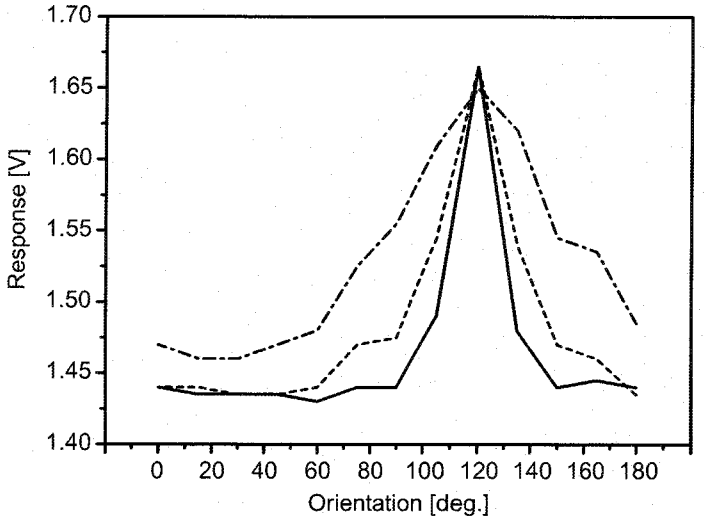


(b)

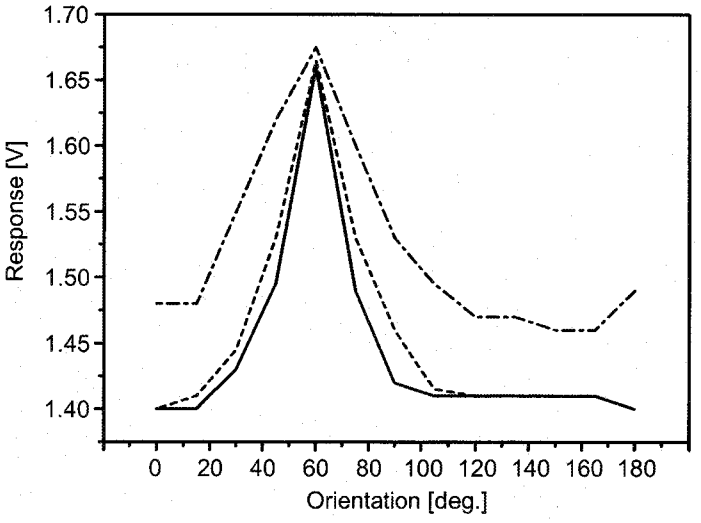
図 6.12: odd 型の応答. (a) 出力画像. 応答電位が高い画素ほど白く表示している. (b) 提示パターンの方位, 最適方位ともに 0° の画像における垂直 1 列分（11 列目）の応答波形.



(a)



(b)



(c)

図 6.13: 方位チューニングカーブ．統合画素数 N を 4（一点鎖線），8（破線），16（実線）と変えた．(a),(b),(c) はそれぞれ最適方位 0°,60°,120° のときの結果.

6.2.5 統合画素数を変えた場合の応答

本システムでは，方位選択チップの統合画素数決定用シフトレジスタに与えるデータ信号の幅によって，最適方位方向の統合画素数を任意に変えることができる．この統合画素数の変化により，方位選択特性がどのように変わるかを調べた．実験は，白いスリットパターンを視野中心を軸に回転させながら，視野中心の位置の画素の応答を測定した．提示スリットパターンは，方位 0°（水平方向）から 180° まで回転させ，15° ごとに計測を行った．図 6.13 に，得られた方位チューニングカーブを示す．横軸は提示パターンの方位，縦軸は視野中心の位置の画素の応答電位である．(a),(b),(c) はそれぞれ方位選択チップの最適方位が 0°, 60°, 120° の場合のものである．どの場合も，提示パターンが最適方位と同じ場合に最も大きく応答し，そこからはなれるに従って減少している．統合画素数 N を 4（一点鎖線），8（破線），16（実線）と変えていくと，統合画素数が多くなるに従って最適方位に対するチューニングが鋭くなっていることが分かる．これは，図 5.14 に示したシミュレーション結果で，統合画素数が多くなるに従って受容野のアスペクト比が大きくなることから理解できる．

6.2.6 受容野の大きさを変えた場合の応答

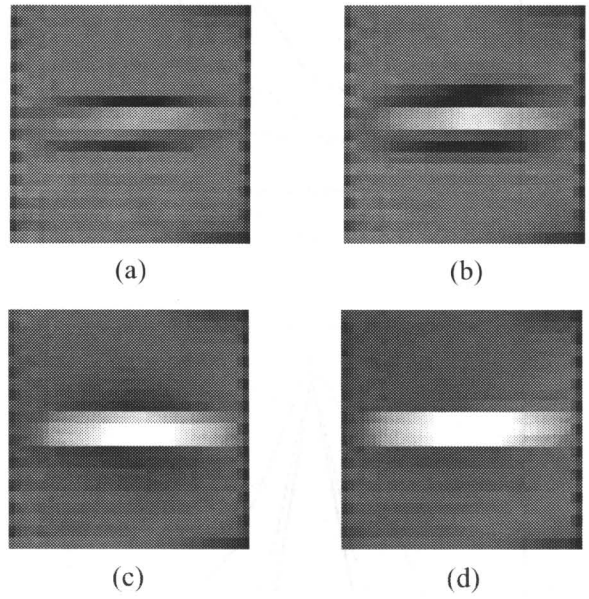
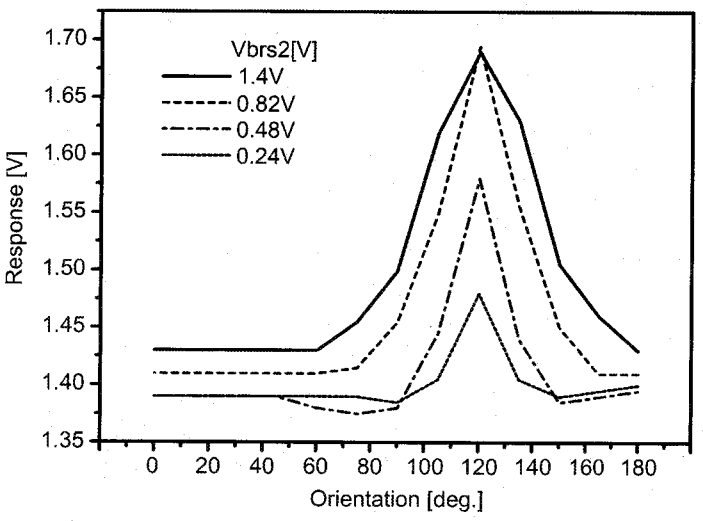
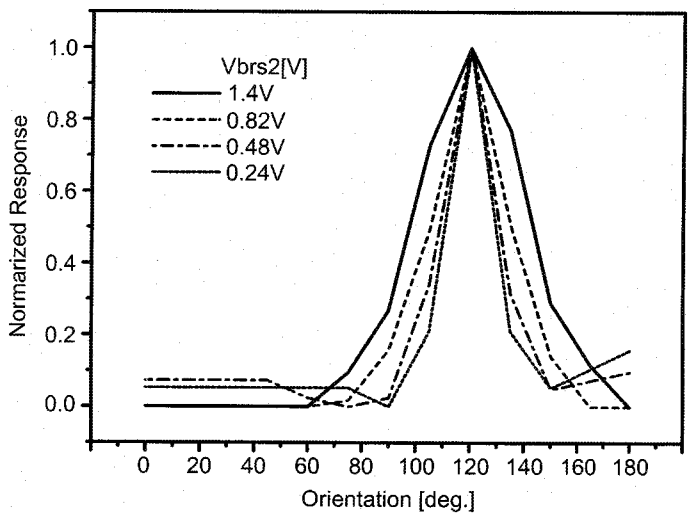


図 6.14: シリコン網膜の受容野の大きさを変えた場合の，スリットに対する方位選択チップの応答．(a),(b),(c),(d) はそれぞれシリコン網膜の二層目の MOS 抵抗 R_{s2} に与えるバイアス電圧 V_{brs2} を 0.24V, 0.48V, 0.82V, 1.4V とした場合の結果．

方位選択チップの受容野は，シリコン網膜の受容野を組み合わせて構成されるため，シリコン網膜の受容野の特性が変わると，方位選択チップの特性も変化する．ここでは，シリコン網膜の受容野の大きさを変えながら，方位選択特性を調べた．



(a)



(b)

図 6.15: 方位チューニングカーブ．シリコン網膜に与えるバイアス電圧 V_{brs2} を 0.24V（細かい破線），0.48V（一点鎖線），0.82V（破線），1.4V(実線）と変化させた．最適方位は 120°.

シリコン網膜の受容野の大きさは，2 層目の抵抗回路網の抵抗値を変えることにより変化させられる．これらの抵抗は MOS 抵抗として実現されており，外部から与えるバイアス電圧 V_{brs2} により抵抗値を制御できる．与えるバイアス電圧が高いほど，抵抗値は小さくなり，受容野の大きさは大きくなる．図 6.14 に，バイアス電圧 V_{brs2} を 4 通りに変えたときの，スリットに対する方位選択チップの出力画像を示す．最適方位は 0° である．(a),(b),(c),(d) はそれぞれ MOS 抵抗 R_{s2} に与えるバイアス電圧 V_{brs2} を 0.24V, 0.48V, 0.82V, 1.4V としたときの応答である．V_{brs2} が大きくなりシリコン網膜の受容野の大きさが大きくなるに従って，最適方位と直交方向の幅が大きくなっ

ていくことが分かる．

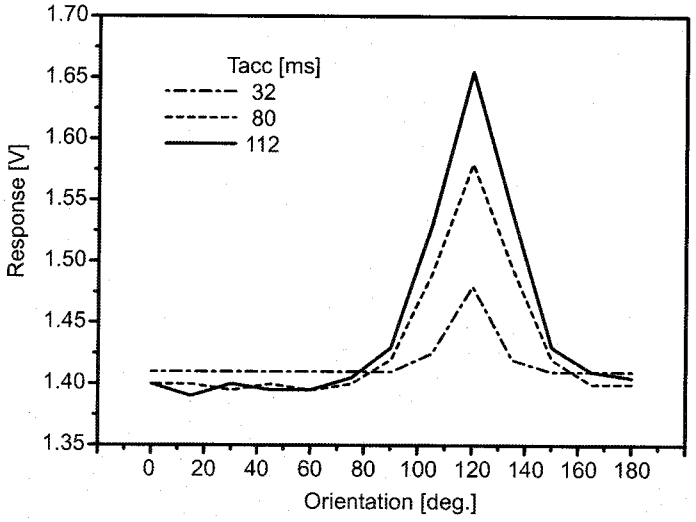
このように受容野の大きさを変えたときの方位チューニングカーブを図6.15に示す．最適方位は120°にした．(a)は縦軸に応答電位をとった．最適方位と同じ120°のパターンに対して最も大きく応答していることが分かる．またV_{brs2}を大きくすることで，受容野の大きさを広くしていくと，応答振幅も次第に大きくなっていることが分かる．これは，受容野の大きさが広くなるほど応答振幅が大きくなるシリコン網膜の特性によるものである．(b)は最適方位に対するチューニングの鋭さを比較するために，それぞれのカーブについて応答電位の最小値，最大値を用いて正規化したものである．シリコン網膜の受容野の大きさが大きくなるに従って，最適方位に対するチューニングが緩くなっていることが分かる．これは，図5.15に示したシミュレーション結果で，受容野の大きさが広くなるに従って受容野のアスペクト比が小さくなることから理解できる．

6.2.7 蓄積時間を変えた場合の応答

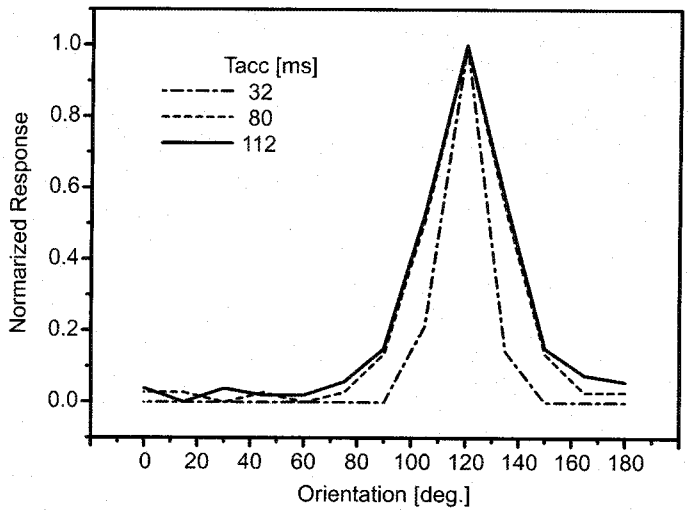
図6.16に，シリコン網膜の蓄積時間を変えたときの方位チューニングカーブを示す．最適方位は120°である．シリコン網膜の蓄積時間を変えることは，提示パターンのコントラストが強くなったことと同様な効果がある．(a)は，縦軸に応答振幅をとっている．蓄積時間が32ms（一点鎖線），80ms(破線），112ms(実線）と長くなるに従って，応答振幅は大きくなっていくことが分かる．最適方位に対するチューニングの鋭さを比較するために，それぞれのカーブについて応答電位の最小値，最大値を用いて正規化したものを(b)に示す．蓄積時間が80ms, 112msの場合には，最適方位に対するチューニングカーブはほとんど一致している．蓄積時間32msの場合には少し鋭くなってるが，これはもともとの応答振幅が小さいため，測定誤差が相対的に大きくなってしまったためであると考えられる．これより，蓄積時間が変わることにより，方位選択値チップの応答の大きさ自体は変わっても，最適方位に対するチューニングの鋭さは変わらないといえる．これは，図5.16に示したシミュレーション結果で，入力電圧の大きさを変化させても，受容野のアスペクト比は変化しなかったことからも理解できる．言い換えれば，本システムから得られる応答の大きさは，最適方位に対する提示パターンの方位の一致度のみならず，提示パターンのコントラストによって変化する．

6.2.8 空間周波数特性

シリコン網膜の受容野の大きさを変えながら，方位選択チップの空間周波数特性を調べた．実験は，様々な周期の垂直方向のグレーティングパターンを用いて行った．このグレーティングパターンを上下に動かしながら最適方位を0°にしたシステムに対して提示し，視野中心付近の画素の応答振幅を測定した．図6.17に，実験から得られた空間周波数特性を示す．横軸は，提示したグレーティングパターンの空間周波数である．これは，提示パターンの周期をシリコン網膜チップ上の光センサの間隔を



(a)



(b)

図 6.16: 方位チューニングカーブ．シリコン網膜の蓄積時間を 32ms（一点鎖線），80ms(破線），112ms(実線）と変化させた．

基準にして空間周波数に変換したものである．シリコン網膜の二層目の抵抗に与えるバイアス電圧 V_{brs2} を 0.24V, 0.48V, 0.82V, 1.4V と変えた．このバイアス電圧が大きいほど，受容野の大きさは広くなる．結果を見ると，いずれの場合もバンドパス型の応答特性を示すが，応答のピークは受容野の大きさが広いほど低周波数側に移動していることが分かる．方位選択チップの受容野は正の領域と負の領域が交互に並んだ形状をしているが，図 6.14 に示したように，シリコン網膜の受容野が広くなるとこの幅が広がるため，より低い空間周波数のパターンに対して最大応答するようになる．

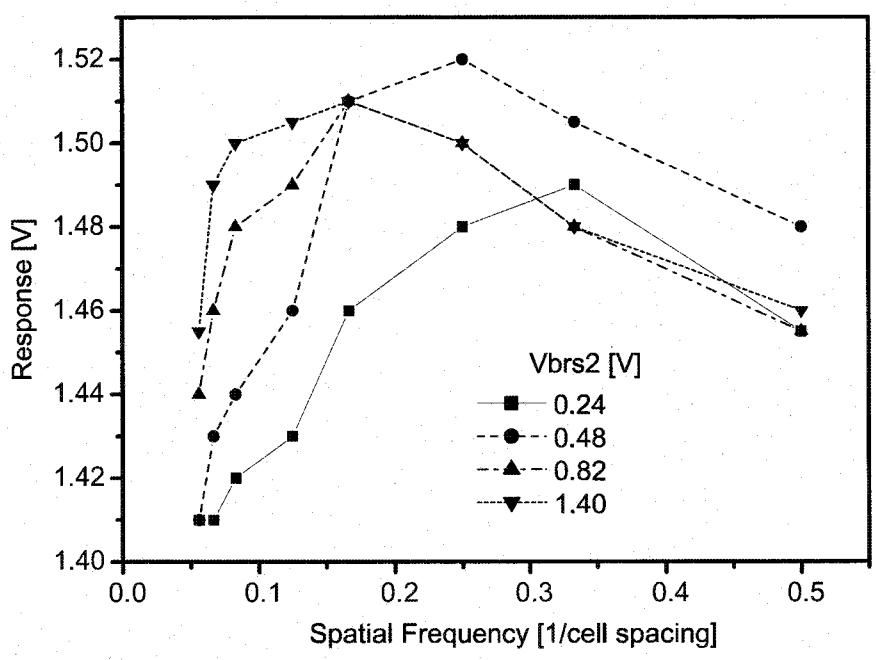


図 6.17: 方位選択チップの空間周波数特性．シリコン網膜に与えるバイアス電圧 V_{brs2} を 0.24V（実線），0.48V（破線），0.82V（一点鎖線），1.4V(細かい破線）と変化させた．

6.2.9 自然画像に対する応答

いくつかの画像に対する方位選択チップの応答を調べた．自然な視覚環境における画像処理への適用を視野にいれて，実験は通常の室内照明下（$0.2W/m^2$）で，シリコン網膜の蓄積時間 $33ms$ で行われた．図 6.18 に，黒い背景の上に置かれた白い中抜きの三角形に対する方位選択チップの even 型の出力画像を示す．応答電位が高いほど，白く表されている．(a) は画素統合を行わず，シリコン網膜から転写された画像をそのまま出力したものである．三角形の各辺の白い部分の両脇が，$\nabla^2 G$ 型フィルタリングの効果により抑制されていることが分かる．(b),(c),(d) はそれぞれ，最適方位 0°, 60°, 120° の方位選択出力である．統合画素数は 8 画素とした．(b) では，三角形の辺の中で，最適方位と同じ水平方向の辺のみが大きく応答し，それ以外の部分の応答は抑えられていることが分かる．

図 6.19 に，黒い背景の上に置かれた白い三角形に対する方位選択チップの odd 型の出力画像を示す．even 型が最適方位の線分に対して大きく応答するのに対して，odd 型は明るさの違う領域の境界（エッジ）に対してよく応答する．(a) は画素統合を行わず，シリコン網膜から転写された画像をそのまま出力したものである．三角形と背景との境界が，$\nabla^2 G$ 型フィルタリングの効果により強調されていることが分かる．(b),(c),(d) はそれぞれ，最適方位 0°, 60°, 120° の方位選択出力である．三角形と背景との境界の中で最適方位に一致する部分が大きく応答していることが分かる．

これらは，様々なパターンが混在する画像の中からある特定の方位のパターンのみ

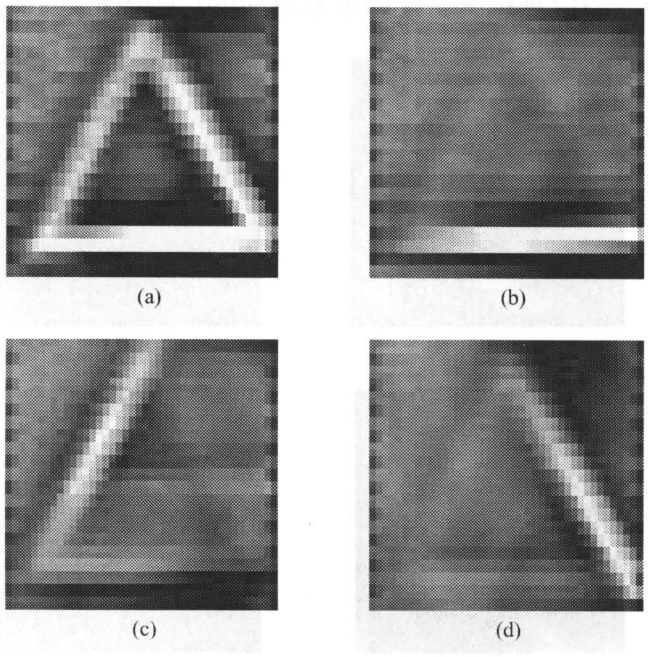


図 6.18: 三角形のパターンに対する方位選択チップの応答（even 型）．(a) シリコン網膜から転写された画像をそのまま出力したもの，(b),(c),(d) はそれぞれ最適方位 0°,60°,120° の場合の応答．出力電圧が高い画素ほど白く表している．

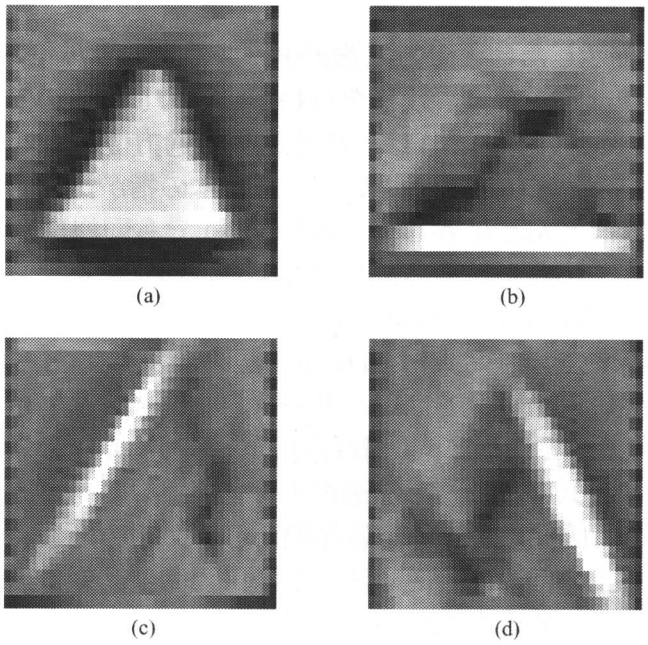


図 6.19: 三角形のパターンに対する方位選択チップの応答（odd 型）．(a) シリコン網膜から転写された画像をそのまま出力したもの，(b),(c),(d) はそれぞれ最適方位 0°,60°,120° の場合の応答．出力電圧が高い画素ほど白く表している．

を抽出するという，方位選択チップの最も直接的な画像処理機能である．

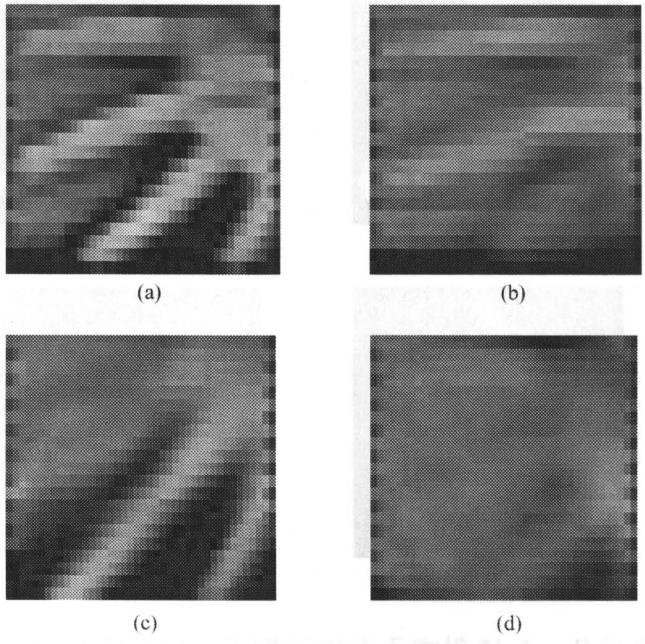


図 6.20: 手に対する方位選択チップの応答（even 型）．(a) シリコン網膜から転写された画像をそのまま出力したもの，(b),(c),(d) はそれぞれ最適方位 0°,60°,120° の場合の応答．

図 6.20 に，手を提示したときの方位選択チップの even 型の応答を示す．(a) シリコン網膜から転写された画像を画素統合を行わずに出力したものである．視野の中には 4 本の指が入っている．(b),(c),(d) はそれぞれ，最適方位 0°, 60°, 120° の方位選択出力である．(b) では，最適方位 0° に近い上から 2 本の指が比較的大きく応答し，他の 2 本の指の部分ではほとんど応答していない．(c) でも同様に，最適方位 60° に近い方位の指のみが大きく応答し，他の部分では応答は小さく抑えられている．(d) では，最適方位 120° に近い方位の指が画像中にないため，ほとんど何も応答していない．

基本的に方位選択性を示すことは図 6.18 の場合と同じであるが，ここで提示した手のようにより自然に近い画像では，パターンのコントラストが一定ではない．このため，(a) では画像の中で最適方位に最も近い一番上の指の部分でさえ，入力画像におけるコントラストが低いため，方位選択チップの出力においても応答はあまり大きくない．ただし，入力画像における応答振幅からの減衰の度合いに着目すると，最適方位に最も近い一番上の指の部分ではほとんど入力画像と変わらない大きさの応答を示しているのに対して，最適方位から少しずれた方位をもつ上から二番目の指の部分では入力画像に比べて応答が大きく減衰していることが分かる．このように，本研究のシステムでは，応答の大きさは最適方位に対する一致度のみではなく，入力パターンのコントラストにも依存する．

図 6.21 は手を提示したときの odd 型の応答であるが，こちらも同様に，設定した最適方位に近い方位をもつ指のみが大きく応答していることが分かる．

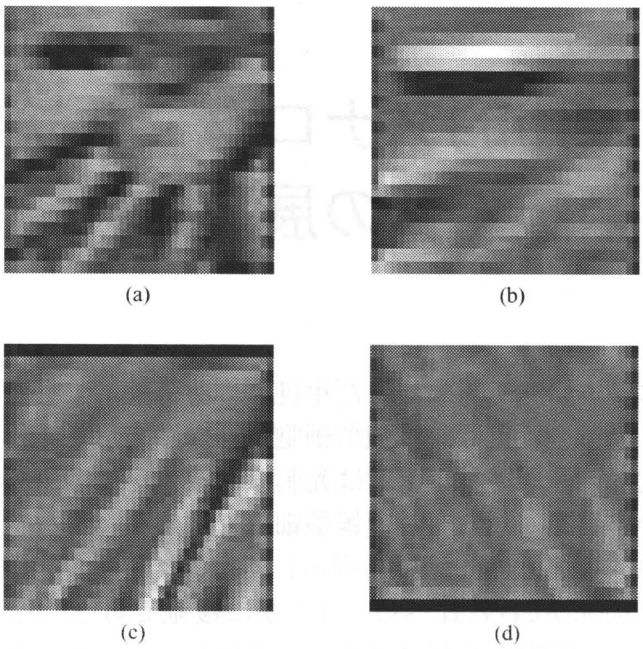


図 6.21: 手に対する方位選択チップの応答（odd 型）．(a) シリコン網膜から転写された画像をそのまま出力したもの，(b),(c),(d) はそれぞれ最適方位 0°,60°,120° の場合の応答.

本章では，方位選択チップの設計及び動作特性について述べた．試作チップを用いて動作特性の評価した結果，基本的な方位選択性が実現できていること，その特性を回路パラメータにより制御できることが確認できた．また簡単な画像処理に適用し，特定方位のパターンを抽出できた．本研究で試作したチップの空間解像度は 21×21 画素とあまり高くないが，将来的に解像度を上げればより複雑な画像を扱うことができる.

第7章　階層的アナログマルチチップシステムへの展望

一次視覚野には，本研究で対象とした単純型細胞の他にも，複雑型細胞と呼ばれる細胞が存在する．複雑型細胞は，単純型細胞と同様に方位選択性を持つが，その空間受容野は比較的大きい．単純型細胞では光刺激の位置が受容野中心から少しずれると応答は大きく減少するのに対して，複雑型細胞では刺激パターンの方位が最適であればその受容野内のどの場所に光刺激を提示してもよく応答する [38]．複雑型細胞が行う演算は，単純型細胞のそれに比べるとはるかに複雑である．例えば，図 4.2 に示したように，複雑型細胞の空間受容野は受容野全体に ON（あるいは OFF）領域が広がった形状をしているが，この形状からは複雑型細胞が示す方位選択性は説明できない．

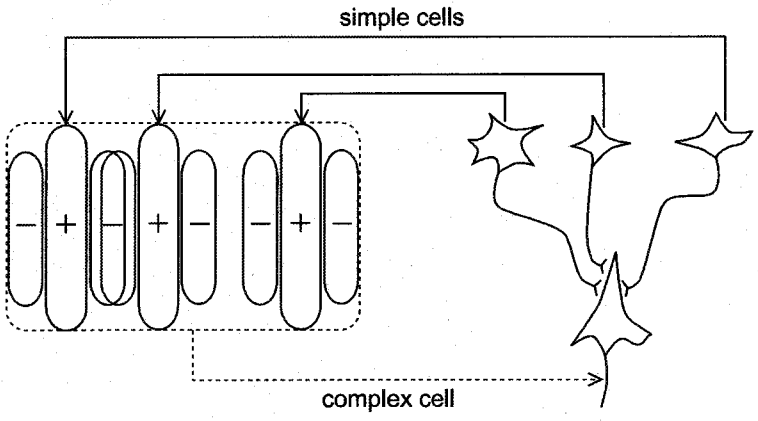


図 7.1: 単純型細胞の受容野を組み合わせて構成された複雑型細胞受容野 [38].

本研究では，単純型細胞の受容野を，Hubel と Wiesel により提案されたフィードフォワード型の階層モデルに基づいて構成したが，彼らのモデルによれば，複雑型細胞の受容野も同様に単純型細胞の受容野を複数組み合わせることで階層的に実現できる．図 7.1 に，単純型細胞の受容野の組み合わせにより複雑型細胞受容野を構成するモデルを示す [38]．ひとつの複雑型細胞は，最適方位に対して直交する方位に少しずつ位置がずれた複数の単純型細胞から入力を受けている．この結果構成される受容野は，方位選択性を示し，かつ比較的大きな受容野のどの場所に光刺激があってもよく応答するという複雑型細胞の応答特性を説明できる．この構成は，図 4.4 に示した中心－周辺拮抗型受容野を組み合わせて単純型細胞の受容野を得るモデルと比べると，全く同じ基本構造をしていることが分かる．このことから一次視覚野複雑型細胞の応

答特性も，本研究で提案したアナログマルチチップによる階層アーキテクチャを用いて実現できると考えられる．

図 7.1 では，ひとつの複雑型細胞に入力する単純型細胞は，全て同じ最適方位を持つものに限られていた．これは，構成される複雑型細胞が，その受容野のどこにおいてもあるひとつの特定の最適方位を持つようにするためである．このように，どの場所のどのような特性を持った単純型細胞を統合するかによって，様々な特徴選択性をもった複雑型細胞を構成できる．例えば，このことを両眼視に適用したモデルとして視差エネルギーモデル [86] が知られている．このモデルでは，左右それぞれの眼から同じ視差に選択性を示すいくつかの単純型細胞出力を統合する構造を持っている．このモデルから得られる視差に対するチューニング特性は，実際のネコの複雑型細胞から得られるそれとよく一致する [96]．このように複雑型細胞がどのような計算を行っているかは，最近になってようやく解明されつつあるが，これらの細胞をハードウェアにより再現し実画像に対する応答をエミュレートすることは，視覚モデル研究において非常に有用な解析，予測手法になると考えられ，今後の興味ある課題である．

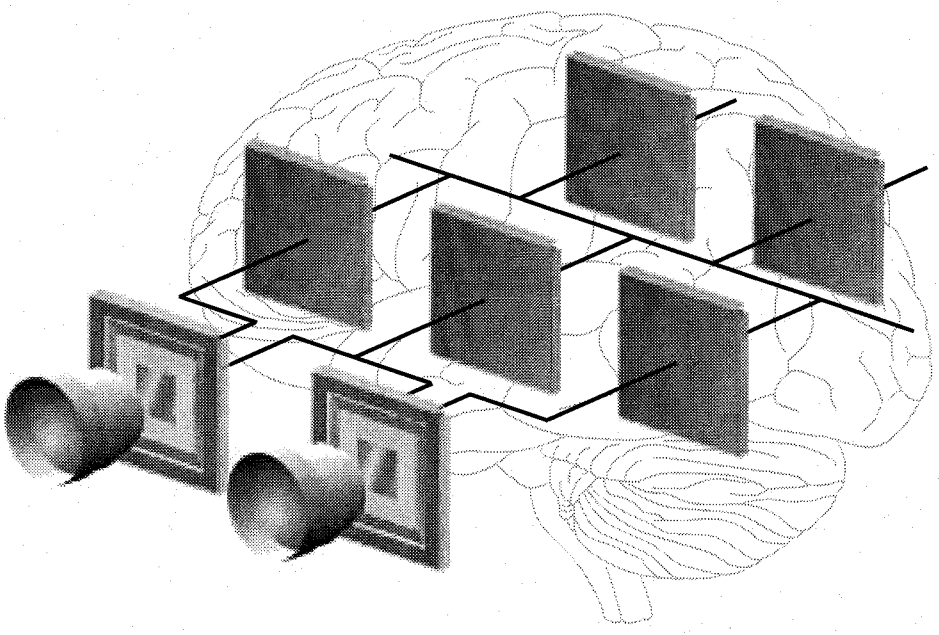


図 7.2: マルチチップにより構成されるシリコン視覚野．

一次視覚野細胞に限らずさらに高次の視覚機能についても，階層的なモデルにより処理メカニズムを表現できる可能性をもつものも多い．例えば，並列に用意したいくつかの属性の特徴マップを統合して，視野の中から注意を向けるべき対象を選び出す選択的視覚注意のモデル [97] は，部分的に本研究のシステムにより実現できる．アナログマルチチップによる階層アーキテクチャをさらに発展させることで，生体が持つ高度な視覚計算機能を実現できる可能性は十分にあると考えている．このようにして組み上げられた“シリコン視覚野”（図 7.2）は，限られた計算コストで高度な計算機能を実現することが要求されるロボットビジョンなどの分野において，新しい工学的視覚デバイスとして重要な役割を果たすことが期待される．

また視覚野の機能解明の研究においても，貢献できるであろう．光刺激に対する細胞の応答を電極により計測する生理実験では，生物が実際に見ているような複雑な時空間パターンを持つ画像に対する応答を直接計測，解析することは非常に困難である．そこで，単純なパターンの刺激に対する応答により得られた知見を基にモデルを構築し，このモデルを用いて自然な視覚刺激に対する振る舞いを類推することが重要となってくる．ところが，このような計算機シミュレーションにかかる計算コストは多大であるため，リアルタイムで結果を得ることは困難である．そこで，過去の研究により得られた知見に基づいた人工視覚システムをハードウェアとして構築することで，実際の環境におけるそのシステムの振る舞いを実時間で観察することができる．これを神経回路のそれと比較することで，一次視覚野やさらに高次の視覚領域における視覚情報処理メカニズムをハードウェアモデルにより構成的に探っていくという，新しい解析手法を提供できると考えている．

第8章　結論

本研究では，大脳一次視覚野のアーキテクチャを取り入れたアナログ集積回路システムを構築した．本システムは，シリコン網膜と方位選択チップのマルチチップ構成により，視覚野における情報処理の階層構造を実現している．それぞれのチップ上は，アナログ回路の物理的特性に基づいた並列計算により，実時間で処理を実行する．シリコン網膜から方位選択チップへの画像情報の転写は，アナログ信号の形式で行った．アナログ形式による信号伝送は，一般的に速度やノイズ耐性の面からディジタル方式に比べて劣ると考えられるが，本システムでは，精度，速度の面で後段の処理に耐え得ることを実験により確認した．

一次視覚野単純型細胞が持つ代表的な特徴抽出特性である方位選択性を実現するための基本的な神経回路モデルとして，Hubel と Wiesel により提案されたフィードフォワードモデルがある．本研究で開発した方位選択チップは，このフィードフォワードモデルに基づいて，シリコン網膜の複数の画素を空間的に統合することで方位選択性を実現した．この方位選択チップとシリコン網膜により構成された視覚システムを用いて，一次視覚野単純型細胞に見られるような細長く伸びた even 型及び odd 型の応答を得ることができた．その方位選択特性は，受容野の大きさや統合画素数といったシステムのパラメータにより制御できた．

複数の並列アナログ処理チップを階層的に組み上げた本システムは，視覚野の情報処理機構をハードウェアで実現するための基本的なアーキテクチャを示すものである．生理学的知見に基づいて最近提案されている一次視覚野複雑型細胞のモデルは，いくつかの単純型細胞の受容野を階層的に組み合わせた構造をもっていることから，本研究で提案したアーキテクチャを用いてさらに階層的にシステムを組み上げることで，より後段の視覚野細胞の機能をハードウェアとして実現できると考えている．

参考文献

[1] C.Mead. *Proc. of the IEEE.* **78** 1629 (1990).

[2] J.E.Dowling. *The Retina : An approachable part of the brain.* Belknap Press of Harvard University Press. (1987).

[3] H.Kobayashi,T.Matsumoto,T.Yagi and T.Shimmi. *Neural Networks.* **6** 327 (1993).

[4] H.Kobayashi,T.Matsumoto,T.Yagi and K.Tanaka. *Neural Networks.* **8** 87 (1995).

[5] S.Ohshima,T.Yagi and Y.Funahashi. *Vision Res.* **35** 149 (1995).

[6] D.A. Baylor, M.G.F. Fuortes and P.M. O'Bryan. *J. Physiol. Lond.* **214** 256 (1971).

[7] E.Raviola and N.B.Gilula. *Proc. of the Nat'l Acad. of Sci.* **70** 1677 (1973).

[8] K.-I.Naka and W.A.H.Rushton. *J. Physiol. Lond.* **192** 437 (1967).

[9] W.A.Hare and G.W.Owen. *J. Physiol. Lond.* **421** 223 (1990).

[10] T.Shigematsu and M.Yamada. *Neurosci. Res.* **8** s69 (1988).

[11] T.Teranishi,K.Negishi and S.Kato. *Nature.* **301** 234 (1983).

[12] J.J.B.Jack, D.Noble and R.W.Tsien. *Electric current flow in excitable cells.* Oxford: Clarendon Press. (1975).

[13] 八木哲也, 大島茂通, 舟橋康行. 電子情報通信学会論文誌 D-II. **J78-D-II** 1123 (1995).

[14] D.Marr. *Vision.* W.H.Freeman and Company. (1982).

[15] C.Mead and M.Mahowald. *Neural Networks.* **1** 91 (1988).

[16] C.Mead. *Analog VLSI and Neural Systems.* Addison-Wesley. (1989).

[17] 八木哲也, 亀田成司, 飯塚邦彦. 電子情報通信学会論文誌 D-I. **J81-D-I** 104 (1998).

[18] S.Kameda, A.Honda and T.Yagi. *Int'l J. of Neural Systems.* **9** 423 (1999).

[19] S.Kameda,T.Yagi. *Proc. The IEEE-INNS-ENNS Int'l Joint Conf. on Neural Networks.* (2000).

[20] S.Kameda and T.Yagi. *IEEE Trans. on Neural Networks.* **14** 1405 (2003).

[21] 亀田成司. 生体視覚系を模擬したシリコン網膜の開発. 平成12年度九州工業大学博士論文. (2001).

[22] J.Buhmenn, M.Lades and F.Eeckman. *Advances in Neural Information Processing Systems.* **6** 769 (1994).

[23] C.-F.Chiu and C.-Y.Wu. *IEEE J. of Solid-State Circuits.* **32** 526 (1997).

[24] J.Heinzle and A.Stocker. *Advances in Neural Information Processing Systems.* **15** (2003).

[25] R.Etienne-Cummings, V.Gruev and M.Abdel-Ghani. *Advances in Neural Information Processing Systems.* **11** 685 (1999).

[26] G.Indiveri. *IEEE Trans. on Circuits and Systems II.* **46** 1337 (1999).

[27] G.Indiveri and R.Douglas. *Science.* **288** 1189 (2000).

[28] S.-C.Liu and A.Usseglio-Viretta. *Biol. Cybern.* **85** 449 (2001).

[29] V.Becanovic, G.Indiveri, H.-U.Kobialka, P.Ploger and A.Stocker. in *Mechatronics and Machine Vision 2002: Current Practice.* Ed. R.Bradbeer and J.Billingsley. Research Studies Press (2002).

[30] K.Shimonomura, S.Kameda, K.Ishii and T.Yagi. *J. of Robotics and Mechatronics.* **13** 614 (2001).

[31] K.Shimonomura, S.Kameda and T.Yagi. *Proc. IEEE-INNS Int'l Joint Conf. on Neural Networks.* (2002).

[32] 大田郁子, 相澤清晴. 日本ロボット学会学術講演会. 63 (2001).

[33] K.Shimonomura, K.Inoue, S.Kameda and T.Yagi. *J. of Robotics and Mechatronics.* **15** 185 (2003).

[34] 福田淳, 佐藤宏道. 脳と視覚–何をどう見るか. 共立出版. (2002).

[35] J.Nicholls, A.Martin, B.Wallace, P.Fuchs. *From neuron to brain* (4th edition). Sinauer Associates. (2001).

[36] G.DeAngelis, I.Ohzawa and R.Freeman. *Trends Neurosci.* **18** 451 (1995).

[37] A.Saul and A.Humphrey. *J. Neurophisiol.* **64** 206 (1990).

[38] D.Hubel and T.Wiesel. *J. Physiol. Londo.* **160** 106 (1962).

[39] G.DeAngelis, I.Ohzawa and R.Freeman. *J. Neurophisiol.* **69** 1091 (1993).

[40] D.Ringach, M.Hawken and R.Shapley. *Nature.* **387** 281 (1997).

[41] E.Adelson and J.Bergen. *J. Opt. Soc. Am. A.* **2** 284 (1985).

[42] S.Marcerja. *J. Opt. Soc. Am.* **70** 1297 (1980).

[43] J.Jones and L.Palmer. *J. Neurophisiol.* **58** 1187 (1987).

[44] 赤澤堅造, 浜田隆史. システム／情報／制御. **40** 26 (1996).

[45] A.Watson. *Vision : coding and efficiency.* 393 Cambridge University Press. (1990).

[46] D.Somers, S.Nelson and M.Sur. J. Neurosci. **15** 5448 (1995).

[47] H.Sompolinsky and R.Shapley. *Curr. Opin. Neurobiol.* **7** 514 (1997).

[48] C.Koch and H.Li eds. *Vision chips: implementing vision algorithms with analog VLSI circuits.* IEEE computer society press. (1995).

[49] A.Moini. *Vision Chips.* Kluwer Academic Publishers. (1999).

[50] 亀田成司, 八木哲也. 日本神経回路学会誌. **10** 62 (2003).

[51] M.Mahowald. *Proc. SPIE, Visual Information Processing : From Neurons to Chips* **1473** 52 (1991).

[52] K.Boahen and A.Andreou. *Advances in Neural Information Processing Systems.* **4** (1992).

[53] 松本隆, 小林春男, 八木哲也. 電子情報通信学会誌. **76** 851 (1993).

[54] C.Wu and C.Chiu. *IEEE J. of Solid-State Circuits.* **30** 890 (1995).

[55] S.Liu and K.Boahen. *Advances in Neural Information Processing Systems.* **8** (1996).

[56] A.Moini, A.Bouzerdoum and K.Eshraghian. *Proc. Int'l Sympo. Cirsuits and Systems.* (1997).

[57] R.Sarpeshkar, J.Kramer, G.Indiveri and C.Koch. *Proc. of the IEEE.* **84** 969 (1996).

[58] T.Delbruck. *IEEE Trans. on Neural Networks.* **4** 529 (1993).

[59] J. Kramer, R. Sarpeshkar and C. Koch. *IEEE Trans. on Circuits and Systems II.* **44** 86 (1997).

[60] G.Indiveri, J.Kramer, and C.Koch. *IEEE Micro.* **16** 40 (1996).

[61] A.Moini, A.Bouzerdoum, K.Eshraghian, A.Yakovleff, X.T.Nguyen, A.Blanksby, R.Beare, D.Abbott and R.E.Bogner. *IEEE J. of Solid-State Circuits.* **32** 279 (1997).

[62] S.-C.Liu. *IEEE Trans. on Circuits and Systems II.* **47** 1458 (2000).

[63] K.A.Boahen. *J. Analog Integrated Circuits and Signal Processing.* **30** 121 (2002).

[64] R.Wodnicki, G.W.Roberts, and M.D.Levine. *IEEE J. of Solid-State Circuits.* **32** 1274 (1997).

[65] F.Pardo, B.Dierickx and D.Schffer. *IEEE J. of Solid-State Circuits.* **33** 842 (1998).

[66] R.Etienne-Cummngs and D.Cai. *Advances in Neural Information Processing Systems.* **10** (1997).

[67] V.Gruev and R.Etienne-Cummngs. *IEEE Trans. on Circuits and Systems II.* **49** 233 (2002).

[68] L.Raffo, S.Sabatini, G.Bo, and G.Bisio. *IEEE Trans. on Neural Networks.* **9** 1483 (1998).

[69] B.Shi. *IEEE Trans. on Circuits and Systems I.* **45** 121 (1998).

[70] B.Shi. *IEEE Trans. on Circuits and Systems I.* **46** 323 (1999).

[71] B.Shi. *IEEE Trans. on Circuits and Systems II.* **47** 435 (2000).

[72] G.Cauwenberghs and J.Waskiewicz. *Advances in Neural Information Processing Systems.* **11** (1999).

[73] M.Mahowald. *VLSI analogs of neuronal visual processing : A synthesis of form and function.* Ph.D. thesis, California Institute of Technology. (1992).

[74] J.Lazzaro, J.Wawrzynek, M.Mahowald, M.Sivilloti and D.Gillespie. *IEEE Trans. on Neural Networks.* **4** 523 (1993).

[75] A.Mortara and E.Vittoz. *IEEE Trans. on Neural Networks.* **5** 459 (1994).

[76] T.Sivilloti. *Wiring considerations in analog VLSI systems, with application to field-programmable networks.* Ph.D. thesis, California Institute of Technology. (1991).

[77] M.Mahowald. *An analog VLSI system for stereoscopic vision.* Kluwer Academic Publishers. (1994).

[78] K.Boahen. *IEEE Trans. on Circuits and Systems II.* **47** 416 (2000).

[79] G.Indiveri, R.Murer and J.Kramer. *IEEE Trans. on Circuits and Systems II.* **48** 492 (2001).

[80] G.Indiveri, A.Whatlay and J.Kramer. *Proc. Int'l Conf. on Microelectronics for Neural, Fuzzy and Bio-inspired Systems.* (1999).

[81] C.Higgins and C.Koch. *J. Analog Integrated Circuits and Signal Processing.* **24** 195 (2000).

[82] C.M.Higgins, S.A.Shams. *IEEE Sensors Journal.* **2** 508 (2002).

[83] P.Venier, A.Mortara, X.Arreguit and E.Vittoz. *IEEE J. of Solid State Circuits.* **32** 177 (1997).

[84] D.Goldberg, G.Cauwenberghs and A.Andreou. *Neural Networks.* **14** 781 (2001).

[85] S.Liu, J.Kramer, G.Indiveri, T.Delbruck, T.Burg and R.Douglas. *Neural Networks.* **14** 629 (2001).

[86] I.Ohzawa, G.DeAngelis and R.Freeman. *Science.* **249** 1037 (1990).

[87] S.Kameda and T.Yagi. *Proc. INNS-IEEE Int'l Joint Conf. on Neural Networks.* (2003).

[88] D.Feinstein. in *Caltech Computer Science Technical Report.* Caltech-CS-TR-88-7. California Institute of Technology. (1988).

[89] 大島成通. 網膜神経回路網による画像処理. 平成4年度名古屋工業大学修士論文. (1992).

[90] T.Poggio, H.Voorhees and A.Yulle. *AI Momo.* Massachusetts Institute of Technology. (1985).

[91] T.Poggio, V.Torre and C.Koch. *Nature.* **317** 314 (1985).

[92] T.Yagi, T.Matsumoto and H.Kobayashi. in *Neural Network Systems Techniques and Applications.* ed. C.T.Leondes. Academic Press. (1998).

[93] T.Yagi, S.Ohshima and Y.Funahashi. *Biol. Cybern.* **77** 163 (1997).

[94] A.Pavasovic, A.Andreou and C.Westgate. *J. VLSI Signal Processing.* **8** 75 (1994).

[95] J.Bostos, M.Steyaert, R.Rovers, P.Kinget, W.Sansen, B.Graindourze, A.Pergoot and Er.Janssens. *Proc. IEEE Int'l Conf. on Microelectronic Test Structures* **8** 271 (1995).

[96] I.Ohzawa. *Curr. Opin. Neurobiol.* **8** 509 (1998).

[97] L.Itti, C.Gold and C.Koch. *Optical Engineering.* **40** 1784 (2001).

謝辞

本研究を遂行するに当たり，多くの方々からの御指導，御鞭撻を賜りました．

大阪大学大学院工学研究科電子工学専攻の八木哲也教授には，終始変わらず熱心な御指導と激励を頂きました．恵まれた研究環境や，様々な貴重な経験を積む機会を与えて頂くとともに，八木教授の研究に対する姿勢そのものをもって，私に研究を進めていくことの楽しさ，厳しさを教えて頂きました．ここに深く感謝の意を表します．

本研究の成果をまとめるに当たり貴重な御意見，御討議を頂きました大阪大学大学院工学研究科電子工学専攻の吉野勝美教授，尾浦憲治郎教授，森田清三教授，栖原敏明教授，大阪大学大学院工学研究科電子情報エネルギー工学専攻の谷口研二教授，大阪大学産業科学研究所の溝口理一郎教授に厚く御礼申し上げます．

本研究を進めるに当たり，宋文杰助教授，小山内実助手には日々御指導，御意見を頂くとともに，様々な面で御協力を頂きました．また，服部訓子女史には事務的な面で多大な御支援を頂きました．厚く感謝の意を表します．

私が所属する集積電子システム工学講座電子システム工学領域の研究員，大学院生，学部生，卒業生の皆様とは，多くの有益な議論を行い，また様々な面で御支援頂きました．特に，広島大学先端物質科学研究科の亀田成司氏には，研究室の先輩として集積回路の設計や試作，評価技術に関して御懇切な御指導を頂くとともに，数々の有益な御意見，激励を頂きました．また，九州工業大学における大学院時代，様々な面で御指導，御鞭撻を頂いた林田祐樹氏（UC Davis），青木謙二氏（鹿児島大学），また共に研究を行った鵜殿直嗣氏（日立製作所）には，感謝の意を表すとともに，今までの研究成果が論文という形になった喜びを伝えたいと思います．

最後に，ここまで育てて頂き，学生生活を支えて下さった両親に心から感謝致します．

研究業績

A. 論文

1. Kazuhiro Shimonomura, Seiji Kameda, Kazuo Ishii and Tetsuya Yagi, "A Novel Robot Vision Employing a Silicon Retina," Journal of Robotics and Mechatronics, **13** (2001) 614-620.
2. Kazuhiro Shimonomura, Keisuke Inoue, Seiji Kameda and Tetsuya Yagi, "A Novel Robot Vision Applicable to Real Time Target Tracking," Journal of Robotics and Mechatronics, **15** (2003) 185-191.
3. 下ノ村和弘，井上恵介，亀田成司，八木哲也，"シリコン網膜と FPGA を用いた動物体の追跡，" 映像情報メディア学会誌，掲載決定
4. Kazuhiro Shimonomura and Tetsuya Yagi, "A multi-chip aVLSI system emulating orientation selectivity of primary visual cortical cells," submitted to IEEE Trans. on Neural Networks.

B. 発表（国際会議）

1. Takeshi Yamakawa, Kazuhiro Shimonomura, Tadatsugu Udono and Tetsuya Yagi, "Depth Perception Circuit Employing Serial Output Signals from Two Vision Chips," IEEE International Conference on Systems, Man, and Cybernetics (SMC'99), Tokyo, Japan, 1999.10.
2. Tetsuya Yagi, Seiji Kameda and Kazuhiro Shimonomura, "Computing vision with a bio-inspired electronic circuit," 2001 International Synposium on Nonlinear Theory and its Applications (NOLTA2001), Sendai, Japan, 2001.10.
3. Kazuhiro Shimonomura, Seiji Kameda and Tetsuya Yagi, "Silicon retina system applicable to robot vision," INNS/IEEE International Joint Conference on Neural Networks (IJCNN2002), Honolulu, USA, 2002.5.
4. Kazuhiro Shimonomura, Seiji Kameda and Tetsuya Yagi, "A robot vision system using silicon retina," 4th International Forum on Multimedia and Image Processing (IFMIP2002), Orland, USA, 2002.6.
5. Kazuhiro Shimonomura, Keisuke Inoue, Seiji Kameda and Tetsuya Yagi, "Silicon Retina System Applicable to Real Time Target Tracking," 10th International Conference on Neural Information Processing (ICONIP2003), Istanbul, Turkey, 2003.6.

6. Kazuhiro Shimonomura, Tetsuya Yagi, "A VLSI system that emulates the computation of primary visual cortical neurons," Okinawa International Symposium "New Horizons in Molecular Sciences and Systems: An Integrated Approach", Okinawa, Japan, 2003.10.

C. 発表（国内学会，筆頭著者分）

1. 下ノ村和弘，高見智洋，石井和男，八木哲也，"アナログ人工網膜の自律ロボット制御への応用，" 計測自動制御学会第15回生体・生理工学シンポジウム，名古屋，2000年10月.
2. 下ノ村和弘，亀田成司，八木哲也，"電子システムを用いた視覚エミュレーション実験，" 視覚科学フォーラム第5回研究会，北九州，2001年7月.
3. 下ノ村和弘，八木哲也，"生体模倣並列視覚デバイスで人を視る，" 計測自動制御学会第6回パターン計測シンポジウム，大阪，2001年10月.
4. 下ノ村 和弘，亀田 成司，八木 哲也，"生体模倣並列視覚デバイスとその応用システム開発，" 電子情報通信学会第5回システムLSIワークショップ，北九州，2001年11月.
5. 下ノ村和弘，八木哲也，"生体模倣超並列視覚デバイス，" 計測自動制御学会第2回システムインテグレーション部門学術講演会，名古屋，2001年12月.
6. 下ノ村 和弘，亀田 成司，井上恵介，八木 哲也，"脳型ロボットビジョン，" 日本機械学会ロボティクスメカトロニクス講演会2002，島根，2002年6月.
7. 下ノ村和弘，井上恵介，亀田成司，八木哲也，"シリコン網膜システムを用いた実環境における動的画像処理，" 映像情報メディア学会情報センシング研究会，東京，2002年6月.
8. Kazuhiro Shimonomura, Keisuke Inoue, Tetsuya Yagi, "A target tracking employing a silicon retina system," SICE Annual Conference, Osaka, 2002.8.
9. 下ノ村和弘，井上恵介，亀田成司，八木哲也，"シリコン網膜を用いたターゲットトラッキング，" 北九州，2002年11月.
10. Kazuhiro Shimonomura, Seiji Kameda, Tetsuya Yagi, "Visual eletex I: an electronic circuit emulating the visual cortex I," 脳と心のメカニズム第3回冬のワークショップ, 北海道，2003年1月.
11. 下ノ村和弘，八木哲也，"V1視覚野の機能を模倣した電子回路，" 視覚科学フォーラム第7回研究会，大阪，2003年7月.
12. 下ノ村和弘，八木哲也，"V1単純型細胞受容野をエミュレートするアナログディジタル混在型集積システム，" 日本神経回路学会第13回全国大会，東京，2003年9月.
13. 下ノ村和弘，八木哲也，"視覚野V1を模倣するアナログ・デジタル混在システム，" 映像情報メディア学会研究会情報センシング研究会，豊橋，2003年9月.