



Title	誤り訂正符号のVLSIプロセッサ上での機構化およびVLSI検査への応用に関する研究
Author(s)	岩崎, 一彦
Citation	大阪大学, 1988, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/278
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏名・(本籍)	岩	崎	一	彦
学位の種類	工	学	博	士
学位記番号	第	8048		号
学位授与の日付	昭和	63年	3月	17日
学位授与の要件	学位規則第5条第2項該当			
学位論文題目	誤り訂正符号のVLSIプロセッサ上での機構化およびVLSI検査への応用に関する研究			
論文審査委員	(主査) 教授 嵩 忠雄			
	(副査) 教授 藤澤 俊男 教授 鳥居 宏次 教授 都倉 信樹			
	教授 谷口 健一			

論文内容の要旨

本研究は、修正ハミング符号およびファイヤ符号のVLSI上での機構化、ならびに、ハミング符号およびリード・ソロモン符号のVLSI検査法への応用に関するものである。本論文は7章から構成されている。

第1章では、本研究の一般的背景ならびに研究経過を述べる。

第2章では、修正ハミング符号の2つの構成法について論じる。一つは、非零要素数が最小のパリティ検査行列を持つ修正ハミング符号のうちで、3重誤りの誤訂正確率、4重誤りの見逃し確率を最小にするような構成法である。(72, 64) 修正ハミング符号に関して、計算機を用いて最適な符号を求めた。もう一つの構成法として、上位ビットの誤り検出率を高くするような修正ハミング符号を構成する。いくつかの符号長に対して、計算機を用いて良好な符号を見出した。

第3章では、VLSIプロセッサに適したファイヤ符号およびバースト誤り訂正巡回符号の復号法を提案する。提案する復号法は、ハードウェアが比較的少なくてよい。同時に、短縮化前の符号長がレコード長よりも十分長い——通常の応用では成り立つ——場合、復号時間の面でも他の高速復号法と同程度まで高速化することができる。また、一部の設定値を変更することにより、種々の短縮化に対して使用できるという特徴を持つ。提案した復号法をハードディスクコントローラVLSIに適用した。適用した符号は32ビットファイヤ符号である。復号を実行する部分は、約6700トランジスタ(約5%)となつた。

第4章は、VLSI検査、特にシグナチャ検査法に関するものである。まず、多入力シグナチャレジスタ(MISR)に対してシグナチャS(x)を定式化する。次に、G等価という考え方を提案し、

原始多項式に基づくM I S Rの2重ビット誤り検出率を求める。その結果、2重ビット誤り検出率が100%とならないことを示す。さらに、行列の縮退化という考え方を提案し、M I S Rの3、4重ビット誤りの検出率を計算する。また、2重ビット誤り検出率を100%にする一つの方法として、逆2重化M I S Rというシグナチャ回路を提案する。

第5章では、d重シンボル誤りを検出できるシグナチャ回路—多重化M I S R—を提案する。この回路では、入力検査系列をガロア体上のシンボルとみなしひード・ソロモン符号を適用した。また、リード・ソロモン符号の重み分布から单一および多重化M I S Rのシンボル誤り検出率を求める。同時に、提案する多重化M I S Rの32ビットマイクロプロセッサへの応用についても述べる。さらに、検査時間を削減する一つの方法として、ビット幅の圧縮をおこなうシグナチャ回路を提案する。

第6章では、リード・ソロモン符号の重み分布を利用して、单一および多重化M I S Rのシンボル誤り見逃し率（エイリアス確率）の過渡的な性質を解析する。その結果、M I S Rでは、エイリアス確率は滑らかに収束することを示す。同時に、選択する原始多項式に依存しないことを示す。さらに、单一入力シグナチャレジスタ（S I S R）のエイリアス確率を解析する。その結果、S I S Rのエイリアス確率は、選択する多項式によって異なることを確認した。また、過渡的振舞に変動があることを確認した。

第7章では、本研究をまとめる。

論文の審査結果の要旨

本論文は、誤り訂正符号のV L S I プロセッサ上での機構化およびV L S I 検査への応用に関し、

1) 修正ハミング符号および短縮ファイヤ符号について、V L S I 向き機構化法を提案した。前者について、パリティ検査における排他的論理和をとる回数が最小との条件の下で、誤り検出率最高の符号の構成例を与えるとともに、上位ビットの誤り検出率のより符号を示した。また、後者について、V L S I チップへ応用することにより、実用面での有効性を明らかにした。

2) V L S I のシグナチャ検査に関し、誤り見逃し率を解析した。解析に当り、いくつかの有効な概念を導入し、さらにハミング符号の重み3、4の符号語数を基に、1～4重誤り検出率を解析した。その結果、従来のシグナチャ回路では、2重誤り検出率が100%とならないことを示すとともに、2重誤りを100%検出できる逆2重化シグナチャ回路を提案した。

3) シグナチャ検査法の誤り検出率を向上させる方法として、リード・ソロモン符号に基づく多重化シグナチャ回路を提案し、この方法を実際のマイクロプロセッサV L S I チップへ応用した。また、短縮リード・ソロモン符号の重み分布式を利用して、シグナチャ検査法の誤り検出率の検査入力の長さに対する変動を解明した。

これらの結果は、誤り訂正符号のV L S I チップへの応用に対して、重要な知見を与えるものであり、博士論文としての価値あるものと認める。