OUKA
The University of Osaka
Institutional Knowledge Archive

Title	プラズマCVM(Chemical Vaporization Machining)による超精密加工に関する研究 -超薄膜SOI(Silicon on Insulator)ウエハの製作-
Author(s)	佐野, 泰久
Citation	大阪大学, 2003, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/2809
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

プラズマ CVM（Chemical Vaporization Machining）による超精密加工に関する研究

－超薄膜 SOI (Silicon on Insulator)ウエハの製作－

2002 年 11 月

佐 野 泰 久

目次

第1章　序論 …… 1
1.1　本研究の背景 …… 1
1.2　本研究の目的 …… 3
1.3　本論文の構成 …… 3

第2章　SOI MOSFET …… 5
2.1　緒言 …… 5
2.2　MOSFET の動作原理 …… 5
2.2.1　MOS 構造 …… 5
2.2.2　MOS 電界効果 …… 6
2.2.3　MOS C-V 特性 …… 10
2.2.4　MOSFET の動作原理 …… 13
2.2.5　サブスレッショルド特性 …… 16
2.2.6　MOSFET の消費電力および動作速度 …… 18
2.2.7　微細化による MOSFET の高性能化 …… 18
2.2.8　短チャネル効果 …… 19
2.3　SOI MOSFET の動作原理および特徴 …… 20
2.3.1　SOI MOSFET の構造と動作原理 …… 20
2.3.2　SOI MOSFET の特徴 …… 21
2.3.3　SOI デバイスの実用例 …… 24
2.3.4　超薄膜 SOI ウエハの必要性 …… 25
2.4　薄膜 SOI ウエハ製作技術の現状 …… 26
2.4.1　酸素イオン注入法 …… 26
2.4.2　貼り合わせ研磨法 …… 27
2.4.3　PACE 法 …… 28
2.4.4　水素イオン注入剥離法 …… 29
2.4.5　ELTRAN 法 …… 30
2.5　結言 …… 31

第3章　数値制御プラズマ CVM 加工システム …… 32
3.1　緒言 …… 32
3.2　プラズマ CVM の概要 …… 34
3.2.1　プラズマ CVM の加工原理 …… 34

3.2.2 プラズマ発生用回転電極 …… 37
3.2.3 高周波電界中における荷電粒子の運動 …… 40
3.2.4 各種材料の加工特性 …… 43
3.2.5 プラズマCVM加工面の電子物性 …… 45
3.2.6 プラズマCVMと他の加工法との比較 …… 49
3.3 数値制御プラズマCVM加工システムの開発 …… 55
3.3.1 数値制御加工方法 …… 55
3.3.2 加工システムの構成 …… 58
3.3.3 加工装置本体 …… 59
3.3.4 気体軸受式回転電極 …… 61
3.3.5 気体軸受式XYテーブル …… 71
3.3.6 Z 軸機構 …… 76
3.3.7 θテーブル …… 76
3.3.8 ガス給排気系 …… 78
3.3.9 気体軸受用コンプレッサー …… 80
3.3.10 ガス循環精製システム …… 81
3.3.11 制御系 …… 86
3.3.12 高周波電力供給システム …… 90
3.4 結言 …… 103

第4章 数値制御プラズマCVMによる超薄膜SOIウエハの製作 …… 105
4.1 緒言 …… 105
4.2 基本加工特性 …… 105
4.2.1 単位加工痕形状 …… 106
4.2.2 加工量のテーブル送り速度依存性 …… 107
4.3 数値制御加工精度の検討 …… 108
4.3.1 投入電力設定精度の影響 …… 108
4.3.2 加工ギャップ設定精度の影響 …… 109
4.3.3 反応ガス濃度に関する検討 …… 110
4.3.4 真空チャックプレート表面形状の影響 …… 111
4.3.5 送りピッチの検討 …… 113
4.3.6 洗浄の影響 …… 115
4.3.7 全面加工における加工量の再現性 …… 117
4.4 測定精度の検討 …… 118
4.4.1 分光エリプソメトリの概要 …… 118
4.4.2 分光エリプソメトリによる測定再現性の評価 …… 120

4.4.3 分光エリプソメトリによる測定値の絶対精度の検討 …… 120
4.5 超薄膜 SOI ウエハの製作 …… 121
4.6 結言 …… 124

第5章 プラズマ CVM 加工面のデバイス用基板としての評価 …… 126
5.1 緒言 …… 126
5.2 加工面の汚染評価 …… 126
5.2.1 加工面のパーティクル測定 …… 126
5.2.2 加工面の金属汚染測定 …… 128
5.2.3 加工表面層の SIMS による不純物測定 …… 132
5.2.4 加工表面層の XPS による不純物測定 …… 133
5.3 加工面の MOS ダイオードによる評価 …… 134
5.3.1 直径 33mm ウエハに形成した MOS ダイオードの C-V 特性評価 …… 135
5.3.2 6 インチウエハに形成した MOS ダイオードの I-V 特性評価 …… 136
5.4 結言 …… 138

第 6 章 超薄膜 SOI ウエハを用いた高性能 SOI デバイスの実現に向けて … 139
6.1 緒言 …… 139
6.2 直径 33 mm SOI ウエハを用いた MOSFET の試作と評価 …… 139
6.2.1 試作目的 …… 139
6.2.2 試作した MOSFET の概要 …… 139
6.2.3 試作した MOSFET の評価 …… 141
6.3 8 インチ SOI ウエハを用いた MOSFET の試作と評価 …… 142
6.3.1 試作目的 …… 142
6.3.2 試作用 SOI ウエハの加工 …… 142
6.3.3 試作した MOSFET の概要 …… 144
6.3.4 試作した MOSFET の評価 …… 144
6.4 超薄膜 SOI デバイス製造技術の問題点と今後の展望 …… 146
6.5 結言 …… 147

第 7 章 総括 …… 149

参考文献 …… 154

謝辞 …… 161

第1章　序論

1.1　本研究の背景

この四半世紀の半導体集積回路技術の進歩は目覚しい。1974年に発売されたパーソナルユースのコンピュータの頭脳であったIntel 8080は約2 MHzで動作していたが、現在主流のIntel Pentium 4は1000倍の約2 GHzで動作している。3年で2倍の高速化が約30年にわたり継続的に達成されている。一方、メモリの記憶容量に目を向けると、1970年頃には1チップあたり1 kbitであったのに対し、現在では256 Mbitに達している。約3年で4倍の大容量化が実現され続けている。このような目覚しい進歩は、集積回路を構成するトランジスタの微細化によるところが極めて大きい。トランジスタを微細化することで、キャリアが流れるべき距離が短縮し、スイッチング速度が向上し、高速化が実現する。また、単位面積当たりのトランジスタ数が増加するため、高集積化が実現する。

現在、一般家庭においても広くインターネット接続端末が普及し、単なる情報ツールとしてだけではなく、ネットワークを通じたコミュニケーション文化が形成されるに至っている。また、近年急速に普及した携帯電話においては、単なるコミュニケーションツールとしてではなく、携帯情報端末としての機能も付加され始めている。今後も扱うべき情報量は増加しつづけるため、半導体集積回路にはさらなる高速化・高集積化が望まれ、集積回路の微細化が望まれている。さらに、携帯情報端末においては集積回路の低消費電力化も強く求められている。

このような背景の中、高速化と低消費電力化を実現する半導体集積回路用の基板としてSOI (Silicon on Insulator)ウエハが急速に注目を浴びはじめている[1)2)]。SOIウエハは、基板となるシリコン上に埋め込み酸化膜（Buried Oxide：BOX）層を介して薄いシリコン層を有する基板である。この薄いシリコン層に、デバイス（MOSFET）を構築する。このような構造にすることで、①埋め込み酸化膜によって寄生接合容量を減少でき、デバイスの高速化・低消費電力化を実現できる、②隣り合う素子を完全に分離でき素子間の干渉を抑制できるため、柔軟な設計が可能となり高機能なデバイスが実現できる、③デバイス層がBOX層によって基板から完全に絶縁されているため、放射線や中性子線によって引き起こされる誤作動（ソフトエラー）の発生確率を低減できる、等の特徴がある。このため、通常のシリコンウエハに作製したMOSFETに比べて高速化、低消費電力化を実現でき、次世代半導体集積回路用基板として有効と考えられている。

SOI MOSFETには、完全空乏型（Fully-Depleted：FD）と部分空乏型（Partially-Depleted：PD）の2種類が存在する。FD型では、ゲート酸化膜下のシリコン領域が完全に空乏化している。FD型のSOI MOSFETは先に述べた特徴の他に、しきい値近傍での電流電圧特性(サブスレッショルド特性)の傾きが、通常のMOSFETやPD型のSOI MOSFETに比べて急峻になる特徴がある。この傾きが急峻であれば、しきい値電圧が小さくて済むため、低消費電力化が期待できる。

FD型のSOI MOSFETを作製するためには、ゲート酸化膜下のシリコンの厚さを空乏層の厚さ以下にする必要がある。空乏層の厚さはMOSFETの微細化と共に薄くなるため、微細化と共に、より薄いSOIウエハが要求される。また、短チャネル効果を抑制するために、ゲート酸化膜下のシリコンの厚さをゲート長よりも十分小さくすることが必要である。短チャネル効果とは、MOSFETの微細化と共にデバイス性能が劣化する現象であり、ソースードレイン間の横方向電界が、ゲートによって印加される縦方向電界に影響を及ぼすために生じる。これらの理由により、線幅が0.1μm以下になる2003年以降にはSOI層の厚さが20 nm以下のSOI MOSFETが、線幅が0.05μm以下になる2010年以降にはSOI層の厚さが10 nm以下のSOI MOSFETが必要とされ、超薄膜SOIウエハが必要とされている。さらに、MOSFETのしきい値の面内ばらつきを抑えるために、SOI層の厚さのばらつきは±5%以内に抑えることが要求されている[3]。

現在、通常に市販されている薄膜SOIウエハのSOI層の厚さは最も薄いものでも50 nm程度までであり、SOI層の厚さが10 nm程度であるような超薄膜SOIウエハを既存の技術によって製作することは極めて困難である。単純にSOI層の厚さを薄くするだけであれば、熱酸化と酸化膜エッチングによってSOI層を薄膜化する方法も考えられるが、その場合、薄膜化前のSOI層の厚さ分布を改善することが出来ず、薄膜化後のSOI層の厚さばらつきを±5%に抑えることは困難である。

このように、半導体集積回路用基板として、近い将来、超薄膜SOIウエハが必要になると予想されるが、現段階では、ウエハ製作方法に決定的な方法が存在しておらず、その製作方法が待ち望まれている。

一方、加工現象として化学的な反応を用いながら、機械加工に匹敵する空間制御性と加工能率を有する新しい加工法として、昭和63年(1988年)頃からプラズマCVM(Chemical Vaporization Machining)が開発されている[4]。プラズマCVMとは、高圧力雰囲気中(主として大気圧のHe)で空間に局在した高周波プラズマを発生させ、そのガス中に混合した加工用のガス分子を分解するとともに、反応性の高い中性ラジカル(電気陰性度の大きいハロゲン原子など)を生成し、これを加工物表面原子と反応させて、揮発性の物質に変えることにより除去を行う加工法である[5][6]。従って、原子単位の加工法であることから幾何学的に優れた加工面を得ることが可能であると同時に、加工現象は純粋に化学的であるため、材料本来の性質を損なうことなく、結晶学的観点からも極めて優れた加工面の創成が期待できる。本加工現象を利用したものの例としては、既に半導体デバイスの製造分野において実用化されているプラズマエッチングを挙げることができる。ところが、通常 10^{-1}～10^{2} Pa (10^{-3} ～ 1 Torr)という低圧力雰囲気下で行われているため加工速度は小さい。また、低圧力下においてはガス分子の平均自由行程が大きく、プラズマが大きく広がってしまうため、加工の空間的な制御性(空間分解能)は全く無い。一方、大気圧という高圧力プロセスであるプラズマCVMでは、高圧力がゆえにガス分子の平均自由行程が約0.1 μm程度[7]と小さく、その結果、プラズマは電極の近傍のみに局在して発生する。よって本加工法は、

最適な電極形状を選択することで、材料の切断や数値制御走査による形状加工も可能であり、従来の機械加工に換わるポテンシャルを有していると言える。

1.2 本研究の目的

次世代の半導体集積回路用基板として SOI 層の厚さが 10 nm 程度であるような超薄膜 SOI ウエハが必要とされている。現在市販されている薄膜 SOI ウエハの SOI 層の厚さは 100 nm 程度のものが一般的である。この薄膜 SOI ウエハの SOI 層を 10 nm 程度まで薄膜化することで、このような超薄膜 SOI ウエハを作製することを検討する。薄膜化の方法として、切り込み深さ等の変位や研磨圧力等を制御して加工を行う従来の機械的加工法を用いることは、熱的外乱や微振動等の影響のため、極めて困難である。さらに、加工機構が機械的破壊である以上、加工表面には歪層が形成され、極表面層にデバイスを形成する集積回路用基板の加工法としては最適ではないと言える。そこで本研究では、純化学的な加工法であり加工表面に歪層を形成しない、プラズマ CVM を用いて SOI 層の薄膜化を行うことを提案する。プラズマ CVM においては、変位や圧力ではなく、プラズマの滞在時間のみの制御により数値制御加工を行うため、機械の精度を超えた高精度な加工が期待できる。本研究では、次世代の半導体集積回路用基板として求められている超薄膜 SOI ウエハを製作することが可能な、数値制御プラズマ CVM 加工システムを開発し、開発した装置を用いて超薄膜 SOI ウエハの試作を行うこと、および加工したウエハ上にデバイスを形成し、プラズマ CVM が半導体集積回路用基板の加工方法として用いることができることを実証すること、を目的とする。

1.3 本論文の構成

本論文は全文 7 章よりなる。

第 2 章では、まず、通常のシリコンウエハ上に形成された MOSFET の動作原理について説明し、MOSFET を SOI ウエハ上に形成することでどのような特徴が現れるのかを説明する。次に、本研究のターゲットである超薄膜 SOI ウエハがなぜ必要であるかを詳説する。その後、現在の SOI ウエハメーカーにおける薄膜 SOI ウエハ製造技術について概説し、既存技術を用いた超薄膜 SOI ウエハ製造が困難であることを説明する。

第 3 章では、本研究で用いる超精密加工方法であるプラズマ CVM について詳説し、超薄膜 SOI ウエハの試作が可能な数値制御プラズマ CVM 加工システムの開発について述べる。

第 4 章では、開発したシステムの基本加工特性について述べ、数値制御加工に適した加工特性を有していることを示す。その後、加工精度を決定する種々の要因について検討した結果、および SOI 層の厚さ測定を行うための分光エリプソメトリについて、その測定の再現性と絶対精度に関する検討結果について述べる。そして、市販の薄膜 SOI ウエハを数値制御加工によって薄膜化した結果について述べる。

第 5 章では、プラズマ CVM 加工面に MOSFET を作製するための準備として、加工面の

汚染評価および加工面に試作したMOSダイオードの特性評価を行い、プラズマCVM加工面の半導体集積回路用基板としての評価を行った結果について述べる。

第6章では、プラズマCVMによって薄膜化したSOIウエハ上にMOSFETを作製し、その特性評価を行った結果について述べる。

最後に第7章として、本研究で得られた成果を総括する。

第 2 章　SOI MOSFET

2.1　緒言

MOS 電界効果トランジスタ（Metal-Oxide-Semiconductor Field Effect Transistor：MOSFET）は、半導体基板表面部のみにデバイスを形成するプレーナプロセス（planar process）によって作製が可能であり、フォトリソグラフィー技術によって高集積化が容易であることから、超 LSI（Very Large Scale Integrated circuit：VLSI）の中心的デバイスとして使われている。また近年は、液晶駆動用の薄膜トランジスタ（Thin Film Transistor：TFT）としても使用されており、極めて重要なデバイスである。

MOSFET の高速化・低消費電力化は、素子の大きさを小さくすることで達成されてきた。電子デバイスの根本は「電子が動く」ことである。従って、高速化・低消費電力化は素子中の電子の移動距離を短縮することで達成される。すなわち、より小さい素子を用いることで、同電圧であればより速い動作が可能であり、より低電圧でも同じ速度での動作が可能になる。しかし近年、特に消費電力を抑えながらも高速に動作することが要求され、SOI ウエハを基板として用いた SOI MOSFET が注目を浴びている。

本章では、まず通常の MOSFET の動作原理を述べ、SOI MOSFET の動作原理や特徴について、通常の MOSFET と比較しながら述べる。その後、デバイスの高性能化に伴い、より薄い SOI 層を有する SOI MOSFET が必要になり、超薄膜 SOI ウエハが必要になることを説明する。そして最後に、現在の SOI ウエハ製造技術について、その製造方法と、超薄膜 SOI ウエハに対する可能性について述べる。

2.2　MOSFET の動作原理 [8)9)]

2.2.1　MOS 構造

MOS（Metal-Oxide-Semiconductor）構造とは、図 2.1(a)に示すような、金属（Metal）、酸化膜（Oxide）そして半導体（Semiconductor）で作られる三層構造の略称である。この構造は単体でもデバイス（MOS ダイオード、あるいは MOS キャパシタ）として使われる。その際、金属部はゲートと呼ばれ、電極の役目を果たす。同図(a)のように、ゲート電極に電圧を印加しない場合、ゲート電極の面積と酸化膜の厚さで決定される容量をもつ単なるコンデンサである。半導体を p 型と仮定する。ゲート電極に負の電圧を印加した場合、同図(b)のように半導体中の多数キャリアである正孔が酸化膜側に引き寄せられ、半導体と酸化膜の界面付近に正孔が集まる。この状態は「蓄積（accumulation）」と呼ばれる。一方、ゲート電極に正の電圧を印加した場合、同図(c)のように、正孔はクーロン反発力によって半導体内部へと追いやられ、界面付近には電荷の存在しない空乏層が形成される。この状態は「空乏（depletion）」と呼ばれる。空乏層は絶縁体と考えられるため、半導体と酸化膜の界面に新たなコンデンサが形成されたことになる。空乏層の厚さは、印加する電圧の大きさとともに増大するため、可変容量コンデンサとして働く。同図(d)のように、さらに大

きい正の電圧を印加した場合、少数キャリアである電子が界面に集まり、n 型の領域が形成される。この状態は「反転（inversion）」と呼ばれ、MOSFET の動作において重要な状態である。

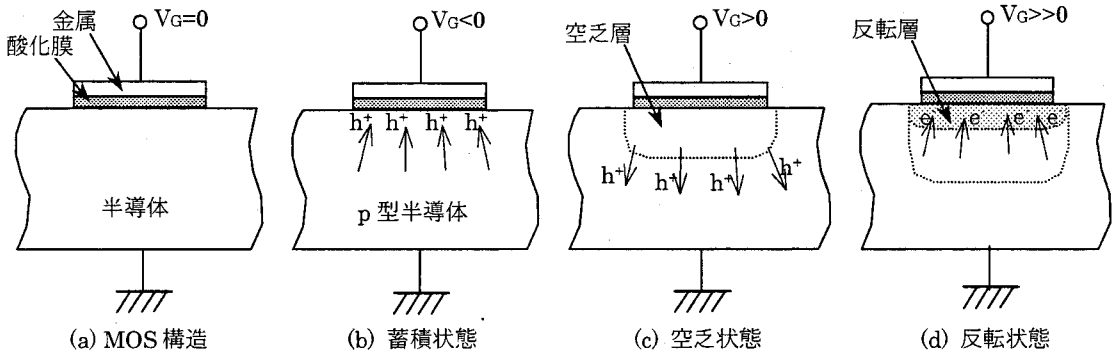
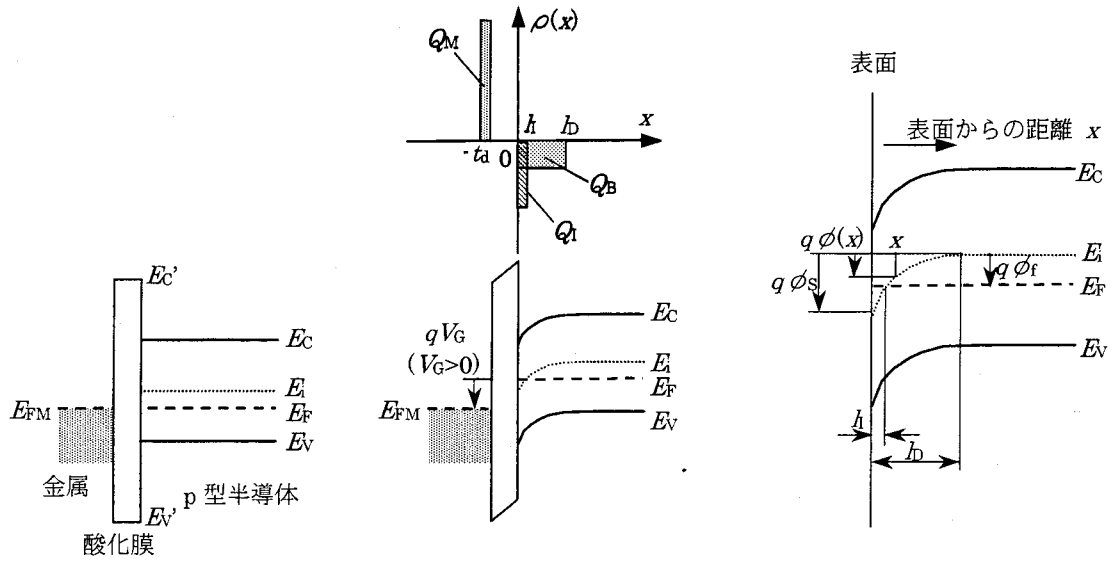


図 2.1　MOS 構造

2.2.2　MOS 電界効果

図 2.2(a)にゲート電極に電圧を印加していない状態での p 型半導体を用いた理想 MOS 構造のエネルギーバンド図を示す。理想 MOS 構造とは、金属と半導体の間で仕事関数差が無く、酸化膜中や酸化膜と半導体の界面に一切の電荷が存在しない、仮想的な MOS 構造である。E_C、E_i、E_F、E_Vはそれぞれ、半導体の伝導帯下端のエネルギー、真性フェルミ準位、フェルミ準位、価電子帯上端のエネルギーである。E_C'と E_V'は絶縁体の伝導帯下端のエネルギーと価電子帯上端のエネルギー、E_{FM}は金属のフェルミ準位である。(b)は、ゲート電



(a) 理想 MOS 構造のエネルギーバンド図　(b) 反転状態での電荷分布図（上）とエネルギーバンド図（下）　(c) p 型半導体表面近傍のエネルギーバンド図

図 2.2　p 型半導体を用いた理想 MOS 構造のエネルギーバンド図

極に正の電圧 V_Gを印加して反転状態に達した際のエネルギーバンド図と電荷分布図であり、(c)は(b)のエネルギーバンド図のうち半導体表面を拡大したものである。反転層の厚さを h、半導体表面から空乏層最深部までの距離を l_Dとし、空乏層の電荷密度を Q_B、反転層の電荷密度を Q_I、ゲート電極の電荷密度を Q_Mとする。また、真性フェルミ準位とフェルミ準位のポテンシャル差を ϕ_fとし、表面からの距離 x における半導体中のポテンシャルを $\phi(x)$、半導体表面のポテンシャルを $\phi_S(=\phi(0))$とする。半導体表面の全電荷数を Q_Sとすると、Q_Sは、

$$Q_S = Q_I + Q_B \tag{2.1}$$

と表せる。ポテンシャル $\phi(x)$と電荷密度 $\rho(x)$は次のポアソンの方程式を満たす。

$$\frac{d^2\phi(x)}{dx^2} = -\frac{\rho(x)}{K\varepsilon_0} \tag{2.2}$$

ここで、Kは半導体の比誘電率、ε_0は真空中の誘電率である。電荷密度 $\rho(x)$は次の式で与えられる。

$$\rho(x) = q(N_D - N_A + p_p - n_p) \tag{2.3}$$

N_D、N_Aはドナー密度、アクセプタ密度である。p_p、n_pは正孔密度、電子密度であり、それぞれ次のように表せる。

$$p_p = p_{p0}e^{-q\phi(x)/kT} \tag{2.4}$$

$$n_p = n_{p0}e^{q\phi(x)/kT} \tag{2.5}$$

ここで、p_{p0}および n_{p0}は、熱平衡状態における正孔密度と電子密度であり、真性キャリア密度 n_iを用いて、次のように表される。

$$p_{p0} = n_i e^{q\phi_i/kT} \tag{2.6}$$

$$n_{p0} = n_i e^{-q\phi_i/kT} \tag{2.7}$$

半導体の内部では電荷の中性条件が満たされているため、

$$N_D - N_A = n_{p0} - p_{p0} \tag{2.8}$$

の関係が成立している。式(2.3)は式(2.6)、式(2.7)、式(2.8)を使って、次のように表せる。

$$\rho(x) = q[p_{p0}(e^{-q\phi(x)/kT} - 1) - n_{p0}(e^{q\phi(x)/kT} - 1)] \tag{2.9}$$

従って、式(2.2)のポアソンの方程式は次のようになる。

$$\frac{d^2\phi(x)}{dx^2} = -\frac{q}{K\varepsilon_0}[p_{p0}(e^{-q\phi(x)/kT} - 1) - n_{p0}(e^{q\phi(x)/kT} - 1)] \tag{2.10}$$

式(2.8)を解いた結果、ポテンシャル $\phi(x)$を微分した電界 $E(x)$は次のように求まる。

$$E(x) = \pm\frac{\sqrt{2}kT}{qL_D}F(\frac{q}{kT}\phi(x),\frac{n_{p0}}{p_{p0}}) \tag{2.11}$$

ここで、

$$L_D = \sqrt{\frac{kTK\varepsilon_0}{p_{p0}q^2}} \tag{2.12}$$

$$F(\frac{q}{kT}\phi(x),\frac{n_{p0}}{p_{p0}}) = \left[\left(e^{-q\phi(x)/kT} + \frac{q}{kT}\phi(x) - 1\right) + \frac{n_{p0}}{p_{p0}}\left(e^{q\phi(x)/kT} - \frac{q}{kT}\phi(x) - 1\right)\right]^{1/2} \tag{2.13}$$

である。L_Dはデバイ長(debye length)と呼ばれており、不純物イオンの電荷のクーロン力が周りのキャリアによって静電遮蔽される距離とされている。

以上より、表面の全電荷密度 Q_Sは、ガウスの定理と式(2.11)によって、

$$Q_S = -K\varepsilon_0 E(0) = \mp\frac{\sqrt{2}K\varepsilon_0 kT}{qL_D}F(\frac{q}{kT}\phi_S,\frac{n_{p0}}{p_{p0}}) \tag{2.14}$$

と表せる。図 2.3 は、式(2.14)を用いて表面ポテンシャルを変化させたときの全電荷密度を図示した例である[10]。

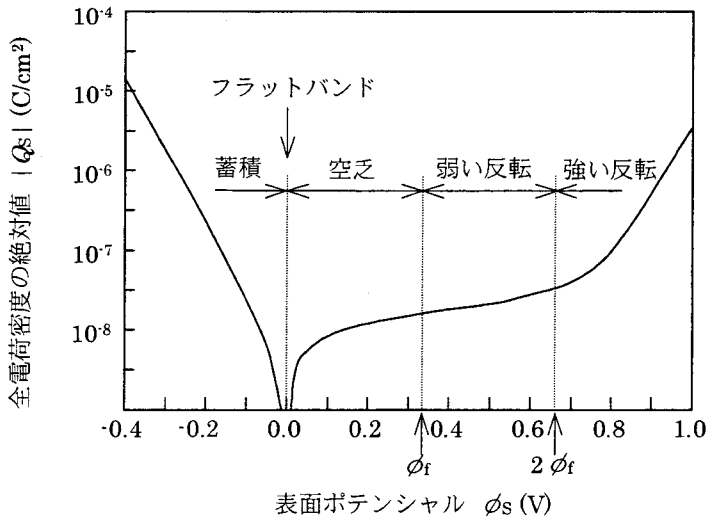


図 2.3　p 型半導体を用いた MOS 構造における表面電荷 Q_Sの表面ポテンシャル依存性

$\phi_S<0$ の時は、表面には正孔が蓄積している状態である。このとき、式(2.14)は、次のように近似される。

$$Q_S \propto \exp\left[(q/2kT)|\phi_s|\right] \tag{2.15}$$

$\phi_S=0$ の時は $Q_S=0$ となる。このときは半導体のエネルギーバンドは表面において曲がりがないため、この状態はフラットバンド条件（flat-band condition）と呼ばれている。

$0<\phi_S<\phi_f$においては、空乏状態であり、式(2.14)は次のように近似される。

$$Q_S = Q_B = -\sqrt{2K\varepsilon_0 qN_A\phi_S} \tag{2.16}$$

$\phi_S=\phi_f$においては式(2.4)～式(2.7)より明らかなように、表面での正孔密度と電子密度が真性キャリア密度 n_i に等しく、真性半導体の性質を示す。そして、$\phi_f<\phi_S$においては、反転層が形成されはじめ、半導体表面は n 型半導体の性質を示し始める。特に、$\phi_S=2\phi_f$となる時、表面の電子密度は熱平衡状態の正孔密度に達し、完全な反転状態となる。ϕ_Sが$2\phi_f$に達するまでを「弱い反転（weak inversion)」、$2\phi_f<\phi_S$の状態を「強い反転（strong inversion)」と呼ぶ。弱い反転の状態においても、Q_Sは式(2.16)で概ね近似することが可能である。強い反転の状態では、Q_Sは次のように近似される。

$$Q_S \propto -\exp[(q/2kT)\phi_s] \tag{2.17}$$

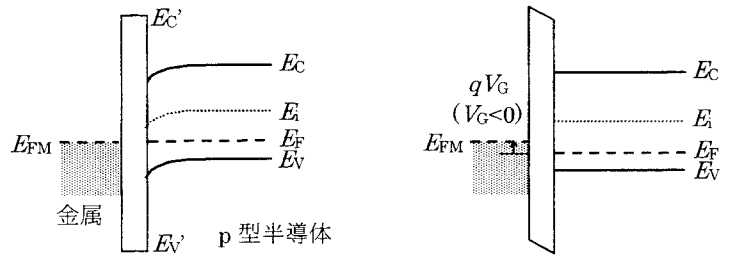
強い反転が起こるゲート電圧を反転しきい値電圧 V_{th} と呼ぶ。ゲート電圧と表面ポテンシャルの関係は次式で表される。なお、C_0は酸化膜の容量である。

$$V_G = \phi_S - \frac{Q_S}{C_0} \tag{2.18}$$

式(2.18)と式(2.16)より、強い反転が起こる$\phi_S=2\phi_f$の時の電圧 V_{th}は、次のように表せる。

$$V_{th} = 2\phi_f + \frac{\sqrt{2K\varepsilon_0 qN_A(2\phi_f)}}{C_0} \tag{2.19}$$

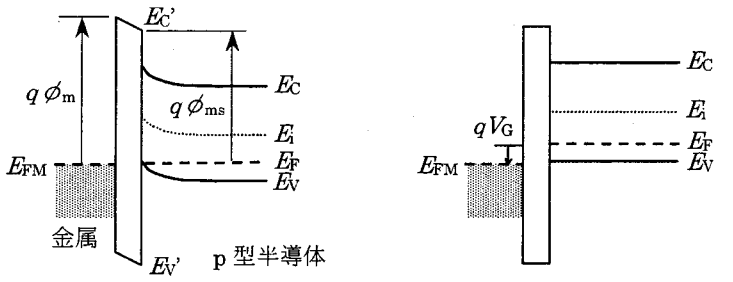
なお、理想 MOS 構造の場合は $V_G=0$ においてフラットバンド状態となったが、実際の MOS 構造においては、酸化膜中や酸化膜と半導体の界面の電荷の存在や、金属と半導体の仕事関数が異なることによって、一般に $V_G=0$ においてはフラットバンド状態とはならない。



(a) $V_G=0$ のとき　　(b) $V_G=V_{FB}(<0)$のとき
（フラットバンド状態）

図 2.4 酸化膜中もしくは酸化膜と半導体の界面に存在する正電荷によるエネルギーバンドの曲がり

図 2.4 に、酸化膜中もしくは酸化膜と半導体の界面に存在する正電荷によるエネルギーバンドの曲がりとフラットバンド状態を、図 2.5 に、金属と半導体の仕事関数差によるエネルギーバンドの曲がりとフラットバンド状態を、それぞれ示す。ϕ_m は金属の仕事関数、ϕ_{ms} は半導体の仕事関数である。いずれの場合も $V_G=0$ においては半導体表面でエネルギーバンドが曲がっており、適当なゲート電圧（$V_G=V_{FB}$）においてフラットバンド状態になる。こ



(a) V_G=0 のとき　　(b) V_G=V_{FB} (=ϕ_m-ϕ_{ms})のとき (フラットバンド状態)

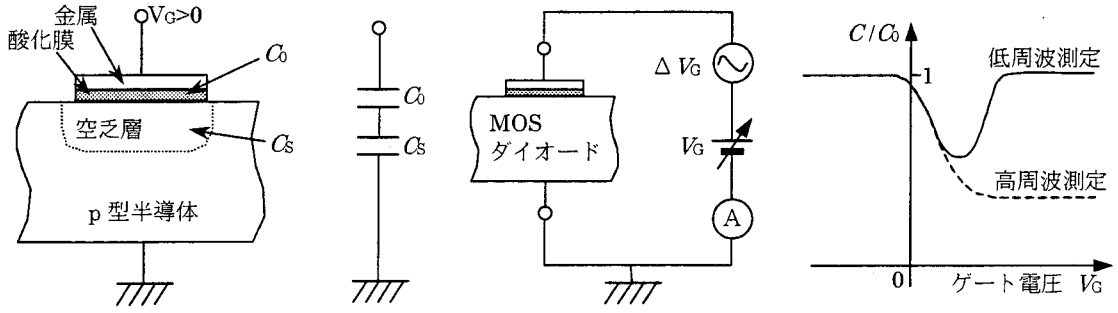
図 2.5 金属と半導体の仕事関数差によるエネルギーバンドの曲がり

の時のゲート電圧をフラットバンド電圧と呼ぶ。従って、実際の MOS 構造における反転しきい値電圧は、フラットバンド電圧を補償した次式で与えられる。

$$V_{th} = 2\phi_f + V_{FB} + \frac{\sqrt{2K\varepsilon_0 qN_A(2\phi_f)}}{C_0} \tag{2.20}$$

2.2.3　MOS C-V 特性

MOS ダイオードの容量 C のゲート電圧 V_G 依存性、すなわち C-V (Capacitance-Voltage) 特性を測定することによって、MOS 構造の評価を行うことができる。本研究においても第 6 章において、加工面の評価として MOS ダイオードを作製し、C-V 特性を測定している。



(a) MOS ダイオードの容量　(b) 等価回路　(c) 測定回路　(d) C-V 曲線の例

図 2.6　MOS ダイオードの C-V 測定

図 2.6(a)のように酸化膜による容量を C_0、空乏層による容量を C_S とすると、これらの容量は(b)のように直列回路とみなすことができるため、合成容量を C とすると、

$$\frac{1}{C} = \frac{1}{C_0} + \frac{1}{C_S} \tag{2.21}$$

と表すことができる。ここで、C_0 は、酸化膜の比誘電率 K_0 と厚さ t_d を用いて、

$$C_0 = \frac{K_0 \varepsilon_0}{t_d} \tag{2.22}$$

と求めることができ、C_Sに関しては式(2.14)から次のように求めることができる。

$$C_S = \frac{dQ}{d\phi} = \frac{K\varepsilon_0}{\sqrt{2}L_D} \cdot \frac{(1-e^{-(q/kT)\phi_S}) + (n_{p0}/p_{p0})(e^{(q/kT)\phi_S} - 1)}{F[(q/kT)\phi_S, n_{p0}/p_{p0}]} \tag{2.23}$$

図 2.6(c)のような測定回路を用いて、各 V_Gにおいて、交流電圧ΔV_Gを変化させた際の電流の変化を測定し、微分容量として Cを測定する。図 2.6(d)に、式(2.22)と式(2.23)を式(2.21)に代入して C/C_0を求め、C-V 曲線をプロットした結果（実線）を示す。ゲート電圧が負の場合、半導体表面は蓄積状態となり、測定される容量 Cは酸化膜による容量 C_0のみとなる。正のゲート電圧を印加していくと、直列の空乏層容量が形成されはじめ、合成容量 Cは減少に向かうが、反転層の形成とともに再び酸化膜容量 C_0に向かう。なお、この現象は微分容量を測定するためのΔV_Gの周波数が比較的低周波数（～10Hz）のときに見られる。測定周波数が 100Hz 以上になると反転層の形成が妨げられ始め、1MHz 程度の高周波領域においては、反転層の影響はみられなくなる。これは、反転層の電荷の変化が測定周波数に追随できないために生じる。

次に、MOS 構造において、C-V 特性に変化をもたらす種々の要因について述べる。

①可動電荷（mobile ion charge）

酸化膜中に存在する Na^+や K^+等のアルカリ金属イオンは電界によって酸化膜中を移動する。このような電荷を可動電荷と呼ぶ。可動電荷が酸化膜中のゲート電極近くに存在した場合は、ゲートの電圧を制御して測定を行う限り、C-V 曲線に変化は見られない。しかし、可動電荷が半導体表面付近に存在した場合、ゲートに正の電圧が余分に加えられたようになり、C-V 曲線はゲート電圧のマイナス側にシフトする。可動電荷が存在する場合の C-V 曲線を図 2.7(a)に示す。測定開始時、V_Gは負の値であるため、可動電荷はゲート電極側に引き寄せられ、その結果、正常な C-V 曲線と変わりない。しかし、V_Gが正のある電圧を超えると、可動電荷はゲート電位により半導体表面側へ移動する。その結果、V_Gを減少させながら測った際には、曲線はマイナス側にシフトする結果になり、C-V 曲線にはヒステリシスが発生する。

②酸化膜トラップ電荷（oxide trapped charge）

酸化膜中に生じた膜構造の欠陥は、MOS ダイオードに高電界が印加された場合など、半導体から電子が酸化膜に注入されたとき、これらの電子の捕獲準位として働く。電子を捕獲するとこのトラップは負電荷をもつようになり、ゲートに負の電圧が余分に加えられたようになる。酸化膜トラップ電荷が存在する場合の C-V 曲線を図 2.7(b)に示す。V_Gが正の高電圧になる前は、電子は捕獲されること無く、正常な C-V 曲線と変わりない。しかし、V_Gが正のある電圧を超えると、電子が酸化膜に注入されて酸化膜トラップ電荷に捕獲され、

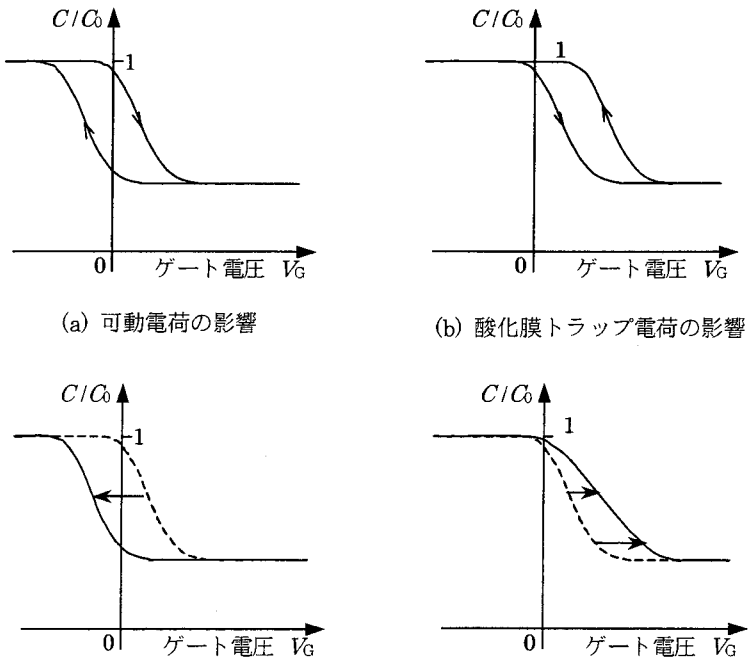
曲線は正の方向にシフトする結果になり、C-V 曲線にはヒステリシスが発生する。

③固定酸化膜電荷（fixed oxide charge）

表面酸化の際に、酸化されずに酸化膜中に残ったシリコン原子がイオン化したものと考えられており、正の電荷をもつ。外部電界によって膜中を移動することは無く、C-V 曲線は図 2.7(c)に示すように、正常な曲線に比べ、負の方向にシフトする。なお、図 2.4 のように、酸化膜中のシリコン正イオンに限定することなく、酸化膜中や酸化膜と半導体の界面に電荷が存在した場合や、図 2.5 のように、金属と半導体の仕事関数が異なる場合においても、C-V曲線は正方向もしくは負の方向に平行移動する。

④界面トラップ電荷（interface trapped charge）

半導体表面のバンドギャップ内に存在する界面準位である。例えば、電子がその準位を満たすと、ゲートに負の電圧が余分に加えられたようになり、C-V 曲線は正の方向にシフトする。しかし、多くのレベルの界面準位が存在する場合、ゲート電圧に応じてどのレベルまでの準位に電子が満たされるかが変化するため、ゲート電圧に応じて C-V 曲線のシフト量が変化する。図 2.7(d)に界面トラップ電荷が存在する場合の C-V 曲線を示すが、ゲート電圧 V_G が小さいときにはシフト量が小さく、V_G が大きいときにはシフト量が大きくなる。



(a) 可動電荷の影響　(b) 酸化膜トラップ電荷の影響

(c) 固定酸化膜電荷の影響　(d)界面トラップ電荷の影響

図 2.7 各種電荷が存在する場合の C-V 曲線

2.2.4　MOSFET の動作原理

図 2.8 に n チャネルのエンハンスメント型 MOSFET の構造およびその動作の概略を示す。n チャネルであることから、このトランジスタを通常、nMOSFET と呼ぶ。なお、MOSFET には図 2.8 に示したものの他に、p チャネルのものとデプレッション型のものが存在するが、違いについては後述する。

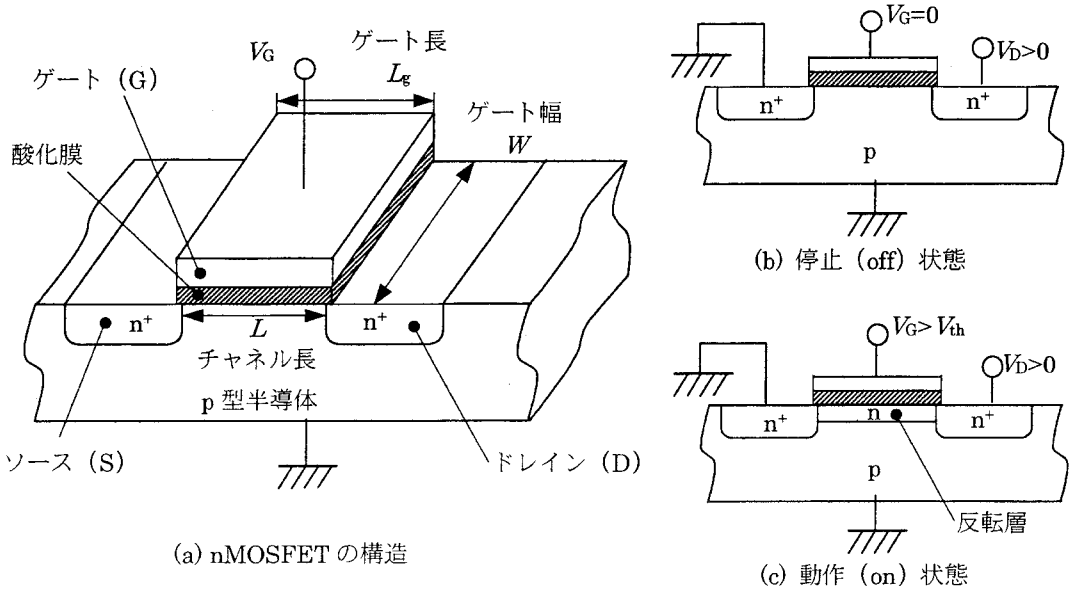


図 2.8 MOSFET（n チャネル MOSFET）

nMOSFET は図 2.8(a)に示すように、p 型半導体上に MOS 構造を形成し、その左右に n+の領域を形成した構造であり、MOS 構造の金属電極をゲート (gate)、酸化膜をゲート酸化膜、左右の n+領域をソース (source)、ドレイン (drain) と呼ぶ。また、図のように、ゲート長 L_g、ゲート幅 W、チャネル長 L を定義する。通常、図 2.8(b)のように、基板とソースをアースに落とし、ドレインにドレイン電圧 V_D を印加して使用する。V_D とソース・ドレイン間電流 I_D の関係の模式図を図 2.9 に示す。ゲートに電圧を印加しない状態では、ゲート酸化膜直下の p 型シリコンとドレインは p-n 接合の逆バイアス状態となるため、電流が流れない (遮断領域)。図 2.8(c)のように、ゲートに V_{th} 以上の正の電圧を印加すると、ゲート酸化膜直下の領域には n 型の反転層であるチャネル (channel) が形成され、ソース－ドレイン間にゲート電圧に応じた電流 (以後、ドレイン電流と呼ぶ) が流れ、on 状態となる。on 状態には、ドレイン電圧にほぼ比例してドレイン電流が増加する線形領域 (linear region) と、ドレイン電流がゲート電圧によって決まり、ドレイン電圧の値には依存しない飽和領域 (saturation region) がある。飽和領域は、ピンチオフ (pinch-off) 状態とも呼ばれ、ドレイン接合の空乏層がチャネル部に張り出すために、ドレイン端の反転層が消滅することで生じる。

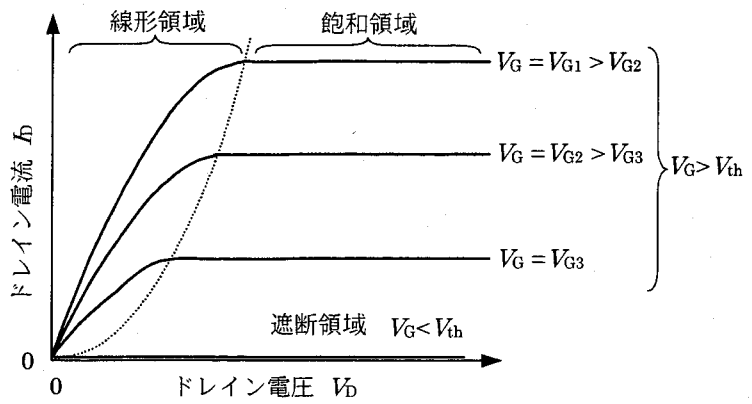


図 2.9 MOSFET の I_D-V_D 特性

なお、チャネルが p 型のエンハンスメント型 MOSFET においては、基板が n 型、ソース・ドレインが p^+領域となり、通常は off 状態であるが、$V_G < V_{th}$ において p 型のチャネルが形成されて on 状態になる。エンハンスメント型の MOSFET は、反転層が形成されなければキャリアが流れないため、ノーマリーオフ（normally-off）型とも呼ばれている。一方で、デプレッション型と呼ばれる MOSFET が存在するが、こちらは、ゲート酸化膜直下のシリコン層に予めチャネルが形成されており、ノーマリーオン（normally-on）型とも呼ばれている。ゲート電圧を印加することでチャネル部を空乏化してソースードレイン電流を遮断する。

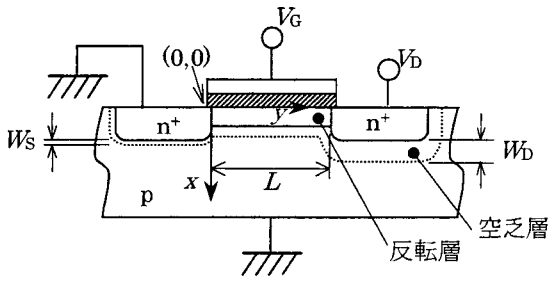


図 2.10 nMOSFET 解析用モデル

次に、nMOSFET の動作について、図 2.10 のモデルを用いて定量的に解析する。図のようにチャネル表面のソース端を原点とし、ドレイン方向に y 軸、半導体基板内部の方向に x 軸をとる。ドレインー基板間の空乏層厚さを W_D、ソースー基板間の空乏層厚さを W_S とする。ここでは、チャネル長がこれらの空乏層の厚さの和より十分長い、すなわち、

$$L >> W_S + W_D \tag{2.24}$$

を満たす場合（長チャネル MOS トランジスタ）を検討する。また、MOS 構造は理想 MOS とする。全電荷 Q_S は反転層が生じた状態では、空乏層による電荷 Q_B と反転層による電荷 Q_I の和であるから、次のように表せる。

$$Q_S = Q_I + Q_B \tag{2.25}$$

一方、Q_S とゲート電圧 V_G の間には、

$$Q_S = C_0(\phi_S - V_G) \tag{2.26}$$

の関係がある。また、ドレイン付近の空乏層による電荷 Q_Bは、反転層が形成されている状態では、

$$Q_B = -\sqrt{2K\varepsilon_0 qN_A(V_D + 2\phi_f)} \tag{2.27}$$

で表せる。従って Q_Iは、次のようになる。

$$Q_I = -(V_G - \phi_S)C_0 + \sqrt{2K\varepsilon_0 qN_A(V_D + 2\phi_f)} \tag{2.28}$$

チャネルの任意の場所におけるドレイン電圧の成分を $V(y)$とおくと、反転状態でのチャネルの任意の位置における表面ポテンシャル $\phi_S(y)$は、

$$\phi_S(y) = 2\phi_f + V(y) \tag{2.29}$$

となり、チャネルの任意の場所における電荷 $Q_I(y)$は、

$$Q_I(y) = -\{V_G - V(y) - 2\phi_f\}C_0 + \sqrt{2K\varepsilon_0 qN_A(V(y) + 2\phi_f)} \tag{2.30}$$

と表せる。ここで、空乏層の幅がドレイン電圧の影響を受けないと仮定する（グラジュアル・チャネル近似[11]）と、

$$Q_I(y) = -\left\{V_G - V(y) - 2\phi_f - \frac{\sqrt{2K\varepsilon_0 qN_A(2\phi_f)}}{C_0}\right\}C_0 \tag{2.31}$$

となる。式(2.19)を代入すると、次のような簡単な式で表せる。

$$Q_I(y) = -(V_G - V(y) - V_{th})C_0 \tag{2.32}$$

ドレイン電流を I_Dとすると、チャネル方向の微小領域 dyにおける電圧降下 dVは、

$$dV = I_D dR = -\frac{I_D}{W\mu_n Q_I(y)}dy \tag{2.33}$$

で表せる。ただし、μ_nはチャネルを流れる電子の移動度である。式(2.33)に式(2.32)を代入し、チャネルのソース端からドレイン端まで積分すると、結果として、

$$I_D = \frac{W\mu_n C_0}{L}\left\{(V_G - V_{th})V_D - \frac{1}{2}V_D{}^2\right\} \tag{2.34}$$

と表せる。この式はグラジュアル・チャネル近似の式と呼ばれ、線形領域におけるゲート電圧、ドレイン電圧、ドレイン電流の関係を簡潔に表す式として用いられている。なお、飽和領域に移行するピンチオフ電圧 V_Pは次式で表され、

$$V_P = V_G - V_{th} \tag{2.35}$$

飽和領域の I_{Dsat}は次のように表せる。

$$I_{Dsat} \approx \frac{W\mu_n C_0}{L}\frac{(V_G - V_{th})^2}{2} \tag{2.36}$$

2.2.5　サブスレッショルド特性

しきい値電圧近傍またはそれ以下の電圧をゲート電極に印加したときの、弱い反転状態におけるドレイン電流とゲート電圧の関係をサブスレッショルド特性と呼ぶ。この特性は素子の高速・低消費電力のスイッチング動作を検討する上で極めて重要な特性である。式(2.34)は、既に反転層が形成されたことを仮定した解析であるため、ゲート電圧 V_G が V_{th} 近傍またはそれ以下の状態では精度が悪く、サブスレッショルド特性を表す事が出来ない。ここでは、長チャネル MOS トランジスタのサブスレッショルド特性を求める。

弱い反転状態においては、キャリア数が少ないため、ドリフトによる電流を無視し、拡散による電流のみを扱う。拡散電流はバイポーラトランジスタのコレクタ電流と同様の扱いができる[12]ため、次のように表せる。

$$I_D = -AqD_n \frac{dn}{dy} = AqD_n \frac{n(y=0) - n(y=L)}{L} \tag{2.37}$$

ここで、A は電流の流れる断面積である。また n(y=0)、n(y=L)はそれぞれ、チャネルのソース端およびドレイン端における電子密度で、それぞれ次のように表せる。

$$n(y=0) = n_i e^{-q(\phi_f + V_S - \phi_S)/kT} \tag{2.38}$$

$$n(y=L) = n_i e^{-q(\phi_f + V_D - \phi_S)/kT} \tag{2.39}$$

ただし、V_S と V_D は基板を基準としたときのソースおよびドレイン電圧である。ϕ_S が kT/q だけ減少すると電子密度は e^1 に減少することから、ϕ_S が kT/q だけ減少する深さを実効的な反転層の厚さと定義できる。そのため、表面電界 E_S とすると実効的な反転層の厚さは kT/qE_S と表すことができるため、電流の流れる断面積 A は、

$$A = W \cdot \frac{kT}{q} \cdot \frac{K\varepsilon_0}{\sqrt{2K\varepsilon_0 qN_A\phi_S}} \tag{2.40}$$

と表すことができ、式(2.37)に式(2.38)～式(2.40)を代入すると、

$$\begin{aligned} I_D &= W \cdot \frac{kT}{q} \cdot \frac{K\varepsilon_0}{\sqrt{2K\varepsilon_0 qN_A\phi_S}} \cdot \frac{qD_n n_i}{L} \left\{ e^{-q(\phi_f + V_S - \phi_S)/kT} - e^{-q(\phi_f + V_D - \phi_S)/kT} \right\} \\ &= WL_i \frac{qD_n n_i}{L} \cdot \frac{e^{-q(1.5\phi_f + V_S - \phi_S)/kT}}{\sqrt{(q/kT)\phi_S}} \left[1 - e^{-q(V_D - V_S)/kT} \right] \end{aligned} \tag{2.41}$$

と表せる。ただし、L_i は真性デバイ長で、次のように定義される。

$$L_i = \sqrt{\frac{kTK\varepsilon_0}{2q^2 n_i}} \tag{2.42}$$

一方、式(2.41)中の表面ポテンシャル ϕ_S とゲート電圧 V_G との関係は次のようになる。

$$V_G = V_{FB} + \phi_S - \frac{Q_B}{C_0} = V_{FB} + \phi_S + \frac{\sqrt{2K\varepsilon_0 qN_A\phi_S}}{C_0} \tag{2.43}$$

ここで、電圧の基準をソース電極にとりなおすと、$V_S = V_{BS}$、$V_D = V_{DS} + V_{BS}$、$V_G = V_{GS} + V_{BS}$、$\phi_S = \psi_S + V_{BS}$ であるから、式(2.41)、式(2.43)はそれぞれ次のようになる。

$$I_D = WL_i \frac{qD_n n_i}{L} \cdot \frac{e^{-q(1.5\phi_f - \psi_S)/kT}}{\sqrt{(q/kT)\phi_S}} \left[1 - e^{-\frac{q}{kT}V_{DS}} \right] \tag{2.44}$$

$$V_{GS} = V_{FB} + \psi_S + \frac{\sqrt{2K\varepsilon_0 qN_A(\psi_S + V_{BS})}}{C_0} \tag{2.45}$$

式(2.45)をサブスレッショルド領域の中間電位である ψ_S=1.5 ϕ_f のまわりで級数展開し、次のように線形近似する。

$$V_{GS} = \overline{V}_{GS} + \overline{m}(\psi_S - 1.5\phi_f) \tag{2.46}$$

ここで、$\overline{V}_{GS}$ と $\overline{m}$ は ψ_S=1.5 ϕ_f のときの V_{GS} と m であり、m は式(2.45)を ψ_S で微分して次式のように与えられる。

$$m = \frac{dV_{GS}}{d\psi_S} = 1 + \frac{C_D}{C_0} \tag{2.47}$$

空乏層容量 C_D は、

$$C_D = -\frac{dQ_B}{d\psi_S} = \sqrt{\frac{K\varepsilon_0 qN_A}{2(\psi_S + V_{BS})}} = \frac{1}{2}\frac{K\varepsilon_0}{L_i} \frac{e^{\frac{q\phi_f}{2kT}}}{\sqrt{\frac{q}{kT}(\psi_S + V_{BS})}} \tag{2.48}$$

と表される。式(2.46)～(2.48)を式(2.44)に代入することで、次のようにサブスレッショルド電流のゲート電圧依存性が表される。

$$I_D = \frac{W}{L} \cdot \mu_n \cdot C_D \cdot \left(\frac{kT}{q}\right)^2 \cdot \exp\left[\frac{q}{\overline{m}kT}(V_{GS} - \overline{V}_{GS}) - \frac{q\phi_f}{2kT}\right] \cdot \left[1 - \exp(-\frac{q}{kT}V_{DS})\right] \tag{2.49}$$

式(2.49)より、サブスレッショルド領域においては、ゲート電圧の増加に対して指数関数的にドレイン電流が増加することが分かる。ここで、サブスレッショルド特性を定量的に示す値としてサブスレッショルド係数（subthreshold voltage swing）S を次のように定義する。

$$S = \frac{dV_{GS}}{d\log I_D} \approx \ln 10 \cdot \frac{kT}{q} \cdot \overline{m} = \ln 10 \cdot \frac{kT}{q} \cdot \left(1 + \frac{C_D}{C_0}\right) \tag{2.50}$$

サブスレッショルド係数 S はドレイン電流が一桁増加するのに必要なゲート電圧を意味し、単位は mV/dec が用いられる。S の値は小さいほど、より少ない電圧でドレイン電流が増加するため、良好なスイッチング特性が得られる。式(2.50)より、室温での S 値の限界値は、kT/q=0.026 V、C_D<<C_0 より、およそ 60 mV/dec であるが、一般的なシリコンの nMOSFET においては、ゲート酸化膜容量の数分の 1 程度の大きさの空乏層容量が存在するため、S 値として 80～100mV/dec 程度である。

2.2.6　MOSFETの消費電力および動作速度

MOSトランジスタの消費電力 P とゲート遅延時間 τ は次のように表される[13)14)]。

$$P = p_t \cdot C_{load} \cdot V_{DD}{}^2 \cdot f + I_{leak} \cdot V_{DD} \tag{2.51}$$

$$\tau = C_{load} \cdot \frac{V_{DD}}{I_{Dsat}} \propto C_{load} \cdot \frac{V_{DD}}{\frac{W\mu_n C_0}{L}(V_{DD} - V_{th})^{\alpha}} \tag{2.52}$$

ここで、p_t はスイッチング頻度、C_{load} は負荷容量、V_{DD} は電源電圧、f は動作周波数、I_{leak} はoff時のリーク電流、V_{th} はしきい値電圧、W はゲート幅、L はゲート長、C_0 はゲート酸化膜容量、μ_n は移動度を表す。α は1～2の値をとるが、概ね1.3程度となる。C_{load} は、メモリ等の容量の他にドレインー基板間の空乏層容量（接合容量）や配線容量等の寄生容量が加算される。また、I_{leak} は次のように表せる。

$$I_{leak} \propto \exp\left(-\frac{V_{th}}{S/\ln 10}\right) \tag{2.53}$$

S は式(2.50)で表されるサブスレッショルド係数である。式(2.51)の第一項はトランジスタのスイッチングが行われる際に消費する電力であり、電源電圧 V_{DD} の2乗に比例し、負荷容量 C_{load} に比例して増大する。第二項はトランジスタがoffの状態に消費する電力であり、電源電圧 V_{DD} と式(2.53)で表されるリーク電流 I_{leak} に比例して増加する。素子の消費電力を減らすためには、電源電圧 V_{DD} を下げることが最も効果的であるが、式(2.52)より、遅延時間 τ が増加することになり、素子の速度が低下する。電源電圧を低下する際に、しきい値電圧 V_{th} も低下することで遅延時間の増加を抑えられるが、しきい値電圧 V_{th} を低下すると式(2.53)よりリーク電流 I_{leak} が増加する問題が生じる。低消費電力化と高速動作を同時に達成するためには、負荷容量 C_{load} を低減するか、サブスレッショルド係数 S を低くすることが有効といえる。

2.2.7　微細化によるMOSFETの高性能化

集積回路技術が実用化されて以来、素子の高性能化（高速化、低消費電力化、高集積化）は「素子を小さくする」ことによって達成されてきた。素子の微細化に関する指針は、MOSデバイスの比例縮小則（スケーリング則）として1974年にIBMのR. H. Dennardらによって発表[15)]された概念を基本としている。これは、MOSトランジスタ等の集積回路の物理的な寸法を一定の係数（スケーリングファクタ）κ（κ>1）に反比例して縮小するもので、ゲート長、ゲート幅、ゲート酸化膜、ソースやドレインの深さ等を、全て $1/\kappa$ に比例して縮小し、電源電圧も $1/\kappa$ で減少させるものである。その結果、電界強度は一定に保たれ、ゲート酸化膜容量や電流は $1/\kappa$ となり、トランジスタ単体での遅延時間は $1/\kappa$、消費電力は $1/\kappa^3$ となる。しかし、集積回路としてみた場合の消費電力は、1チップの面積がほぼ κ に比例して増加していたり、速度重視のため電源電圧の低下がスケーリング則通りに行わ

れなかったり、あるいは配線容量や配線抵抗の影響等もあり、スケーリングと共に増加の傾向にある。

なお、スケーリングの世代を示す値として、一般に最小寸法が用いられている。(現在は、DRAM の配線ピッチの半分と定義されている。) スケーリングのスケジュールは、後で述べる半導体技術ロードマップによって指針が与えられており、現在は 0.13μm プロセスの製造ラインが稼動している。

表 2.1 電界強度一定のスケーリング則 [16]

パラメータ	縮小率
物理的寸法（拡散深さ、空乏層厚さも含む）	$1/\kappa$
不純物濃度	κ
電圧	$1/\kappa$
電界強度	1
電流	$1/\kappa$
面積	$1/\kappa^2$
ゲート酸化膜容量	$1/\kappa$
MOS トランジスタの遅延時間	$1/\kappa$
MOS トランジスタの消費電力	$1/\kappa^3$

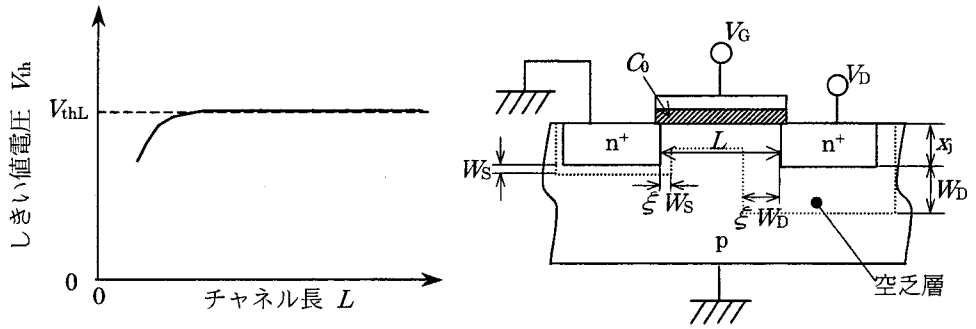
2.2.8　短チャネル効果

これまでは、式(2.24)に示すような、ゲート電圧のみによってチャネル幅を制御できる、長チャネル MOS トランジスタについて述べてきた。しかし、素子の微細化に伴って、式(2.24)が満たされなくなり、長チャネルモデルでは説明できない現象が見られるようになった。前節のスケーリング則に従って素子の微細化を進める限り、全ての物理的寸法は比例縮小されるため、式(2.24)は満たされ続けるはずであった。しかし、前節でも述べたように、電源電圧の低下は性能優先のためスケーリング則通りに行われておらず、ソースやドレインの空乏層厚さがスケーリング則通りに縮小されていない。その結果、ゲートによる垂直方向の電界に加えて、ドレインによる水平方向の電界もチャネルの形成に関わるようになった。そのため、ゲート電圧によるチャネル形成の制御性が低下し、サブスレッショルド特性の劣化やしきい値電圧の低下がもたらされる (図 2.11(a))。このような現象を短チャネル効果 (short channel effect) という。図 2.11(b)に短チャネル MOS トランジスタの解析モデル [17]を示す。長チャネル MOS トランジスタのしきい値を V_{thL}、短チャネル MOS トランジスタのしきい値を V_{thS} とすると、解析結果よりこれらの関係を示すと、

$$V_{thS} = V_{thL} - \frac{\xi}{C_0 L}(A_0 + A_1 x_j + A_2 x_j^{\,2}) \tag{2.54}$$

となる。ここで、ξは空乏層のチャネル側への広がりの程度を表す係数、x_jはソース・ドレインの接合層の深さ、A_0、A_1、A_2 は係数である。式(2.54)より、短チャネル効果を抑制するためには、x_j と ξを小さくし、C_0 を大きくすればよいことが分かる。すなわち、接合層を浅くすること、横方向に空乏層が広がりにくい LDD (Lightly Doped Drain) 構造 [18]等

を用いること、ゲート酸化膜容量を増加すること、等が有効である。



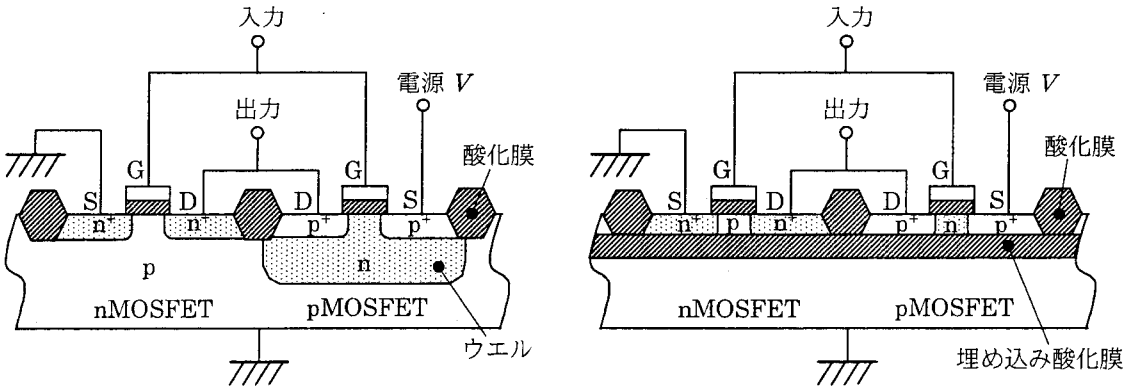
(a) 短チャネル効果　　(b) 短チャネルMOSFET解析モデル

図 2.11 短チャネル MOSFET と短チャネル効果

2.3 SOI MOSFET の動作原理および特徴

2.3.1 SOI MOSFET の構造と動作原理

図 2.12(a)に通常のバルクウエハを用いた CMOS(complementary MOS)の断面構造を、図 2.12(b)に SOI ウエハを用いた CMOS の断面構造を示す。CMOS とは nMOSFET と pMOSFET が組になった素子で、両トランジスタのゲートをつないで入力端子、ドレインをつないで出力端子端子としたものである。nMOSFET のソースをアースとし、pMOSFET のソースに電圧 Vを印加することで、入力が 0 の時は Vを出力し、入力が Vの時は 0 を出力するインバータ（inverter）として機能し、集積回路における基本素子として広く用いられている。



(a) 通常のシリコンウエハを用いた CMOS　　(b) SOI ウエハを用いた CMOS

図 2.12 通常のシリコンウエハおよび SOI ウエハ上の CMOS 構造

構造上の特徴を述べる。SOI MOSFET において、ゲート酸化膜、ソース、ドレイン、埋め込み酸化膜で挟まれた領域をボディ部と呼ぶ。SOI MOSFET においては、ソースおよび、ドレイン、ボディ部が埋め込み酸化膜層によって基板と完全に絶縁されている。また、隣

り合う素子間も酸化膜によって完全に絶縁されている。一方、通常のバルクウエハを用いた MOSFET においては、ソース、ドレインは p-n 接合によって基板とつながっており、完全には絶縁されていない。また、異なるキャリアタイプの MOS トランジスタをすぐ隣に配置するため、基板とは異なる不純物を添加した領域が形成されている。この領域はウエル（well）と呼ばれている。隣り合う素子間は、半導体表面付近では酸化膜によって絶縁分離されているが、どちらの素子も基板とは p-n 接合でつながっているため、素子間の完全な絶縁は行われない。

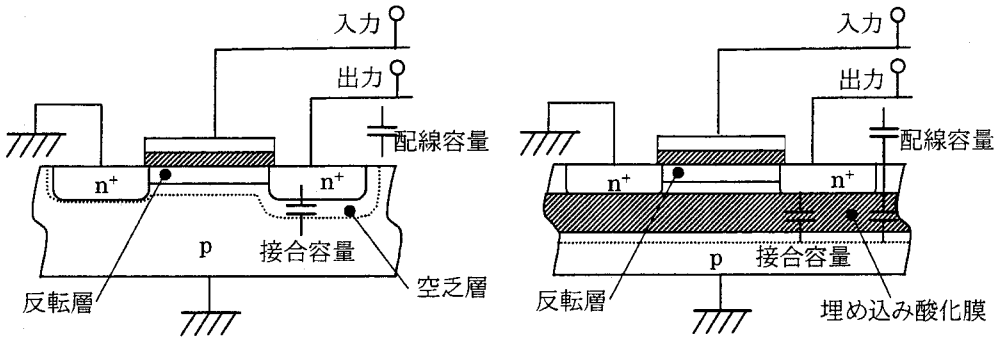
SOI MOSFET において、ボディ部と酸化膜との界面には空乏層が存在するが、ボディ部全てが空乏化しているデバイスを完全空乏（Fully Depleted: FD）型、部分的に空乏化しているデバイスを部分空乏（Partially Depleted: PD）型と呼ぶ。

SOI ウエハ上に形成された MOS トランジスタも、動作原理そのものはバルクウエハに形成されたものと変わりは無く、ゲート電圧を制御してゲート直下の反転層厚さを制御し、ソースードレイン間の電流を制御する。ただし、ボディ部が基板と絶縁されており、電気的に浮いている構造になっている点に注意する必要がある。特に PD 型においては、ボディ内を電荷が移動できるため、何らかの原因でボディ内に電荷が発生した場合、ボディ全体のポテンシャルが上下する結果になる。そのため、PD 型ではボディ部から電極を引き出し、ボディ部のポテンシャルを固定する構造が用いられることがある。

2.3.2　SOI MOSFET の特徴 [14)]

①寄生容量の減少

2.2.6 節でも述べたように、MOS トランジスタのスイッチング時の負荷容量には、ドレイン接合容量や配線容量等の寄生容量が含まれる。ドレイン接合容量とは、図 2.13(a)に示すように、ドレインと基板の間の pn 接合に生じる空乏層の容量である。SOI MOSFET では、ドレインは埋め込み酸化膜に接しているため、図 2.13(b)に示すように、接合容量は埋め込み酸化膜の容量と考えられる。通常、埋め込み酸化膜は 100 nm～400 nm 程度と厚いため、その容量は小さく、SOI MOSFET 構造にすることによって接合容量は約 10 分の 1 程度に減少するとされている。一方、配線容量に関しても、図 2.13(a)(b)を見比べれば分かるように、SOI MOSFET では埋め込み酸化膜の容量が直列に入るため、減少が期待できる。しかし、配線は基板表面よりかなり上方に形成されるため、接合容量ほどその差は顕著にはならない。SOI ウエハを用いることで寄生容量が減少し、負荷容量が減少する。負荷容量は式(2.51)と 式(2.52)において C_{load} で表されているが、負荷容量が減少すると、低消費電力化と高速化が同時に達成されるため、SOI MOSFET の大きな長所と考えられている。

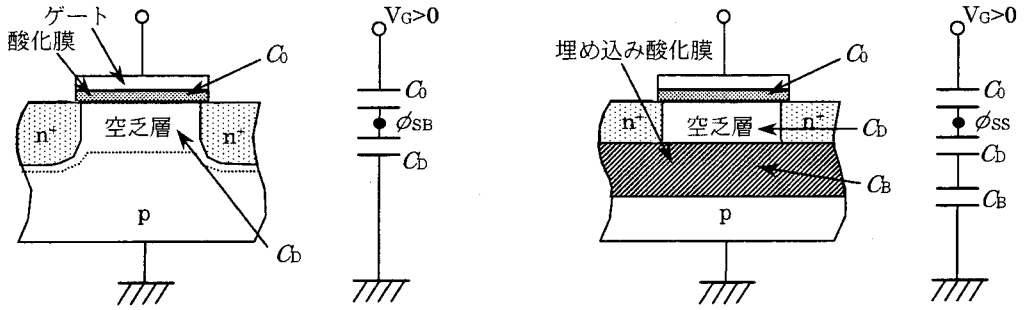


(a) nMOSFET における寄生容量　　(b) SOI nMOSFET における寄生容量

図 2.13 nMOSFET における寄生容量

②急峻なサブスレッショルド特性

FD 型の SOI MOSFET においては、しきい値以下のサブスレッショルド領域において、ドレイン電流のゲート電圧依存性が急峻になる特徴がある。すなわち、式(2.50)で表されるサブスレッショルド係数 S が限界値に近づく。



(a) nMOSFET のゲート－基板間容量　　(b) SOI FD nMOSFET のゲート－基板間容量

図 2.14 バルクシリコンウエハおよび SOI ウエハ上の nMOSFET のゲート－基板間容量

図 2.14 はサブスレッショルド領域におけるゲート－基板間の容量を示したものである。(a)はバルクウエハを用いた nMOSFET で、(b)は FD 型 nMOSFET の場合である。(b)の場合、空乏層が埋め込み酸化膜に達していることから、図のように C_D に直列に C_B が入ることになる。なお、PD 型 nMOSFET の場合は空乏層が埋め込み酸化膜に達していないため、バルクウエハを用いた nMOSFET と同様になる。式(2.50)と図 2.14 より、バルクシリコンを用いた際の S_B 値は、

$$S_B \approx \ln 10 \cdot \frac{kT}{q} \cdot \left(1 + \frac{C_D}{C_0}\right) \tag{2.55}$$

で表され、通常の nMOSFET においては、S_B はほぼ 80～100 mV/dec となる。

一方、SOI ウエハを用いた際の S_S 値は、

$$S_S \approx \ln 10 \cdot \frac{kT}{q} \cdot \left(1 + \frac{C_{SOI}}{C_0}\right) \tag{2.56}$$

で表される。ただし、

$$C_{SOI} = \frac{C_D C_B}{C_D + C_B} < C_D \tag{2.57}$$

である。ここで、埋め込み酸化膜の厚さはゲート酸化膜の厚さに比べて十分大きいため、$C_B << C_0$ となり、$C_{SOI} << C_0$ となる。その結果、チャネル表面ポテンシャルに対するゲート電圧の制御性が向上し、急峻なサブスレッショルド特性が得られることになる。式(2.56)においては括弧内がほぼ 1 となり、S_S として 300K における限界値の約 60 mV/dec が得られることになる。2.2.5 節で述べたように、S 値が向上することによって、リーク電流を増やすことなく、しきい値電圧を下げることが可能になり、素子の高速化・低消費電力化に極めて有効である。

③低接合リーク電流

図 2.12(a)と(b)を再度見比べると、バルクウエハを用いた MOSFET に比べ、SOI MOSFET では pn 接合面積が極端に小さい。多くの部分で、pn 接合の代わりに酸化膜が用いられており、pn 接合に比べてリーク電流を小さくすることが可能である。リーク電流が減少することで、式(2.51)より低消費電力化が可能になる。また、SOI 構造を DRAM（Dynamic Random Access Memory）に応用[19]すれば、一つのメモリの容量を小さくすることが可能になり、より高集積化が実現できる等の利点がある。

④完全な素子間分離

図 2.12(a)のように、通常のバルクウエハを用いた CMOS においては、隣り合う素子間の分離は p-n 接合によって行われている。従って、寄生的な pnp バイポーラトランジスタと npn バイポーラトランジスタ、pnpn サイリスタ等が形成される。これらの寄生バイポーラトランジスタやサイリスタによって、条件によっては急激に大電流が流れ、素子を破壊するに至る場合がある。このような現象をラッチアップ（latch up）という。通常、バイポーラトランジスタのベースは極めて薄いため、図 2.12(a)の構造が十分大きいものであれば、このような寄生バイポーラトランジスタが作動することは起こりにくい。しかし、素子の微細化と共に、この寄生バイポーラトランジスタのベースに相当する領域も極めて薄くなるため、素子の高集積化に伴って深刻な問題となる。そのため、ウエル底部の不純物濃度を高めたり、素子のレイアウトを工夫して素子間の距離を離す、などの様々な対策を施す必要がある。前節で述べた通り、SOI CMOS においては隣り合う MOS トランジスタを完全に絶縁分離する構造をとることができるため、ラッチアップを完全に防ぐことができる。このことは、今後の高集積化やプロセス簡略化傾向の中で、極めて大きな長所になると考えられる。

また、1 チップ上にデジタルデバイスとアナログデバイスを混在させるような複雑な集積回路においても、各素子を完全に分離できることから、寄生的なデバイスを懸念すること

なく、かつ、デバイス間の干渉（クロストーク）も発生しにくいため、柔軟な設計が可能になると考えられる。

⑤高ソフトエラー耐性

ソフトエラー（soft error）とはLSIを構成する材料中に含まれる放射性物質から発生するα線などの放射線や、宇宙からの中性子線などによって引き起こされるものである[20)21)]。このような放射線が集積回路中に入射すると、その軌跡に沿って電子ー正孔対が発生し、瞬時に電荷の道筋が形成される。その結果、メモリの容量に蓄えられていた電荷が消失したり、マイクロプロセッサの論理回路の誤動作が発生したりすると言われている。SOI ウエハを基板として用いると、デバイス層と基板の間にある埋め込み酸化膜層によって、この電荷の道筋が遮断されるため、ソフトエラー耐性に優れると考えられている。

2.3.3　SOIデバイスの実用例

SOI デバイスを応用した実用例として、MPU やメモリ、通信用 LSI 等の多くの LSI が1990 年代後半に試作され、バルクウエハを用いた MOS デバイスに対する優位性が実証されている[14)22)]。例えば、部分空乏型デバイスでは、0.35μm プロセスにおいて試作したSRAM（static random access memory）において、電源電圧 1V でバルクシリコンウエハ上のデバイスに比べ約 2 倍の速度で動作することや、通信用 LSI において、動作時の消費電力を 1/3 以下にできること等が実証されている[23)]。また、完全空乏型デバイスでは、同じく 0.35μm プロセスにおいて試作した携帯通信機器用 PLL（phase locked loop）において、低電圧（1.5V）で高速動作（1.2GHz）が実現されており[24)]、バルクウエハを用いた時に比べ、消費電力は 1/9 に低減されている。

そして 2001 年には、SOI ウエハを用いた LSI を搭載した電化製品が発売された。0.35μmプロセスを用いた完全空乏型の時計用マイコンを搭載した腕時計が2001年から発売されており、従来製品に比べ、約 1/3 以下の低消費電力化が実現されている[25)]。また、0.22μm プロセス、および 0.18μm プロセスの部分空乏型の MPU を搭載したサーバーも 2001年より発売されており[26)]、今後さらに SOI デバイスの応用が加速すると思われる。

2.3.4　超薄膜 SOI ウエハの必要性

今後一層の普及が予想される携帯電子機器は、消費電力を抑えながらも高性能化が望まれている。また、現在のパーソナルコンピュータ用高性能 MPU においても、高性能化に伴う発熱量の大きさから空冷使用による限界に達しており、性能を維持しつつも低消費電力化を迫られている。このような分野において、性能を落とすことなく消費電力を下げることが可能な SOI デバイスは極めて有望な解と考えられ、サブスレッショルド特性が優れたFD 型の MOSFET は、回路設計技術の確立と安定な基板供給が実現すれば、今後急速に普及する可能性が大きい。

FD 型の MOSFET を作製するためには、ボディ部の厚さを空乏層の厚さよりも薄くする必要がある。2.2.7 節で述べたように、素子の高性能化は素子の大きさを微細化することで達成され、SOI MOS デバイスにおいても同様である。線幅 0.18μm のプロセスにおいては、ボディ部の厚さは 50 nm 程度で完全空乏型が実現しているが、今後の素子の微細化と共に、さらにボディ部を薄くする必要があるのは言うまでもない。また、2.2.8 節で述べた短チャネル効果を抑制するために、微細化の程度によっては更に薄くする必要がある。表 2.2 は、集積回路の微細化の指針となる半導体技術ロードマップ[3]から、SOI ウエハの仕様に関する項目を抜粋したものである。最小寸法 90 nm のプロセスにおいては、ボディ部の厚さは 11～19 nm となっており、このような SOI MOSFET を作製するためには、基板として、SOI 層の厚さが 15～30 nm 程度である超薄膜 SOI ウエハが必要になると思われる。しかも、厚さの均一性としては±5%が要求されており、極めて高精度な超薄膜 SOI ウエハの製造方法の早期確立が切望されている。

また、ボディ部の厚さがナノメートルオーダーに達すると、量子閉じ込め効果によってしきい値電圧が上昇することが知られており[27]、ボディ部を 3 nm 程度にまで薄膜化するとキャリアの移動度が向上する計算結果が報告されている[28]。超薄膜 SOI ウエハの登場によって、新しい MOS デバイスの実現が期待される。

表 2.2　SOI ウエハ要求仕様（ITRS2001 より）

Year of Production	2001	2002	2003	2004	2005	2006	2007
DRAM 1/2 PITCH (nm)	130	115	100	90	80	70	65
MPU PHYSICAL GATE LENGTH (nm)	65	53	45	37	32	28	25
Silicon-On-Insulator Wafer							
Wafer diameter (mm)	200	300	300	300	300	300	300
Silicon final device layer thickness (Partially Depleted) (tolerance±5%)(nm)	98-163	80-133	68-113	56-93	48-80	42-70	38-63
Silicon final device layer thickness (Fully Depleted) (tolerance ±5%) (nm)	20-33	16-27	14-23	11-19	10-16	8-14	8-13
Buried oxide (BOX) thickness (Fully Depleted) (tolerance ±5%) (nm)	49-81	40-66	34-56	28-46	24-40	21-35	19-31

2.4　薄膜SOIウエハ製作技術の現状

SOI構造を形成する技術の始まりは、1960年代、単結晶サファイア基板上に単結晶シリコン層をヘテロエピタキシャルによって形成（SOS: Silicon On Sapphire）する技術とされている[29]。その後、1970年代から1980年代にかけて、シリコン基板上の酸化膜上に単結晶シリコン層を形成する技術が多数提案された[30)-34)]。しかし、主に単結晶シリコン層の品質の問題から、酸素イオン注入法（SIMOX）と貼り合わせ法のみが実用化に至った。当初は、酸素イオン注入法が高速CMOSデバイスに適した0.1μm程度の薄膜SOI層を有する基板を、貼り合わせ法がパワーIC等に適した1μm以上の厚膜SOI層を有する基板を作製する方法と考えられてきた。しかし近年、PACE、UNIBOND、ELTRANといった新技術の登場によって、貼り合わせ法によっても薄膜SOIウエハを作製することが可能になった。本節では、各種薄膜SOIウエハの作製方法および特徴について述べる。

2.4.1　酸素イオン注入法

SIMOX（Separation by IMplanted OXygen）法は1978年に泉[35)]によって提案された方法である。単結晶バルクシリコンウエハに酸素イオンを約 2×10^{18}atoms/cm^2 注入し、1350℃程度の高温でアニールすることにより、埋め込み酸化膜層を形成し、SOI 構造を形成する。この方法の特徴は、SOI 層の厚さを酸素イオン注入エネルギーと注入量で制御することである。イオン注入技術は、半導体集積回路製造技術として一般的なものであり、注入エネルギーや注入量の制御を精密に行うことが可能である。そのため、比較的容易にSOI層の厚さ均一性に優れたSOIウエハを作製することができる。また、貼り合わせ法と異なり、一枚のウエハから一枚のSOIウエハを作製することができる。一方で、デバイスを形成するSOI層に高エネルギーの酸素イオンが貫通していることからSOI層に結晶欠陥が存在すること、注入条件によっては埋め込み酸化膜にピンホールが形成されること、SOI層厚さとBOX層厚さの自由度が小さい、等の問題点を有している。また、長時間のイオン注入が必要なためコストが高いという問題点も存在する。これらの問題点を克服するため、酸素イオン低濃度注入法（Low-Dose SIMOX）[36)]や、高温内部酸化技術（ITOX: Internal Thermal OXidation）[37)]が提案された。低濃度注入法は文字通り酸素イオン注入濃度を低減するもので、結晶欠陥の減少とイオン注入時間の短縮に有効である。また高温内部酸化技術は、埋め込み酸化膜中のシリコンのピンホールを酸化することで消滅させる技術であり、埋め込み酸化膜の信頼性向上に有効である。

ピンホールの無い埋め込み酸化膜を得るための酸素注入条件が限られていることから、表面から10 nm程度内部に埋め込み酸化膜を直接形成することは困難である。そのため、超薄膜SOIウエハへの対応は、長時間のITOX処理によりSOI層を酸化することで行われる。ただし、現在のSOI層厚さの均一性は$\pm$2 nm程度であるとされており、均一性として$\pm$5%を得るためには、SOI層厚さ40 nm程度が薄膜化の限界といえる。仮に10 nmまでSOI層を薄膜化するとすれば、$\pm$0.5 nm程度の均一性が必要になり、更に高精度なイオン

注入技術が必要と思われる。

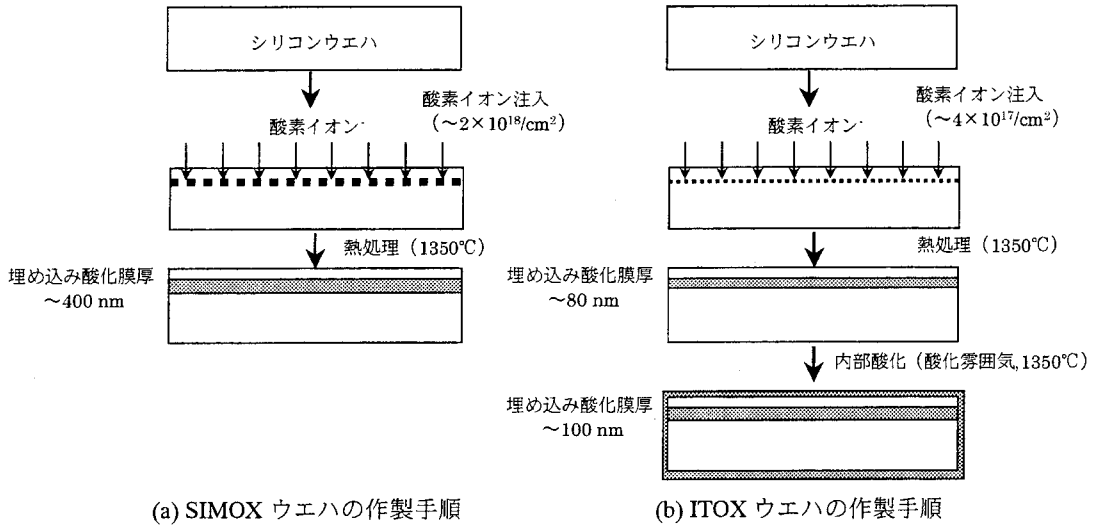


図 2.15　酸素イオン注入法による SOI ウエハの作製手順

2.4.2　貼り合わせ研磨法

貼り合わせ法は 1986 年に新保[38]と Lasky[39]によって各々独立に提案された方法である。シリコンウエハを 2 枚準備し、片方のウエハの表面を酸化し、他方のウエハ表面に密着させることで、接着層を用いることなく直接接合する。さらに、1100℃程度で熱処理を行うことで脱水縮合反応がおこり、共有結合を形成して強固に張り合わされる。その後、片方のウエハを薄膜化することで SOI 構造を形成する。この薄膜化を機械加工によって行うものを貼り合わせ研磨法と呼び、片方のウエハを裏面より研削して薄膜化し、研磨によって仕上げる。この方法の特徴は、デバイスを形成する SOI 層は完全な結晶であること、埋め込み酸化膜層も熱酸化膜であるため信頼性が高いことである。さらに、SOI 層と埋め込み酸化膜層の厚みを任意に選ぶことができ、SOI 層と基板シリコンの組み合わせも任意に選

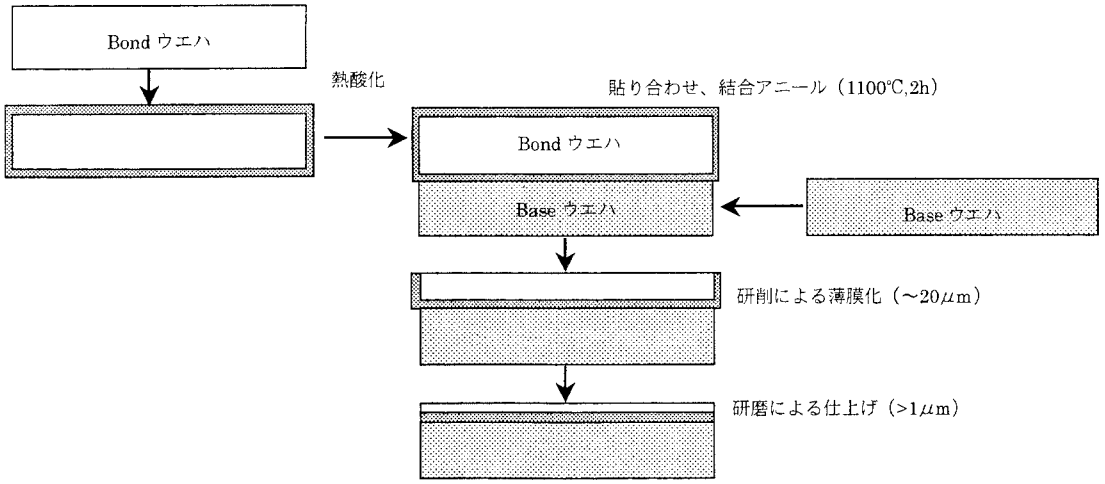


図 2.16　貼り合わせ研磨法による SOI ウエハの作製手順

ぶことができる。これらの特徴は後に述べる貼り合わせ法にも共通である。一方で、SOI層の厚さ均一性は、機械加工の精度によって決定される欠点を有する。機械加工によってSOIウエハの裏面に対して高い平行度を持つ表面を形成することは可能であるが、その際、必ずしもSOI層の厚さは均一であるとは限らない。貼り合わせる前のシリコンウエハには当然厚さのばらつきが存在するため、裏面を基準とした加工では均一なSOI層を形成することは困難である。また、一枚のSOIウエハを作製するために二枚のシリコンウエハが必要になることも欠点とされている。通常、SOI層の厚さばらつきとしては$\pm 0.5\mu$m程度が得られており、SOI層厚さ1μm以上のものが貼り合わせ研磨法によって作製可能とされている。

2.4.3　PACE法

PACE法は1993年にMumola[40]が提案した方法である。貼り合わせ研磨法で作製された厚膜のSOIウエハのSOI層厚さ分布をCCDカメラを用いた反射分光法によって全面計測し、局所的（直径7〜50 mm）に発生させたプラズマを全面走査して数値制御薄膜化加工を行うものである。この技術によって、貼り合わせ研磨法における限界であった1μmより一桁薄い0.1μmの薄膜SOIウエハが作製可能になり、貼り合わせSOIウエハも高性能CMOSデバイスに対して適用することが可能になった。PACE技術そのものは、さらに薄いSOIウエハにも対応可能と思われるが、プラズマ発生領域の半値幅よりも小さい空間周波数の厚さ分布を修正することは出来ない[41]ことから、貼り合わせ研磨法によって作製されたSOIウエハを薄膜化する限りは0.1μm程度が限界と思われる。

PACE法は数値制御プラズマCVMと類似しているが、少なくとも、プラズマ発生用電極、反応ガス供給方法、および加工圧力が異なる。PACE法では平行平板型の固定電極が用い

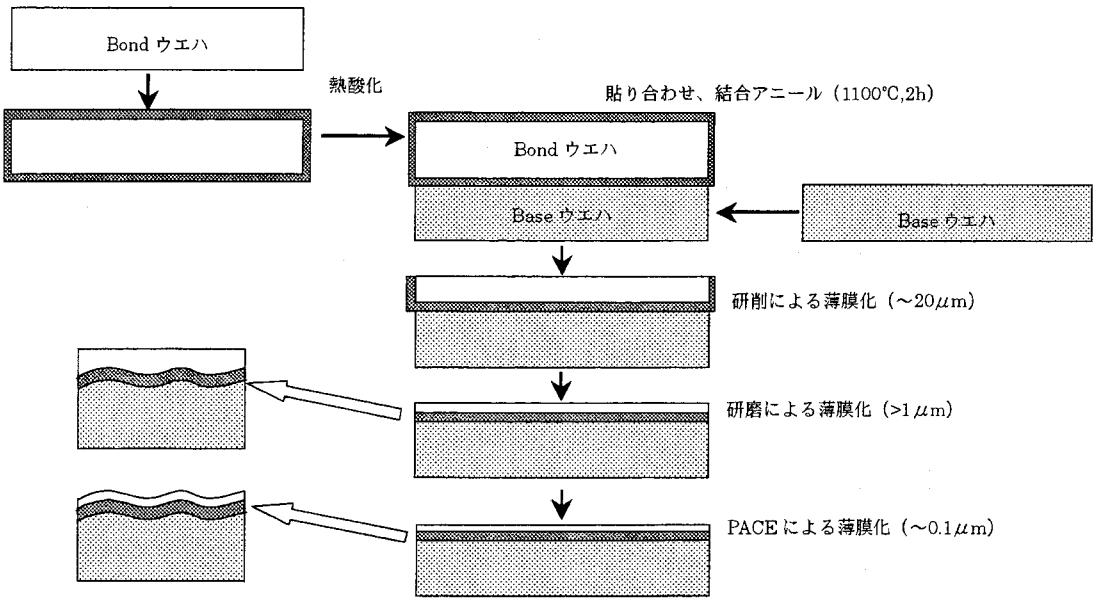


図2.17　PACE法によるSOIウエハの作製手順

られ、反応ガスを噴出す方法が採用されているが、プラズマ CVM においては主に回転電極が用いられ、反応ガスは回転電極表面に引き連れられて供給される。また、PACE 法での加工雰囲気は 10^2〜10^3 Pa (1〜10 Torr)程度であるが、プラズマ CVM においては大気圧である。また、PACE 法では薄膜化加工後に表面粗さが増すため、軽い研磨を行う必要があるが、プラズマ CVM においてはその必要はなく、より薄い SOI 層を有する SOI ウエハの加工に適していると思われる。

2.4.4　水素イオン注入剥離法

シリコンウエハに水素イオンを過剰に注入すると、シリコン中で水素のマイクロキャビティが発生することが知られていた[42]。水素イオン注入剥離法 (Smart-Cut 法) は 1995 年に Bruel[43]によって提案された。表面に酸化膜を形成したシリコンウエハに水素イオンを注入した後、もう一枚のシリコンウエハと貼り合わせを行う。その後、熱処理を行うと注入層にマイクロクラック層が形成され、注入層に沿ってウエハが剥離される。剥離後は表面研磨を行う。この方法の特徴は、SOI 層厚さはイオン注入技術によって決定されるため、SIMOX 同様、均一性に優れた SOI 層を得ることができることである。また、イオン注入量は SIMOX に比べて約一桁小さく、また水素イオンは質量が小さいため、基板に対するダ

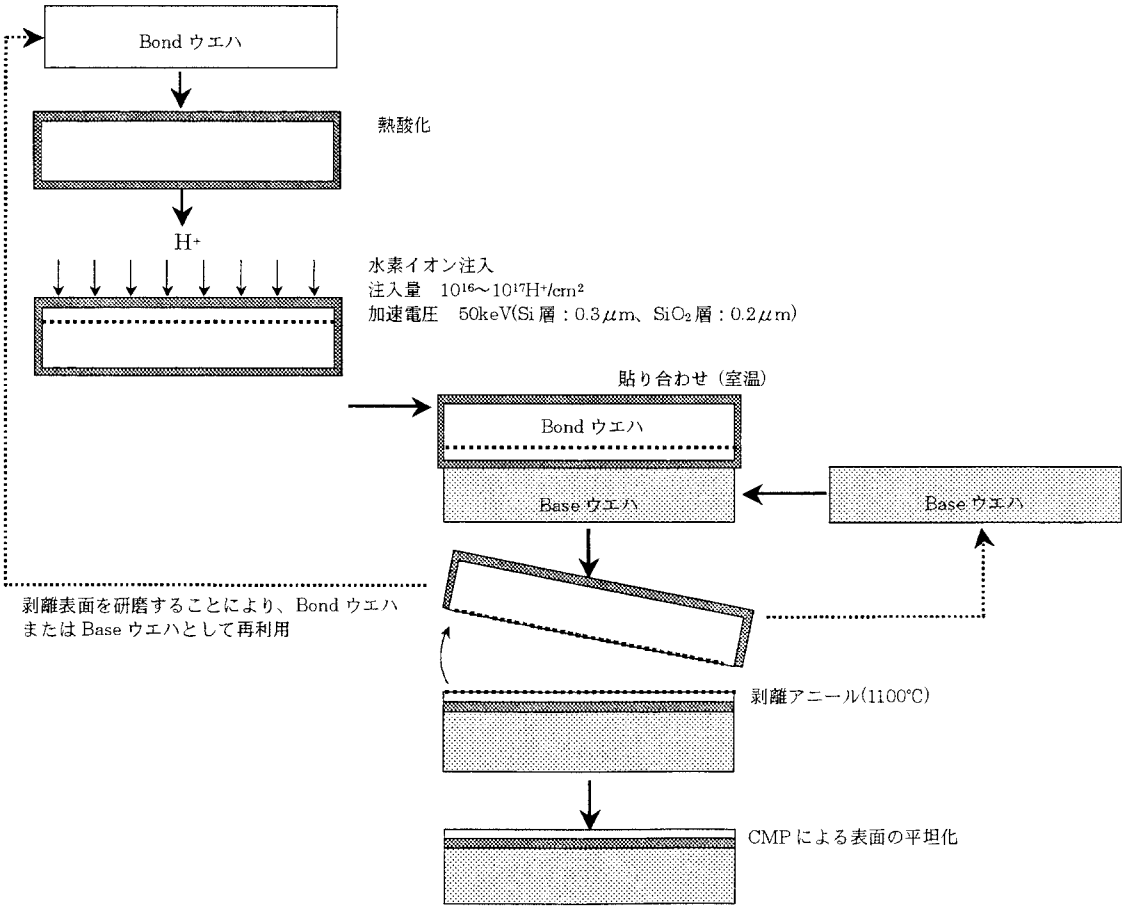


図 2.18　水素イオン注入剥離法による SOI ウエハの作製手順

メージが小さいと考えられる。通常、貼り合わせ SOI ウエハを作製するためには二枚のシリコンウエハが必要であるが、この方法の場合、剥離したウエハは再研磨を行うことで、再び利用可能である。一方で、SOI 層を水素イオンが貫通していることから、結晶欠陥を有する可能性があること、および、仕上げに研磨を行うことから、研磨による表面へのダメージが懸念される。また、極表面層で剥離を行うことは困難であるため、10 nm 程度の超薄膜 SOI ウエハを直接作製することは困難であると思われる。現状では SOI 層厚さが約 80 nm のものまで生産可能とされている。

2.4.5　ELTRAN 法

1994 年に米原 [44]によって提案された方法で、多孔質シリコンのエッチングレートが単結晶シリコンに比べて約十万倍大きいことを利用した、極めて独創性の高い薄膜 SOI ウエハ作製方法である。まず、シリコンウエハ上に陽極化成法によって多孔質シリコン層を形成する。その後、水素雰囲気中で熱処理を行うことによって多孔質シリコン表面を封孔処理し、単結晶シリコン層をホモエピタキシャル成長させて表面を熱酸化し、もう一枚のシリ

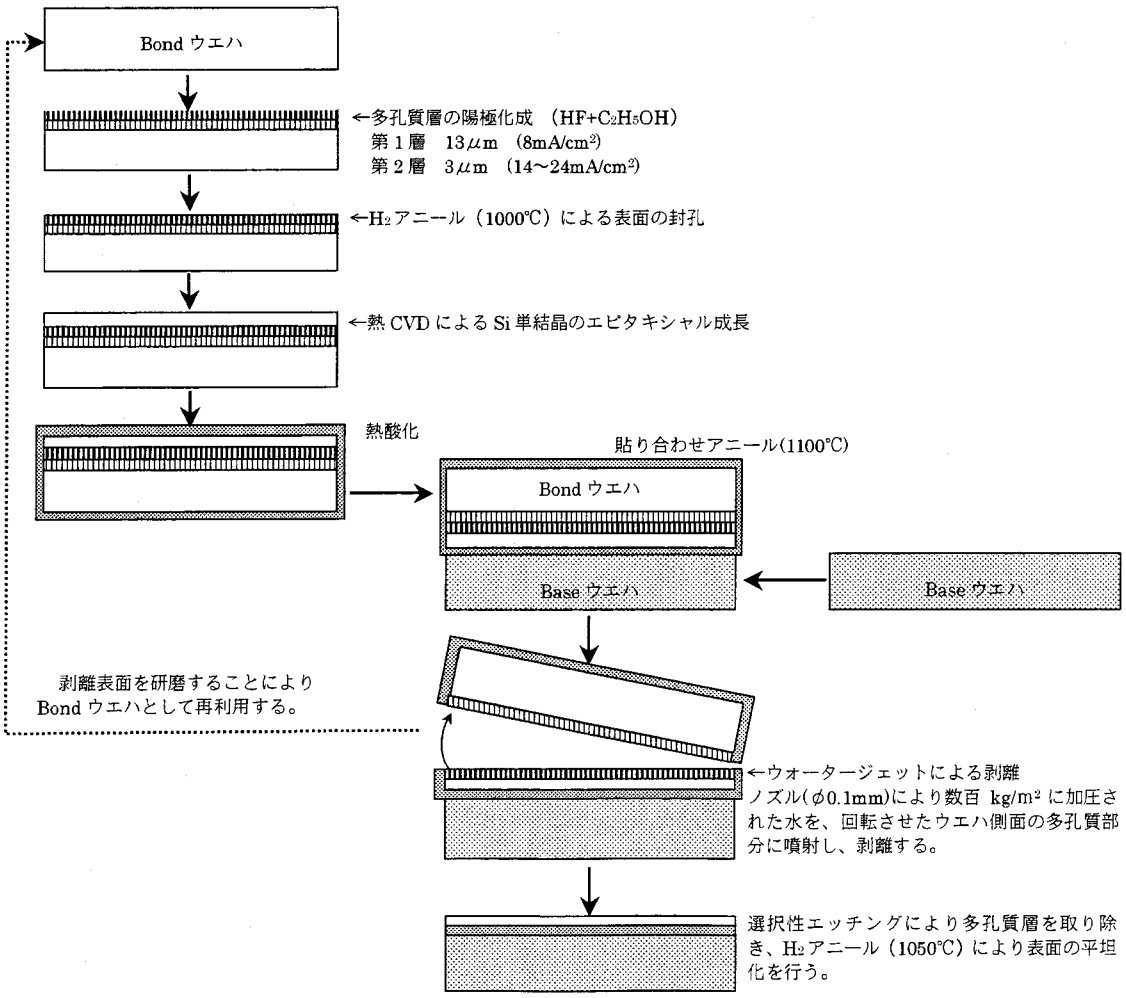


図 2.19　ELTRAN SOI ウエハの作製手順

コンウエハと貼り合わせを行う。陽極化成条件を変えることで多孔質シリコン層には密度が異なる二層構造になっており、ウエハ側面よりウォータージェットによって圧力を印加することで二層構造界面付近にクラックが形成され、ウエハの剥離が行われる。剥離後、薬液により多孔質シリコン層を高選択比でエッチングしてエピ層のみを残し、最後に水素雰囲気中で加熱することで表面の平滑化を行う。ELTRAN ウエハの特徴は、SOI 層として結晶欠陥が極めて少ないエピタキシャル成長シリコン層を用いていることである。SOI 層の均一性はエピタキシャル成膜時の膜厚均一性を継承するため、ナノメートルオーダーの均一性が得られている。また、SOI 層や BOX 層の厚さの自由度も大きく、10 nm の SOI 層を有する超薄膜 SOI ウエハも試作されている。ただし、厚さの均一性は±5%（±0.5 nm）には達しておらず、今後の改善が望まれている。

2.5　結言

本章では、本研究で加工のターゲットとしている SOI ウエハの用途である SOI MOS デバイスに関して、その動作原理や特徴を、従来の MOS デバイスと比較を行いながら述べ、超薄膜 SOI ウエハの必要性について述べた。以下に本章の要約を述べる。

(1) MOS デバイスの動作原理を MOS 電界効果から概説するとともに、MOS デバイスの高速化・低消費電力化がスケーリング則による微細化によって実現されていることを述べた。

(2) SOI MOS デバイスの動作原理を概説し、部分空乏型と完全空乏型の 2 種類の動作モードが存在することを述べた。どちらの動作モードにおいても、通常の MOS デバイスと比較して、寄生結合容量や配線容量が低減し、高速・低消費電力動作が可能であることを述べた。さらに、完全空乏型のデバイスは良好なサブスレッショルド特性を有し、さらなる高速・低消費電力動作が可能であることを述べた。

(3) 完全空乏型デバイスを作製するためにはデバイス作成後の SOI 層の厚さが空乏層より薄い必要があるため、今後の素子の微細化によって、SOI 層の厚さが 10 nm 程度であるような超薄膜 SOI ウエハが必要になることを述べた。

(4) SOI ウエハの製作方法について、代表的な、SIMOX 法、貼り合わせ研磨法、PACE 法、Smart Cut 法、および ELTRAN 法について概説し、現段階では、SOI 層の厚さが 10 nm 程度で厚さの均一性が±5%であるような超薄膜 SOI ウエハを作製する方法が確立していないことを述べた。

第3章　数値制御プラズマCVM加工システム

3.1 緒言

近年、超精密加工に要求される精度はますます厳しくなってきており、例えば波長が13 nmの極紫外線を用いるEUVL（Extreme Ultra Violet Lithography）光学系においては0.25nm rms程度の形状精度が要求され[45]、また次世代半導体集積回路形成用のSOI（Silicon on Insulator）ウエハにおいては、素子の微細化に伴い、シリコン層の厚さを10 nm程度まで薄膜化する必要性が生じてきている。

大阪大学の森らによって開発されたEEM (Elastic Emission Machining)[46)~48)]は、微細粉末粒子と加工物表面との固体間化学反応を利用した究極の超精密加工法であり、結晶学的性質を乱すことなく、ナノメータオーダーの形状精度と原子レベルで平坦な表面を得ることができている。ところが、EEMは加工速度が非常に小さいため、加工量を極力抑えた最終仕上げとして用いるべき加工法である。したがって、何らかの手段によって、ほぼ目的形状に近い前加工面を用意する必要があるが、ラッピングやポリシング等の機械的な加工法を用いた場合、加工速度は大きいものの、塑性変形や脆性破壊を利用する加工原理から考えて、図3.1に示すように表面層に多大な欠陥が導入されることは避けることができない[49]。このような欠陥を導入せずに加工を行うためには、化学的な方法に頼らざるを得ないが、現在汎用的に用いられているウエットエッチングやドライエッチングでは、加工現象は化学的であるものの、加工の空間的な制御性や加工能率の点においては、機械加工に置き換わるほどの加工特性は得られておらず、また、そのような用途開発も行われていないのが実状である。

このような背景のもとで、プラズマCVMは加工現象として化学的な反応を用いながら、機械加工に匹敵する空間制御性と加工能率を有する新しい加工法として、昭和63年（1988）頃からその開発が開始された。図3.2にプラズマCVMの開発目標、ならびにその位置付けを示す。プラズマCVMは大気圧高周波プラズマによって生成した活性な中性ラジカルを、加工物表面の原子に作用させ、表面原子を揮発性の物質に変えることで除去を行なう加工法である。加工現象は純化学的であるため、加工物の表面に加工変質層を形成することが無い。また、プラズマCVMにおいては、加工量は加工物上におけるプラズマの滞在時間のみによって制御できるため、機械加工ではその機構上作製するのが非常に困難な非球面形状を、極めて容易に創製することが可能である。さらに、原理的に加工表面に加工変質層を形成しない加工方法であるため、表面の結晶性が極めて重要である半導体集積回路用基板の加工にも適用可能と考えられる。

本章では、まず第2節にて、プラズマCVMの概要を述べる。大気圧プラズマを用いたプラズマCVMの加工原理について説明した後、本加工法における大きな特色である回転電極と、その応用例について述べる。また、半導体、セラミックス、ダイヤモンド等、各種機能材料の加工速度を示すとともに、加工面の電子物性に関してはシリコンのSPV（Surface Photo Voltage）スペクトロスコピーにより、加工表面に形成される欠陥の密度を他の加工法と比較して評価した結果について述べる。また、各種超精密加工法の加工原理とその加工特性について述べ、プラズマCVMを含めた各加工法の体積加工速度と形状精度、ならび

に表面粗さの関係を比較した結果について述べる。その後、第 3 節にて、このようなプラズマ CVM の優れた加工特性を活用し、X 線ミラー等の超高精度光学素子や次世代半導体集積回路用基板等を高能率かつ高精度に加工するための、数値制御プラズマ CVM 加工システムの開発に関して述べる。まず、加工量がプラズマの滞在時間に比例することを利用した数値制御加工理論と、それを用いた加工プロセスについて述べ、プラズマの滞在時間を決定するワークの送り速度分布を導出するために開発したシミュレーションプログラムについて述べる。次に、プラズマ CVM 加工における加工雰囲気のクリーン化の必要性について述べ、クリーン化を実現するため新たに設計・開発を行った、気体軸受を適用した回転電極および XY テーブル、ならびにガス循環精製システムについて述べる。そして最後に、プラズマに投入する電力を一定にし、加工特性を安定化させるのに必要不可欠な高周波電力供給システムについて述べる。

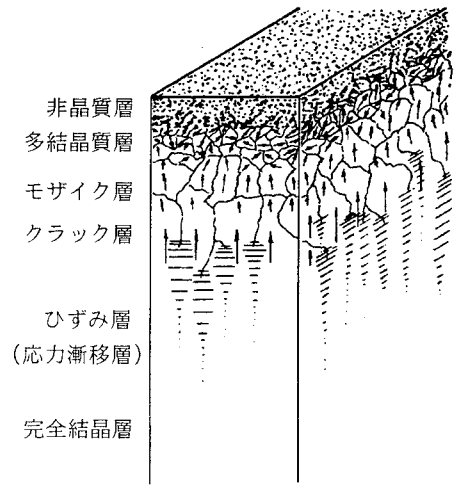


図 3.1 機械加工によって形成される
加工変質層のモデル図

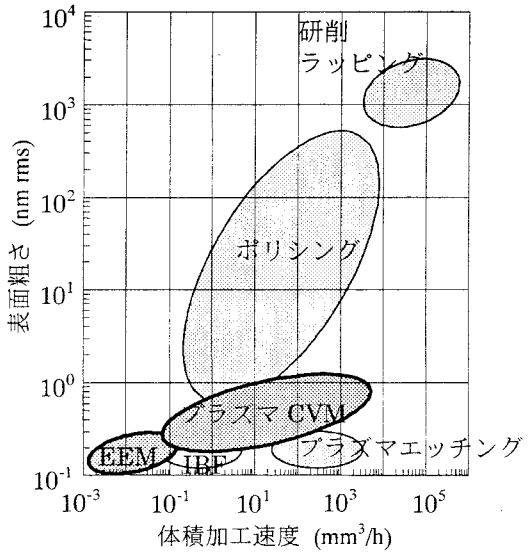


図 3.2 プラズマ CVM の開発目標と
その位置付け

3.2　プラズマCVMの概要

3.2.1　プラズマCVMの加工原理

プラズマCVMとは、高圧力雰囲気中（主として大気圧のHe）で空間に局在した高周波プラズマを発生させ、そのガス中に混合した加工用のガス分子を分解して反応性の高い中性ラジカル（電気陰性度の大きいハロゲン原子など）を生成し、これを加工物表面原子と反応させて揮発性の物質に変えることにより除去を行う加工法である。図3.3にプラズマ発生用電極として回転電極を用いた場合の加工原理を模式的に示す。加工現象が化学的であり、原子単位の加工であることから、幾何学的に優れた加工面が得られると同時に、結晶学的、原子構造的観点から見ても乱れのない加工を実現できる。

本加工法は、化学反応を利用した加工法であるため、加工物の材質と反応ガスの組合せが重要であるが、表面反応の一例として、シリコンを加工する場合を考えると、

$$Si + 4F^{*} = SiF_4\uparrow \tag{3.1}$$

のように、原子状のフッ素ラジカルとの反応により生成されたSiF_4が、表面から脱離することにより加工が進行する。フッ素を含有するエッチングガスとしてはCF_4、SF_6、NF_3等が挙げられるが、これらのガスはいずれも常温においては不活性であるため、プラズマが発生した部分のみで分解および励起されて加工に寄与する。また、プラズマ中においては、さまざまな種類の化合物が作られるが、たとえばエッチングガスとしてCF_4を用いた場合、C_xF_{2x}等の不飽和種が多いとそれらが加工物の表面上で反応して重合膜を形成し、エッチング反応の妨げになると同時に表面粗さの劣化を引き起こす可能性がある。この問題に対してはO_2ガスの添加が効果的である。すなわち、O_2ガスは、

$$(O, O_2) + C_xF_{2x} \rightarrow (COF_2, CO, CO_2) + (F, F_2) \tag{3.2}$$

のように、不飽和種と選択的に反応するため[50]、エッチング反応に寄与するフッ素原子濃度が高くなるとともに重合膜の形成が抑制され、加工速度と表面粗さをともに向上させることができる。ただし、O_2を過剰に添加すると加工物表面に酸化膜が形成される。よって、プラズマCVMにおいて、フッ化反応による除去加工を行う場合には、$CF_4 + O_2$、もしくは$SF_6 + O_2$混合ガスをエッチングガスとして用いる。

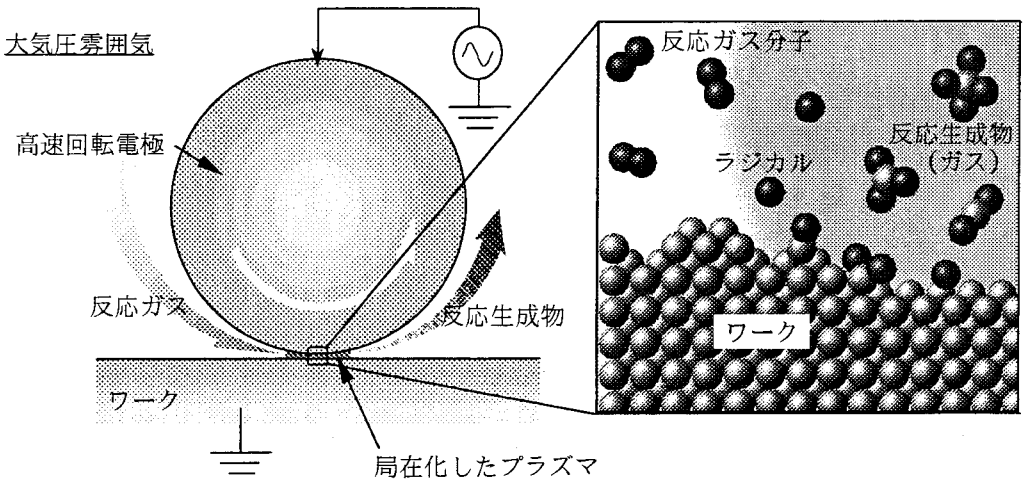
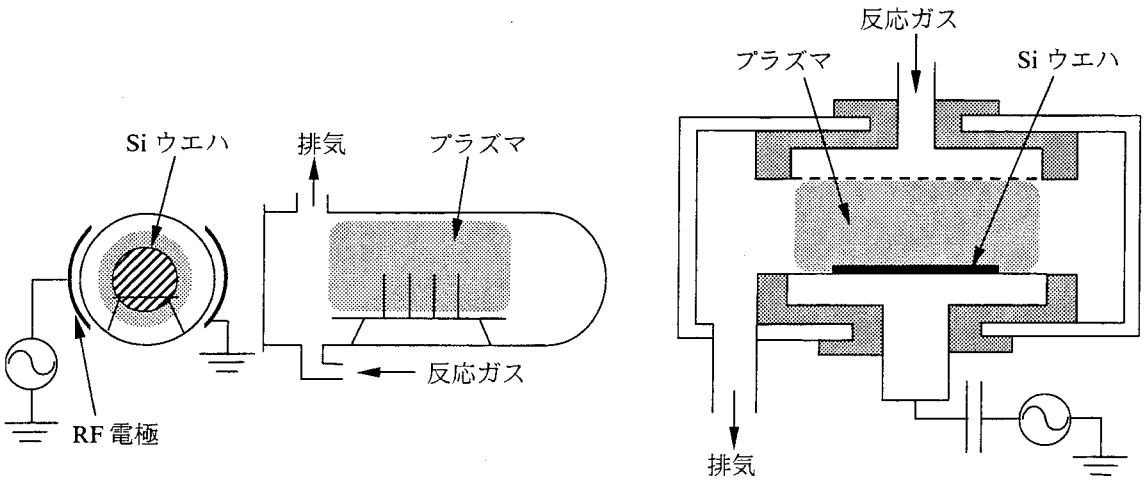


図3.3　プラズマCVMの概念図



(a) バレル型プラズマエッチング装置　　(b) 反応性イオンエッチング装置

図 3.4 LSI の製造に用いられるプラズマプロセス装置

また、本加工現象を利用した加工法の例としては、図 3.4 に示すように半導体デバイスの製造プロセスにおいて実用化されているプラズマエッチング（Plasma Etching : PE）や反応性イオンエッチング（Reactive Ion Etching : RIE）を挙げることができる。

ところが、通常 10^{-1}～10^{2}Pa（10^{-3}～1 Torr）という低圧力雰囲気下のプロセスであるため、加工に寄与する反応種の密度は小さく、機械加工に匹敵する加工速度を得ることはできない。また低圧力下では、ガス分子の平均自由行程が大きいために、発生させたプラズマは大きく広がり、加工の空間的な制御性（空間分解能）を期待することはできず、さらに荷電粒子が電界からの加速によって得る運動エネルギーが大きくなり、それが衝突したときの加工物表面における結晶構造の損傷は免れない。図 3.5 は、シリコン基板を CF_4/H_2 ガスを用いた反応性イオンエッチングを行ったときに生じる表面損傷層を模式的に示したものである（入射イオンのエネルギーは約 450 eV）[51]。最上層にはフロロカーボン膜が存在し、その下には若干の酸化物層が存在する。この酸化層は、エッチング終了後大気にさらしたときに、大気中の酸素がフロロカーボン膜中を拡散し、シリコンが酸化されて生じたと考えられている。そしてその下には、イオン衝撃に伴うノックオン現象で、炭素、フッ素、水素などが打ち込まれて、結晶格子が著しく破壊されたアモルファスシリコン層が存在し、さらにその下には水素が拡散して侵入した領域が存在する。図 3.6 は $CC\ell F_3/H_2$ ガスを用いて RIE を行ったシリコン上に形成した Au/Si、Pt/Si コンタクトの I-V 特性の評価を行った結果である。損傷層の存在により、順方向は抵抗が大きく、また逆方向はリーク電流が大きくなってショットキー接合の電流特性が劣化することがわかる[52]。また、図 3.7 は CF_4/H_2 ガスを用いて RIE を行った p 型シリコン基板上に、リンを拡散して作製した pn 接合ダイオードの逆バイアス電流－電圧特性である[53]。RIE 後未処理のサンプルは、図 3.6 と同様に大きなリーク電流が見られる。このサンプルの表面層を有機アルカリ溶液でエッチングすると電流特性は改善され、約 30 nm エッチングすると RIE を行わなかったサンプルと同等の電流－電圧特性が得られている。よって、このサンプルの損傷層の深さは約 30 nm と見積もることができる。

一方、大気圧プロセスであるプラズマ CVM では、圧力が高いがゆえに生成される反応種の密度が大きく、またガス分子の平均自由行程が約 0.1 μm 程度[7]と小さいため、プラズマ中のイオンは過大な運動エネルギーを持たず、さらにプラズマは電極の近傍のみに局在して発生する。よって、機械加工におけるポリシングに匹敵する加工速度が得られるとともに、イオンの衝突による基板損傷もほとんどない。そして、その空間分解能の高さから、後述するように電極形状を最適化することで、材料の切断や数値制御走査による形状加工も可能であり、本加工法は従来の機械加工に代わるポテンシャルを有していると言える。

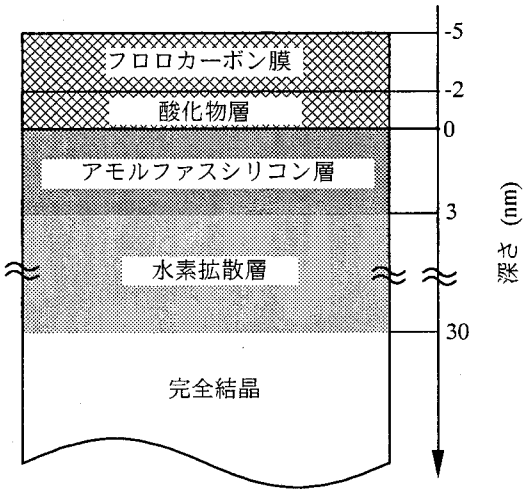


図 3.5　CF_4/H_2 ガスを用いた RIE によって生じた Si 表面近傍の変質層の概念図[51]

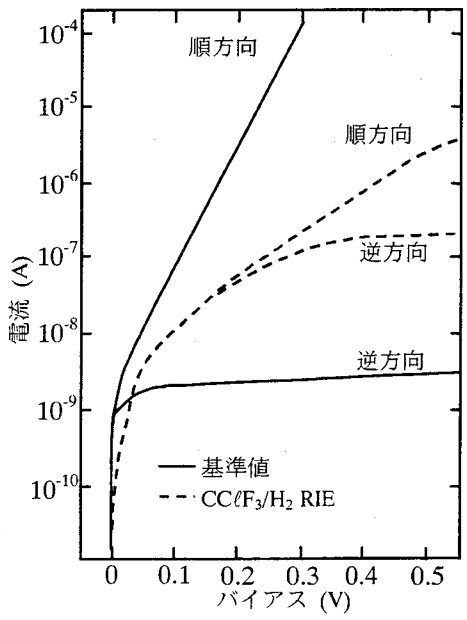


図 3.6　$CC\ell F_3/H_2$ ガスを用いて RIE した n 型 Si に Au コンタクトしたときの I-V 特性[52]

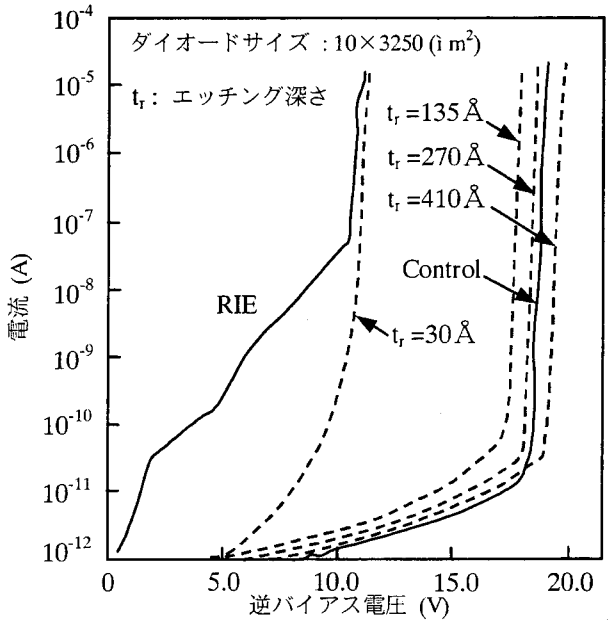


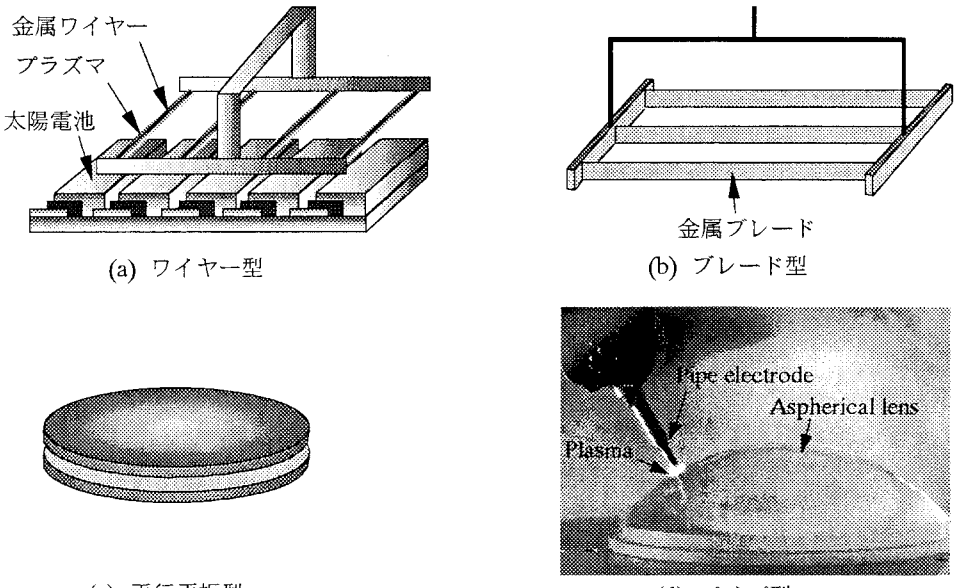
図 3.7　CF_4/H_2 ガスを用いて RIE した p 型 Si に、リンを拡散して作製した pn 接合ダイオードの逆バイアス電流－電圧特性[53]

3.2.2　プラズマ発生用回転電極

プラズマ CVM の研究開発過程においては、プラズマ発生用の電極として、図 3.8 に示すようにワイヤ、ブレード、平板、パイプ等、様々な形状を考案してきた。それぞれの電極を用いた実用例としては、図 3.8(a)に示すワイヤ電極を用いた太陽電池用アモルファスシリコン薄膜のパターニング[54)~60)]、同じく(d)に示すパイプ電極を用いた非球面光学素子の加工等を挙げることができる[61)~71)]。これらの例においては、実用化する上で十分な加工特性が得られているが、電極の耐熱性および耐久性に乏しい、効率的な反応ガスの供給および反応ガスの排出による加工速度の向上を図るのが難しい等の問題を有している。

これらの問題点を解決するために、我々は回転電極を用いることを提案した[6)72)~77)]。回転電極を用いることは、高圧力下で顕著となるガスの粘性を大いに利用するということであり、大気圧プラズマならではの方法である。図 3.9 に回転電極の概念を示す。電極を高速で回転させることにより、電極と加工物間の非常に狭い加工ギャップ(数百μm)に対して、高効率な反応ガスの供給ならびに反応生成物の排出を行うことができる。また、プラズマはワークと対向した部分のみに局所的に発生し、残りの部分においては、雰囲気ガスとの相互作用により冷却されるため、大電力の投入が可能となり、加工能率を大幅に向上させることができる。

図 3.10～図 3.13 に回転電極の応用例、および実際に製作した加工装置を示す。目的に応じた電極形状の適用により、内周刃型電極を用いた切断加工、円筒型電極を用いた平面加工、球型電極を用いた形状加工等、機械加工と同様な加工形態を実現できる。また、円筒型電極および球型電極の表面には、プラズマ溶射によりアルミナの皮膜を形成することにより、二次電子放出によるアーク放電の防止を図り、低温で安定したプラズマの発生を可能にした。本研究では、回転電極を用いた超精密数値制御プラズマ CVM 加工法の実現を目指している。



(a) ワイヤー型　(b) ブレード型

(c) 平行平板型　(d) パイプ型

図 3.8　プラズマ CVM 用固定型電極の例

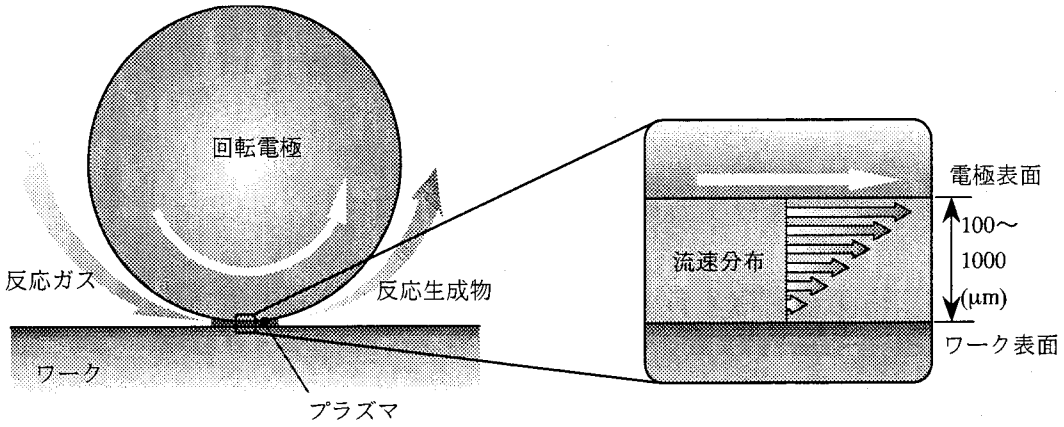


図 3.9　回転電極の概念

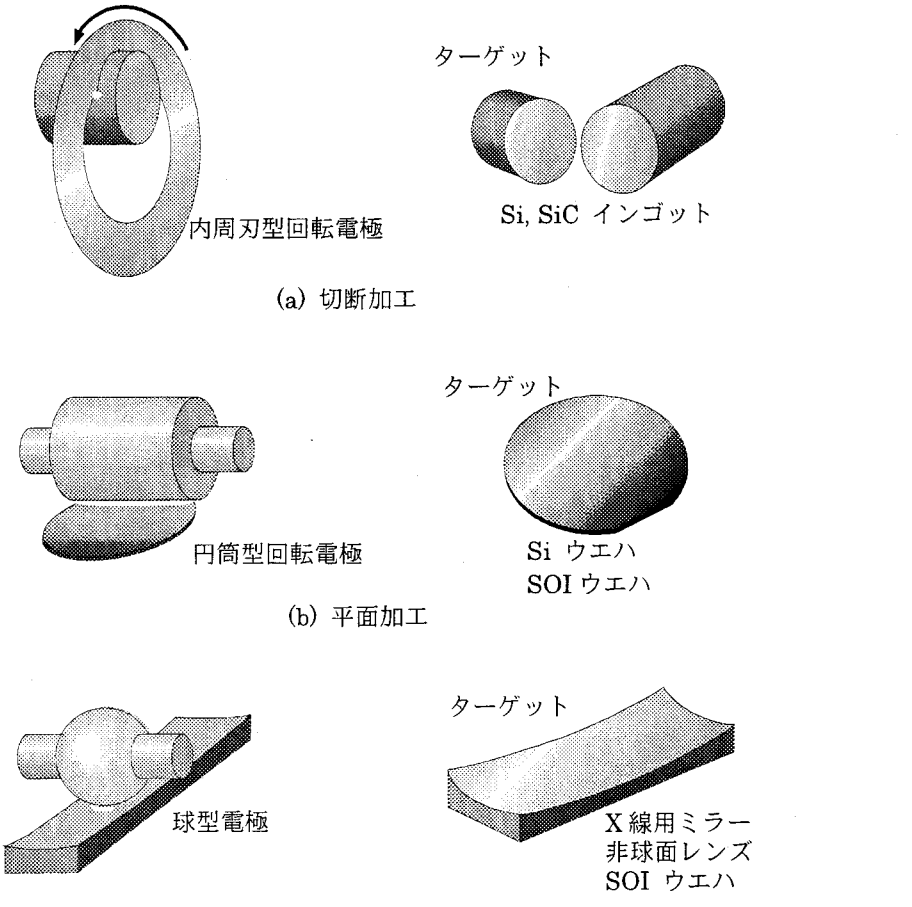


図 3.10　回転電極の応用例

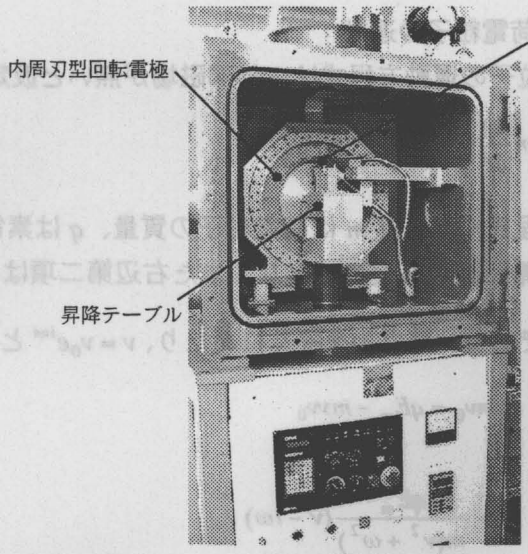


図 3.11　切断加工装置

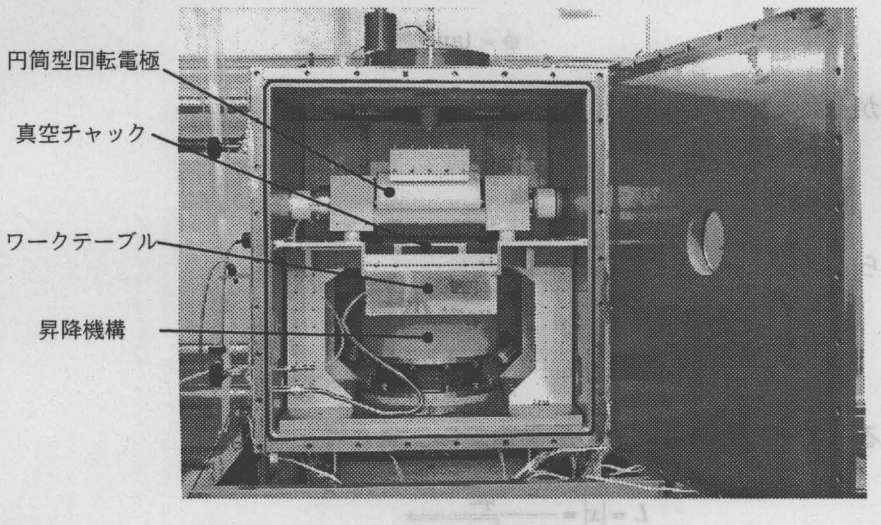


図 3.12　ポリシング加工装置

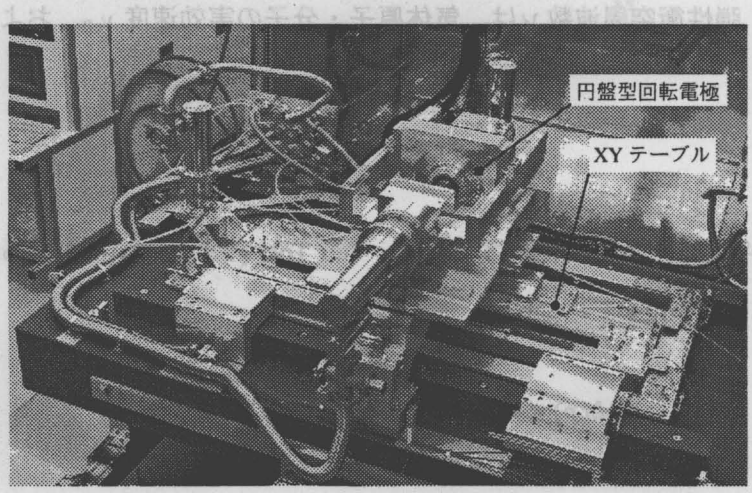


図 3.13　数値制御加工装置

3.2.3　高周波電界中における荷電粒子の運動

高周波電界中における荷電粒子の運動方程式は、外部磁場が無いと仮定すると、

$$m\frac{\mathrm{d}v}{\mathrm{d}t} = qE_{\mathrm{m}}e^{i\omega t} - m\nu v \tag{3.3}$$

で与えられる。（Langevin 方程式）ここで m は荷電粒子の質量、q は素電荷、E_{m} はプラズマ中の電界強度の振幅、ν は弾性衝突周波数であり、また右辺第二項は、粒子の衝突過程において粘性的に働く減衰力である。式(3.3)を解くにあたり、$v = v_0 e^{i\omega t}$ とおくと式(3.3)は、

$$i\omega m v_0 = qE_m - m\nu v_0 \tag{3.4}$$

となるので、この解として、

$$v_0 = \frac{qE_m}{m(\nu^2 + \omega^2)}(\nu - i\omega) \tag{3.5}$$

が得られ、また、この式より v は E より、

$$\phi = \tan^{-1}\left(\frac{\omega}{\nu}\right) \tag{3.6}$$

だけ位相が遅れることがわかる。さらに、

$$\frac{\mathrm{d}x}{\mathrm{d}t} = v \tag{3.7}$$

であるから、同様に $x = x_0 e^{i\omega t}$ とおくと、

$$x_0 = \frac{v_0}{i\omega} = -\frac{qE}{m\omega(\omega^2 + \nu^2)}(\omega + i\nu) \tag{3.8}$$

が得られる。よって、荷電粒子の移動距離の振幅 L は、

$$L = |x| = \frac{qE}{m\omega\sqrt{\omega^2 + \nu^2}} \tag{3.9}$$

となる。また、弾性衝突周波数 ν は、気体原子・分子の実効速度 v_{eff}、および平均自由行程 λ より、

$$\nu = \frac{v_{\mathrm{eff}}}{\lambda} = \frac{\sqrt{\langle v^2 \rangle}}{\lambda} = \frac{1}{\lambda}\sqrt{\frac{3kT}{m}} \tag{3.10}$$

と求められるが、λ は圧力に反比例するため、760 Torr (1×10^5 Pa)における弾性衝突周波数を ν_0 とすると、式(3.9)は圧力 p(Torr)の関数として、

$$L(p) = \frac{qE}{m\omega\sqrt{\omega^2 + \left(\frac{\nu_0 p}{760}\right)^2}} \tag{3.11}$$

とあらわされる。式(3.11)を用いて荷電粒子の振幅を求めるためには、電界強度 E を設定

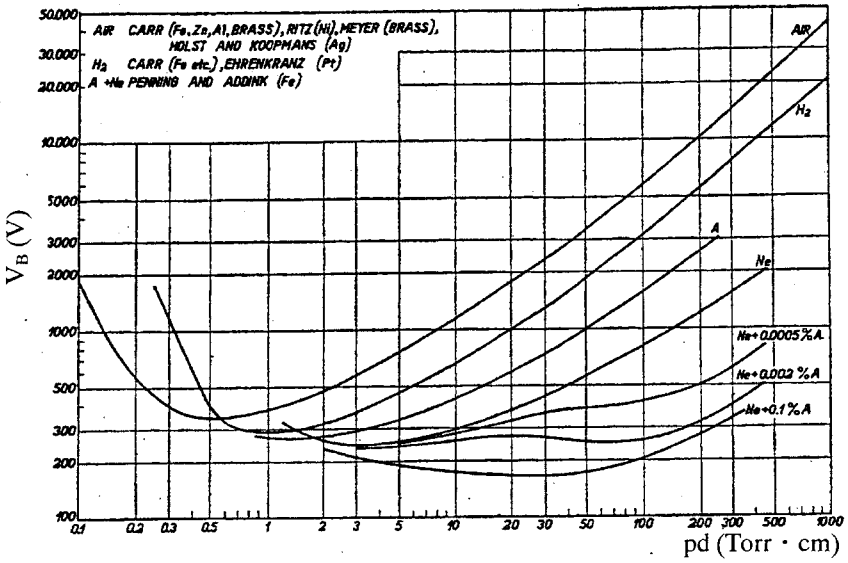


図 3.14　パッシェン曲線 [78)]

する必要があるが、その値を決めるために図 3.14 に示す実験値を用いることとする。

図 3.14 は火花放電の開始電圧 V_B(V)と圧力 p(Torr)および電極間隔 d(cm)の積（pd 積）との関係を示したもので、V_B が pd の関数で与えられることを 1889 年に Paschen が実験的に発見したことから、V_B と pd 積の関係はパッシェンの法則（Paschen's law）、また、その曲線はパッシェン曲線と呼ばれる。図 3.14 より、ガス種が空気で、圧力が 760 Torr (100 kPa)、電極間隔が 1 mm (0.1cm)の場合の放電開始電圧は約 5000 V であることから、大気圧下でプラズマを発生させるには、

$$E = 5 \times 10^6 \ (\mathrm{V/m}) \tag{3.12}$$

程度の電界強度が必要であると考えられる。

なお、パッシェンの法則はタウンゼントの火花条件を用いて理論的にも導出されており、その関係式は、

$$V_B = \frac{Bpd}{\ln(pd) + \ln\{A / \ln(1 + 1/\gamma)\}} \tag{3.13}$$

であらわされる。ここでγは陰極に衝突する正イオン 1 個あたりに放出される平均二次電子数で、陰極の材料および気体の種類と圧力等に依存する。A、B は電界 E に対する電子の衝突電離係数αを

$$\alpha = pA \exp[-\frac{B}{(E/p)}] \tag{3.14}$$

なる関数であらわしたときに定まる定数で、気体の種類のみによって決まる。すなわち、式(3.13)で示される放電開始電圧は、電界によって加速された電子が気体原子と電離衝突して電子が増殖するα作用と、高エネルギーイオンの陰極への衝突によって電子が放出されるγ作用によって決まることがわかる。また、図 3.14 に示すパッシェン曲線にはパッシェンミニマムと呼ばれる極小値が存在することがわかる。この理由は定性的には、パッシェン曲線左側の pd 積の小さな領域では、電子の衝突する気体分子が不足して電離衝突回数が

減ることにより V_B が上昇し、パッシェン曲線右側の pd 積の大きい領域では、p が高くなると電子の平均自由行程が短くなって電子が電界から得るエネルギーが小さくなることと、d の増加で電界強度が小さくなって電子の電離衝突回数が減少することにより V_B が上昇するためであると説明することができる。

また式(3.11)より、荷電粒子の振幅は、圧力が低い場合には ω^2 に反比例し、圧力が高くなって $\nu^2 >> \omega^2$ となると $\omega\nu$ に反比例することがわかる。プラズマ加工における高エネルギーイオンの衝突は、格子損傷による物性の劣化を引き起こすため、荷電粒子の振幅をできるだけ小さくして、加工面への入射を抑制する必要がある。そこで、プラズマ CVM で用いる主要なガスである He と F の各イオンの振幅を式(3.11)により計算した。計算に用いたパラメータのうち、電界強度は式(3.12)の値を、その他は表 3.1 の値を用い、また、高周波電界の周波数はプラズマエッチングにおいて一般的な 13.56 MHz と、それよりも 1 桁以上大きな 150 MHz とした。計算結果を図 3.15 に示す。

図 3.15 より、100 kPa(760 Torr)における各イオンの振幅は、13.56 MHz の場合で 50 ～ 100 μm、150 MHz の場合で 5 ～ 10 μm であり、この圧力領域においては衝突周波数が大きいために振幅は十分小さく、また周波数に対しては単純な反比例関係にあることがわかる。低圧力になるほど周波数によるイオン振幅の抑制効果は大きくなるが、高圧力領域においても確率的に衝突回数の小さなイオンも存在し得るので、プラズマを発生させる電源の周波数は大きいほどよいと考えられる。ところが、周波数が大きすぎても波長が短くなり、装置内の電磁界分布が複雑になって取り扱いが困難になるため、プラズマ CVM では装置の大きさを考慮し、波長が 2 m である 150 MHz の高周波電源を用いることにした。

表 3.1 イオンの振幅の計算に用いた各パラメータ値

	m (kg)	$\sqrt{\langle v^2 \rangle}$ (m/s) (@20 ℃)	ν_0 (Hz) (λ =0.1 μm)
He^+	6.7×10^{-27}	1.35×10^{3}	1.35×10^{10}
F^+	3.2×10^{-26}	6.16×10^{2}	6.16×10^{9}

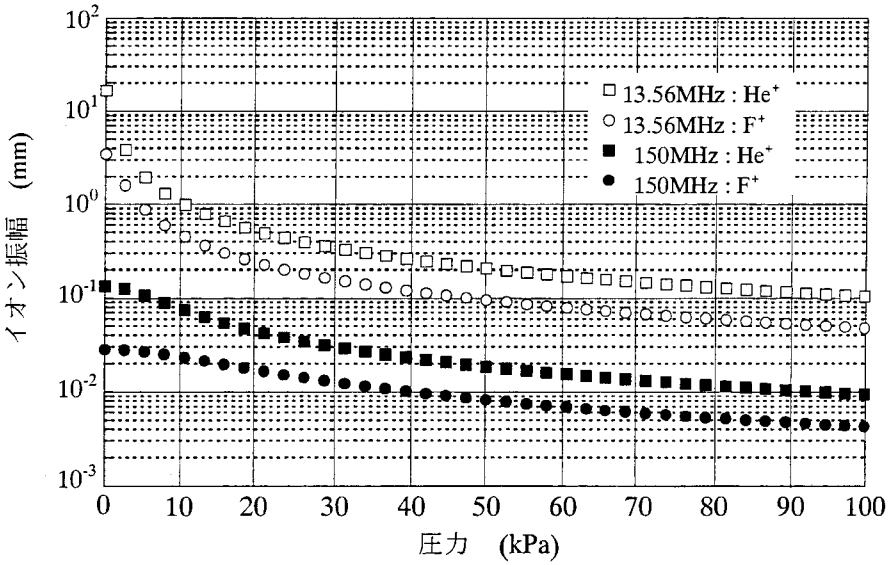


図 3.15　圧力とイオンの振幅の関係

3.2.4　各種材料の加工特性

プラズマ CVM の加工特性について述べる。加工実験は図 3.16 に示すポリシング加工装置を用いて行った。本装置はプラズマ発生用回転電極、試料揺動用ワークテーブル、加工ギャップ設定用昇降テーブル、高周波電力供給系から構成されている。図 3.17 に示すように、回転電極本体は直径 200 mm, 幅 280 mmのアルミニウム合金製であり、その表面にはプラズマ溶射によりアルミナをコーティングした後、研磨を施している。電極駆動用のモータはチャンバ外に設置しており、回転トルクは磁性流体シールならびにマグネットカップリングを介して回転電極に伝達され、最大電極回転速度 52.4 m/s（5000 rpm）で回転させることができる。ワークテーブルは最大径 200 mm（8 インチ）までのシリコンウエハを真空チャックにより保持し、回転電極に対して揺動させることができる。

図 3.18 にシリコンウエハの平坦化加工における加工速度の電極回転速度依存性を示す。本実験においては、加工中に新たな反応ガスの供給は行わず、プラズマへの反応ガスの供給は回転電極の作用のみによって行われる。図 3.18 より、電極回転速度の上昇にともなって加工速度が増加していることから、回転電極によるプラズマへの反応ガスの供給が効率良く行われていることが分かる。また、加工速度の増加量は電極回転速度に対して単純には比例せずに飽和する傾向が見られるが、これは本実験のように投入電力が一定という条件下では、増加した供給ガスを分解するのに必要なエネルギーが不十分になるためであると考えられる。

図 3.19 は加工速度の加工ギャップ依存性を示したものである。表 3.2 に加工条件を示す。これより、加工ギャップが大きくなるにつれて、加工速度は増加する傾向にあるが、その変化率は小さく、例えば投入電力が 8 kW (150 W/cm^2) の条件では、300 μm±5 0 μm(±17 %) の加工ギャップの変動に対する加工速度の変化は±3 %程度であることが分かる。よって、加工ギャップ制御における精度は 10 μm 程度で十分であり、機械の運動精度が直接的に転写されてしまう機械加工と比べて、非接触加工である本加工法の有利性を見出すことができる。

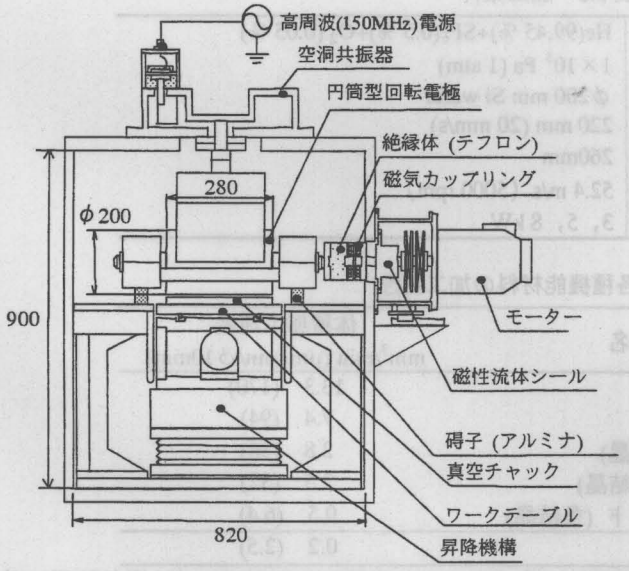


図 3.16　ポリシング加工装置の概略図

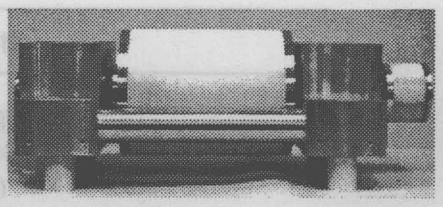


図 3.17　円筒型回転電極

また、電極回転速度が一定、すなわち反応ガスの供給量が一定であっても、投入電力の増加に伴って加工速度が単純に増加していることから、加工速度の向上と反応ガスの有効利用のためには、供給ガス量に応じた十分な投入電力が必要であることが分かる。

表3.3にプラズマCVMによる各種機能材料の加工速度を、1分間当たりの加工体積ならびに直径10 mmの領域を加工した場合に換算した加工深さで示す。加工実験には直径30 mmの球型電極(a)および直径120 mm、厚さ1 mmの外周刃型電極(b)を使用した。石英ならびにシリコンに対しては直径10 mm換算で100 μm/min以上という高加工速度が得られており、モリブデンやタングステンのように高融点、高硬度材料に対しても数十μm/min程度の加工速度が得られている。また、通常の機械加工では加工が非常に困難な超硬材料であるシリコンカーバイドやダイヤモンドに対しても数μm/minの加工速度を得ており、今後電極形状や加工条件の最適化により、さらに加工速度を向上できると考えられる。

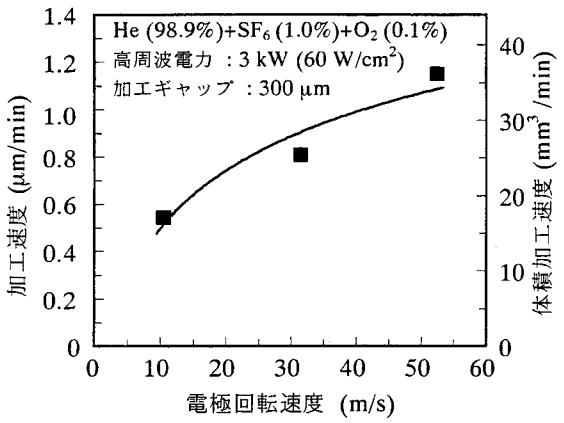


図3.18　加工速度の電極周速度依存性

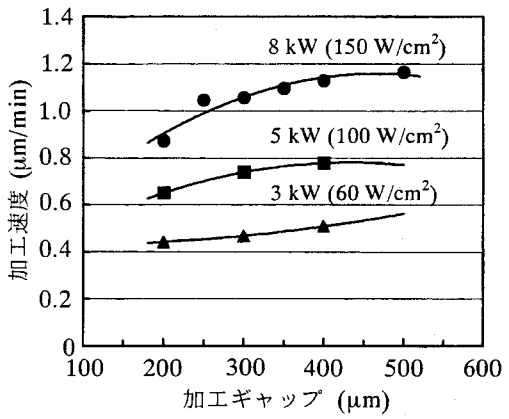


図3.19　加工速度と加工ギャップおよび投入電力の関係

表3.2　加工条件

反応ガス	He(99.45 %)+SF_6(0.5 %)+O_2 (0.05 %)
加工雰囲気圧力	1×10^5 Pa (1 atm)
ワーク	φ200 mm Si wafer
走査範囲 (走査速度)	220 mm (20 mm/s)
プラズマ幅	260mm
回転速度	52.4 m/s (5000 rpm)
高周波電力	3，5，8 kW

表3.3　各種機能材料の加工特性

	材料名	体積加工速度 mm³/min (μm/min/φ10mm)
(a)	溶融石英	13.3　(170)
	シリコン(単結晶)	7.4　(94)
	モリブデン (多結晶)	2.8　(36)
	タングステン (多結晶)	2.5　(32)
	シリコンカーバイド (多結晶)	0.5　(6.4)
(b)	ダイアモンド	0.2　(2.5)

(a) He:SF_6= 95:5, 電極回転速度 31.4 m/s (直径 30 mm 球), 加工ギャップ 100 μm, 高周波電力 450 W (570 W/cm²)
(b) He:SF_6= 0:10, 電極回転速度 63 m/s (φ120 mm×1 mm), 加工ギャップ 300 μm, 高周波電力 600 W (8 kW/cm²)

3.2.5　プラズマ CVM 加工面の電子物性

機能材料の中でも特にシリコンに代表される半導体材料は、表面層の物性を利用したデバイスの作製に用いられるため、うねりや表面粗さ等の幾何学的な精度のみならず結晶学的に見ても欠陥のない完全な表面が要求される。単結晶シリコンの各種加工面における欠陥密度を SPV (Surface Photo-voltage) スペクトロスコピーにより評価した結果について述べる [79]。

まず、SPV の測定原理について述べる。半導体の表面では、表面準位に多数キャリアが捕獲され、p 型、n 型に応じて表面が正または負に帯電している。その結果、表面層数百 nm の領域に空間電荷層と呼ばれる、内部に電界の進入した領域ができる。図 3.20 は、p 型半導体表面の電子構造をあらわしたものであるが、表面準位には多数キャリアである正孔が捕獲され、表面は正に帯電している。このような半導体表面に、バンドギャップ以上のエネルギーを有する光 $h\nu_1$ を照射すると、価電子帯の電子が伝導帯に励起され、自由電子－正孔対がつくられる。これらの自由キャリアは、空間電荷層内の電界により移動して表面電荷を打ち消すため、表面電位の変化、すなわち SPV が生じる。また、照射する光のエネルギーがバンドギャップ以下であっても、表面準位が存在すると、$h\nu_2$、$h\nu_3$ に対応する電子遷移が生じる。$h\nu_2$ による遷移は、価電子帯から表面の空き準位への遷移であり、表面準位内のプラス電荷量が減少するとともに、価電子帯内に残された正孔は表面層の電界によって内部へ移動するため、表面電位はマイナス側に変化することになり、SPV が現れる。一方、$h\nu_3$ による遷移によって生成された電子は、空間電荷層の電界によって内部に移動することができず、表面準位に再捕獲されるため、電荷の分離が起こらず SPV には関与しないことになる。本測定では、表面準位の情報を持つ $h\nu_2$ によって生じる SPV に着目している。測定結果の解析の仮定としては、準位間の光による電子励起の確率は一様とし、価電子帯からの電子が、価電子帯の端から入射フォトンのエネルギー分だけ離れた高さまでの全ての空き準位に均等に励起されるものとした。この場合、各波長ごとの SPV をフォトンエネルギーで微分したものは、空きの表面準位の状態密度に対応すると考えられる。

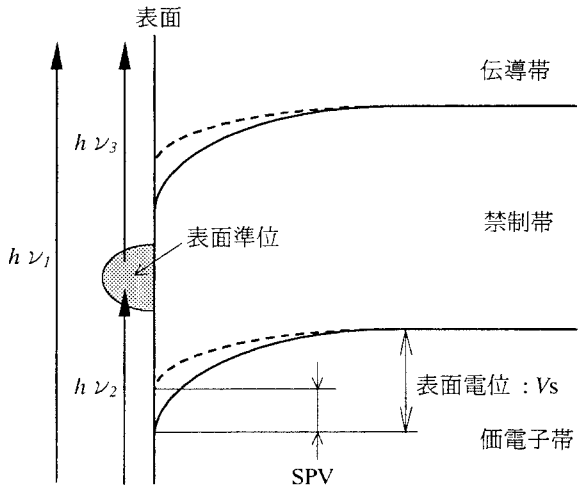


図 3.20　p 型半導体表面の電子構造

次に、表面電位の検出方法について述べる。図 3.21 に示すように、仕事関数の異なる 2 つの導体 A、B（$\phi_A < \phi_B$）を接触させたとすると導体 A の化学ポテンシャルの方が導体 B の化学ポテンシャルよりも大きいため、A から B への電子の移動が生じる。その結果、A、B、2 つの導体の化学ポテンシャルは一致し、導体 A-B 間に接触電位差 ϕ_B-ϕ_A が生じる。

ここで、図 3.22 に示すように、導体 A、B を容量 C のコンデンサーの両極として用いると、A から B に移動する電荷量 Q は、

$$Q = C(\phi_B - \phi_A) \tag{3.15}$$

となる。さらに、外部から V_E の電位差を与えると、

$$Q = C(\phi_B - \phi_A + V_E) \tag{3.16}$$

となる。ここで、一方の電極を振動させ、容量変化の幅が ΔC となるようにすると、

$$\Delta Q = \Delta C(\phi_B - \phi_A + V_E) \tag{3.17}$$

となり、電荷の移動が生じて電流が流れることになる。このとき、V_E を変化させて電流が流れない状態にすると、

$$V_E = \phi_A - \phi_B \tag{3.18}$$

の関係を満たすことから、このときの電圧 V_E が接触電位差に等しいことがわかる。ここで、A を金属、B を半導体とした場合について考える。図 3.23 に示すように、半導体の表面はバンドベンディングを生じており、表面の仕事関数 ϕ_s はバルクの仕事関数 ϕ_{bulk} とは異なっており、次式のように表すことができる。

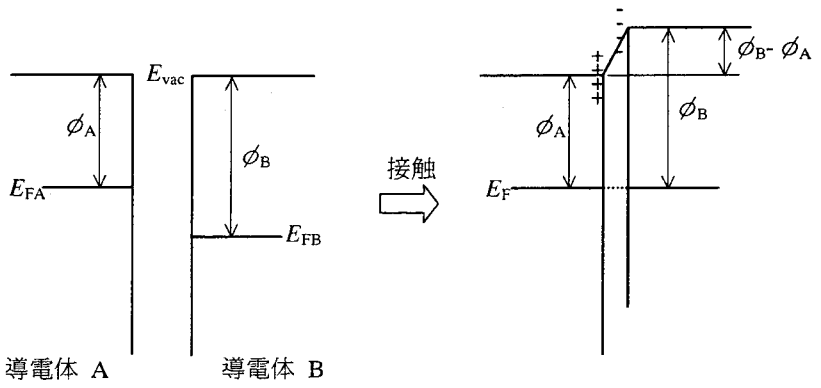


図 3.21　接触電位差

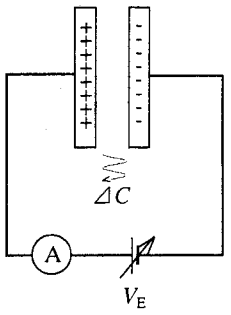


図 3.22 振動容量型プローブ

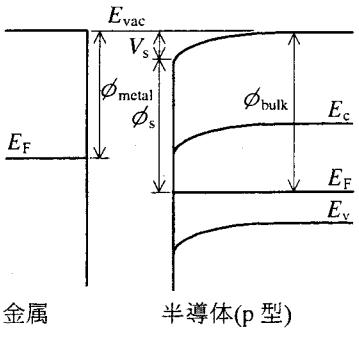


図 3.23　金属と半導体の電位

$$\phi_s = \phi_{bulk} - V_s \tag{3.19}$$

これを、式(3.18)に代入することにより、

$$V_E = \phi_{metal} - \phi_{bulk} + V_s \tag{3.20}$$

の関係が得られ、ϕ_{metal} と ϕ_{bulk} の値は既知であるので、表面電位 V_s を求めることができる。振動容量型プローブを用いる本方式は、ケルビン法 [80] と呼ばれており、半導体や金属の表面電位を非接触に測定でき、低温時に予想される時定数の大きい表面電位の変化を検出する必要のある場合に適した方法である。

図 3.24 に実際に用いた SPV 測定システムを示す。光源にはキセノンランプを用い、ダブルモノクロメータによって単色化して試料に照射する。また、分光器の高次の回折によってバンドギャップ以上のエネルギーを有する光が試料に照射されるのを防ぐため、単結晶シリコン製のフィルターが光学系に挿入されている。試料は真空チャンバ内に設置し、ターボモレキュラポンプの排気により、チャンバ内の真空度を 10^{-6} Pa オーダーに維持することで、試料表面の酸化による影響をなくしている。また、試料台はクライオスタット内に収めて液体窒素温度にすることにより、表面準位に捕獲された電子が価電子帯の空孔と再結合するのを防いでいる。容量を形成するためのプローブは、表面の仕事関数の安定性を考慮し、金を用いて作製している。また、プローブの振動はバイモルフピエゾアクチュエータによって与え、プローブー試料間の距離も同時に直流バイアスを印加することによって変化させることができる。測定感度は、プローブー試料間の平均容量に対する振動によって生じる変化容量の比によって決まり、本測定に用いたプローブでは、対向電極の面積を 1 mm^2、試料表面とのギャップを 25 μm、振動振幅を 10 μm とすることによって、表面電位を 1 mV の感度で測定することができる。測定信号の検出は電流増幅用のプリアンプと振動周波数を参照信号とするロックインアンプを組み合わせたシステムで行っている。

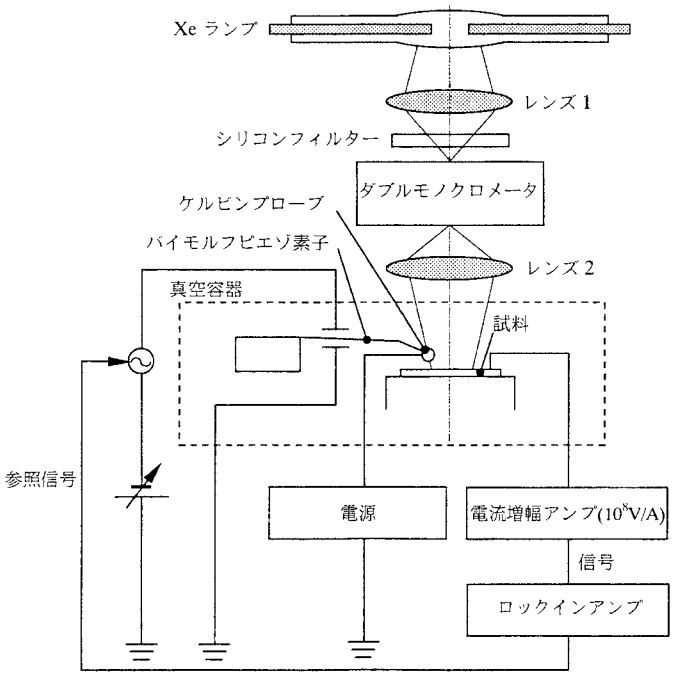


図 3.24　SPV 測定システム

図 3.25 に、SPV 測定によって得られた、シリコンの各種加工面に存在するバンドギャップ内の電子準位密度を示す。比較した加工法は表 3.4 に示すように、コロイダルシリカを用いた機械研磨、アルゴンイオンスパッタリング、およびフッ硝酸溶液によるケミカルエッチングである。前加工面には単結晶シリコン（p-type、CZ、ρ=10 Ω cm）を用いた。これより、最もおだやかな機械加工と考えられるポリシング（通常の市販ウエハの最終研磨と同程度）の場合でも多くの準位が形成されていることが分かる。ここで伝導帯下端 (1.1 eV) から 0.17 eV 下にあるブロードなピークは A センターと呼ばれる欠陥準位で、酸素と空孔の複合欠陥であると報告されている[81)82)]。

それに対してプラズマ CVM による加工面では欠陥準位密度が 2 桁以上小さく、純化学的な加工法であるケミカルエッチング面とほとんど変わらないという結果が得られた。また、アルゴンイオンスパッタリング面と比較しても、はるかに準位密度は小さい。これは、大気圧プラズマでは平均自由行程が小さく、また、電源周波数を 150 MHz としているので、イオンの運動エネルギーが非常に小さくなり、その結果、イオン衝撃による基板損傷を大幅に低減できたためと考えられる。

表 3.4　加工条件

プラズマ CVM	He : SF_6 = 99 : 1, 高周波電力 : 100W
機械研磨	研磨剤 : 0.1μm, SiO_2, 研磨圧: 150 gf/cm^2
Ar^+スパッタリング	加速電圧: 1kV, イオン電流密度: 5μA/cm^2
ケミカルエッチング	HF : HNO_3 : H_2O = 1 : 6 : 8

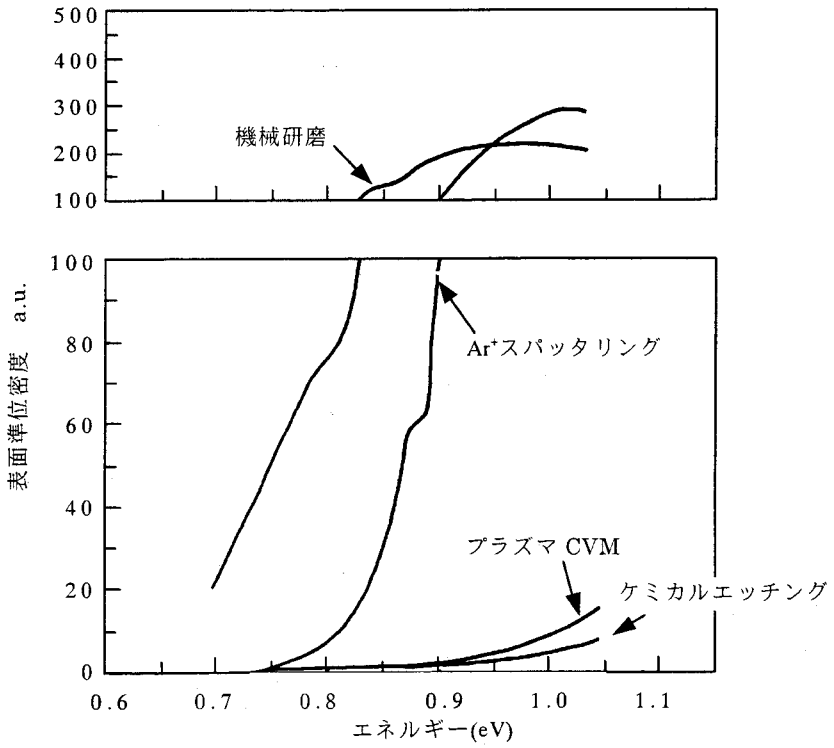


図 3.25　各種加工面の表面準位密度

3.2.6　プラズマ CVM と他の加工法との比較

本節では、高精度な光学素子の仕上加工に用いられている、各種超精密加工法の加工原理および加工特性について述べる。表 3.5、図 3.26 ～ 図 3.32 に加工原理を、表 3.6 に加工特性を示す。また、各加工法の体積加工速度と形状精度、ならびに表面粗さの関係を比較した結果を図 3.33、図 3.34 に示す。

表 3.5　各種超精密加工法の加工原理

(1)	**Plasma Chemical Vaporization Machining（PCVM）** 大気圧プラズマにより生成した高密度の中性ラジカルを用いる化学的加工法。ガス分子の平均自由行程が 0.1 μm 程度と小さいために局所的なプラズマが発生するので、目的に応じた電極形状を適用することにより、切断加工、平坦化加工、数値制御による形状創製加工が可能である。（図 3.3）
(2)	**Elastic Emission Machining （EEM）** 微細粉末粒子と加工物との固体間化学反応を利用した超精密加工法。ナノメータオーダーの形状精度と原子レベルの表面粗さを得ることができる。（図 3.26）
(3)	**Ion Beam Figuring （IBF）** Ar^+を用いたスパッタリング。Ar^+はワークに衝突する前に電子で中性化される。 （図 3.27）
(4)	**Computer Controlled Polishing （CCP）** ワーク上における小径ピッチポリシャの滞在時間を NC 制御して修正加工を行う。遊離砥粒にはコロイダルシリカや酸化セリウム等の酸化物微粒子を用いる。（図 3.28）
(5)	**Reactive Ion Beam Etching （RIBE）** CF_4 等を用いた反応性イオンエッチング，バイアス電圧約 1000V。（図 3.27）
(6)	**Plasma Assisted Chemical Etching（PACE）** 小電極を用いた局所プラズマエッチング。圧力は 10^{-2}～10^{-1} Pa (1 ～10 Torr)。反応ガスは CF_4 等。イオンエネルギー＜10 eV。光学素子の修正加工のほか、SOI ウエハにおける Si 層の薄膜化にも応用されている。（図 3.29）
(7)	**Plasma Jet Chemical Etching （PJCE）** 先端開放の同軸型電極を用いてプラズマジェットを発生させて加工を行う。電源周波数は 2.45 GHz。反応ガスは Ar, He, CF_4, SF_6 等の混合ガス。加工ギャップ 10 ～ 20 mm。加工面が高温になる。（石英試料で最大 350 ℃)加工速度の温度依存性が補正しきれないので加工精度低下の要因となっている。表面粗さも熱的影響のためか悪い。 （図 3.30）
(8)	**Magnetorheological Finishing （MRF）** 磁性流体研磨。（図 3.31）
(9)	**Fluid Jet Polishing （FJP）** 濃度 10 %の SiC 砥粒（粒径 21.8 μm）を 5 ～ 6 気圧の圧力で直径約 1 mm のノズルから噴出して加工する。（図 3.32）

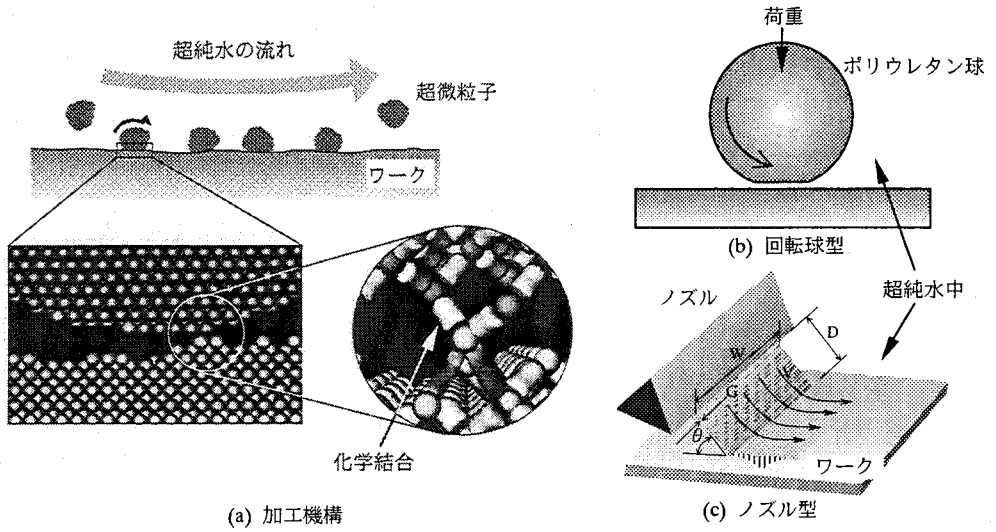


図 3.26　Elastic Emission Machining (EEM)

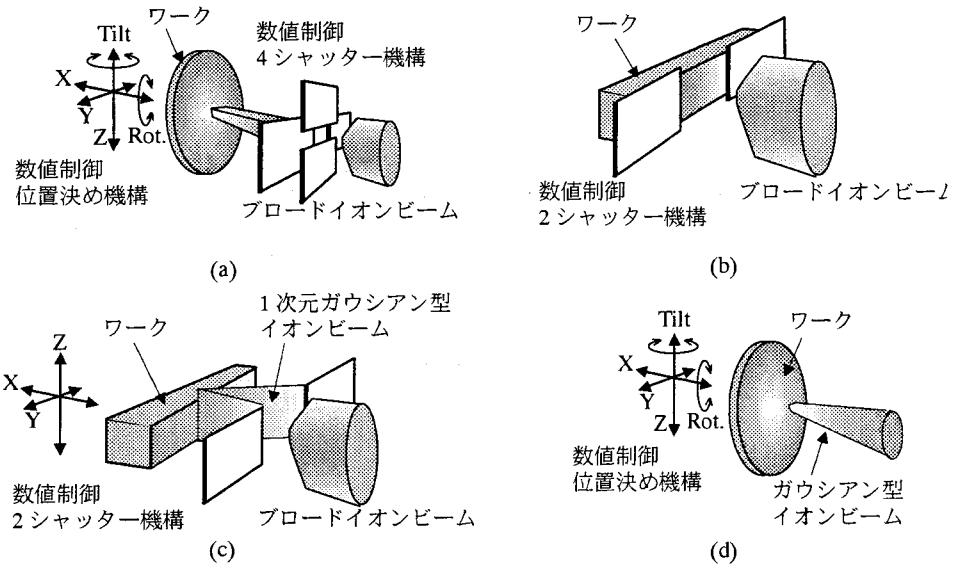


図 3.27　Ion Beam Figuring and Reactive Ion Beam Etching (IBF, RIBE)

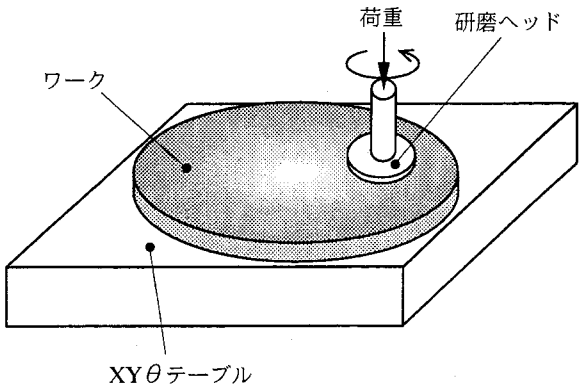


図 3.28　Computer Controlled Polishing (CCP)

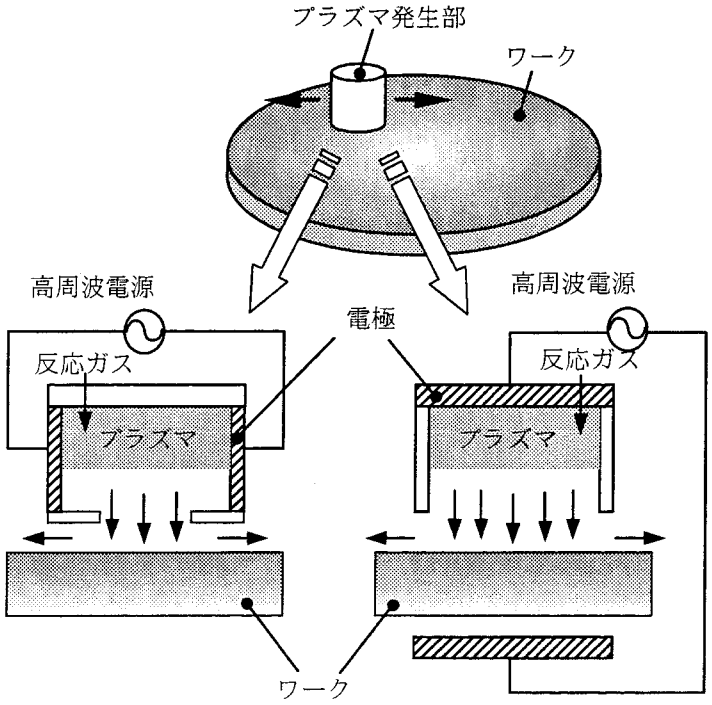


図 3.29　Plasma Assisted Chemical Etching (PACE)

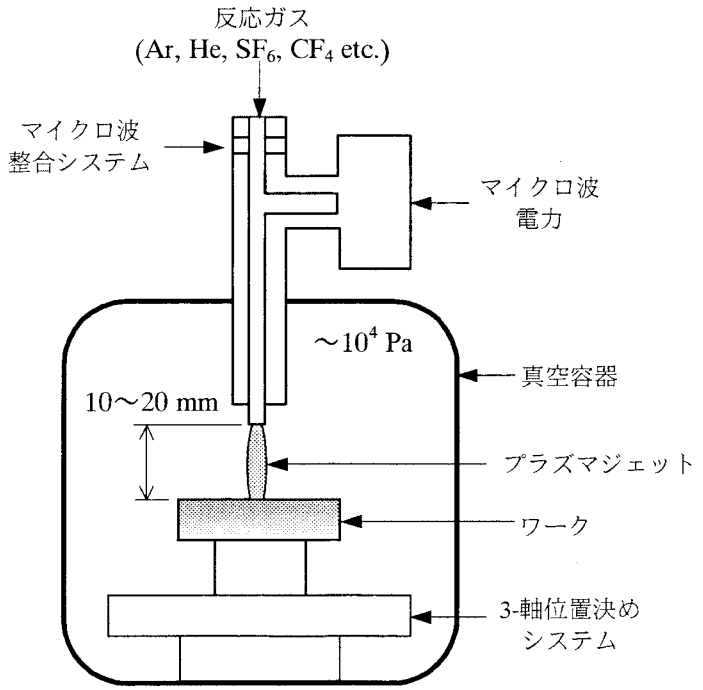


図 3.30　Plasma Jet Chemical Etching (PJCE)

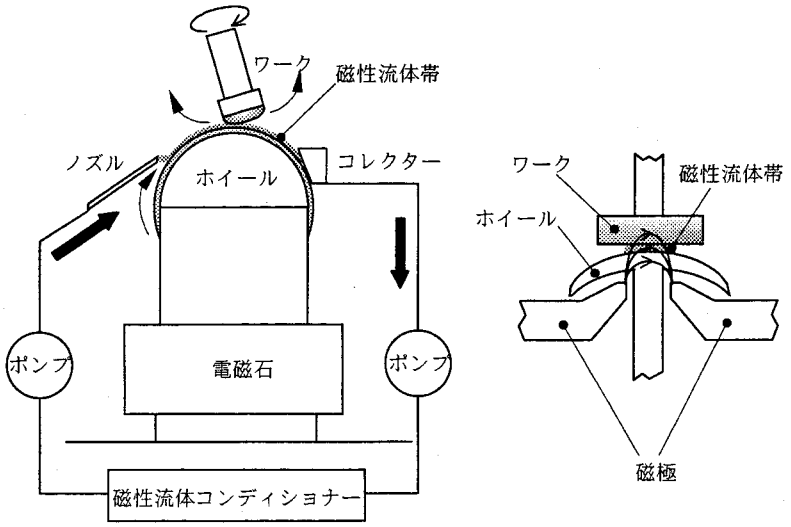


図 3.31　Magnetorheological Finishing (MRF)

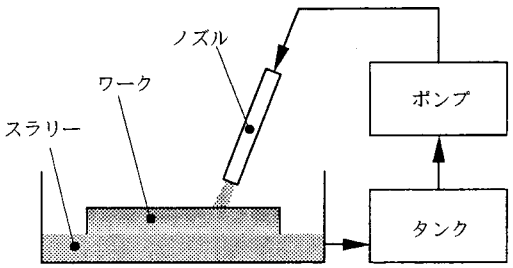


図 3.32　Fluid Jet Polishing (FJP)

表 2.6 各種加工法における形状精度，表面粗さ，加工能率の比較

加工法	形状	形状精度	表面粗さ	加工能率
PCVM	400 × 50 × 30 mm Si 平面ミラー	22.5 nm p-v (※2)		0.13 mm^3/hr（仕上加工時）～70 mm^3/hr 回転電極
	φ18 mm シュバルツシルド光学系用合成石英球面ミラー(R=105.553 mm)[83]	0.69 nm rms (※2)	0.19 nm rms	パイプ型電極
	φ88 mm シュバルツシルド光学系用合成石英球面ミラー(R=330.685 mm)[83]	0.63 nm rms (※2)	0.22 nm rms	パイプ型電極
EEM	21×25 mm BK7 平面ミラー	3.1 nm p-v (※2)	0.4 nm p-v < 0.2 nm rms	0.001 mm^3/hr
	φ30 mm BK7 球面ミラー (R = 3 km)	< 5nm p-v (※2)		
IBF	265×40 mm ZERODUR® 平面ミラー [84]	28 nm p-v (※2)	<0.2 nm rms [86]	0.7～4 μm/hr [84] 0.6mm^3/hr [85] 0.06～2.1 mm^3/hr [86]
	φ103 mm CaF_2 凸面ミラー (R=248 mm) [84]	22.2 nm p-v (※2)		
	φ200 SiC 楕円ミラー [84]	41 nm p-v, 5 nm rms (※2)		
	φ252 mm ZERODUR® 軸外し非球面ミラー [87]	6.8 nm rms		
	φ50 ～ 230 mm 各種ガラス球面レンズ [87]	0.4 ～ 0.8 nm rms		
	φ100 mm ZERODUR® 非球面ミラー [88]	1.36 nm p-v, 0.14 nm rms (※2)	0.12 ～ 0.15 nm rms [88]	

CCP	290 × 60 mm 合成石英 トロイダルミラー (Rm = 38.8 m, Rs =384 mm) [88)89)]	5 nm rms, 1.8 / 2.8 μrad (※1)	0.37 nm rms	
	970 × 60 mm Si トロイダルミラー (Rm = 4300 m, Rs = 131 mm) [88)89)]	8 nm rms, 3 / 5 μrad (※1)	0.14 nm rms	
	700 × 30 mm Si シリンドリカルミラー (R = 77.1mm, Rs = 0.131 m) [88)89)]	8 nm rms, 3 / 5 μrad (※1)	0.19 nm rms	
	1180 × 150 mm Si 平面ミラー [88)89)]	8 nm rms, 3 / 5 μrad (※1)	0.26 nm rms	
	φ180 mm 合成石英 軸対称放物面ミラー [88)]	0.76 nm rms (※2)	0.35 nm rms	
	225 × 30 mm ZERODUR® 球面ミラー (R = 342.7 m) [88)89)]	1.1 nm rms, 0.5 / 1.5 μrad (※2)	0.4 nm rms	
	170 × 20 mm 合成石英 球面ミラー (R = 56.35 m) [88)89)]	0.7 nm rms, 0.35 μrad (※2)	0.2 nm rms	
	φ190 mm 合成石英 球面ミラー (R = 56.35 m) [88)89)]	0.24 nm rms (※2)	0.26 nm rms	
	φ570mm×90mm^{t} 有効径 φ500mm 合成石英 トロイダルミラー (Rm = 430 m, Rs = 2 m) [90)]	78 nm p-v	0.13 nm rms	1.3 mm^3/hr
	φ200mm×20mm^{t} 有効径 φ150mm CaF_2 単結晶 UV グレード非球面レンズ (参照球面曲率半径約 480mm) [90)]	77 nm p-v	0.12 nm rms	
	430mm × 130mm × 25mm 有効部 240 × 70mm CVD-SiC on 焼結 SiC トロイダルミラー (Rm = 490m, Rs = 2m) [90)]	60 nm p-v	0.15 nm rms	
	φ70 mm 以下 溶融石英 軸対称非球面ミラー (近似曲率半径 245±10mm 非球面量 10μm以下) [91)]	23 nm p-v , 3.4 nm rms (<φ55)	0.2 nm rms	
	φ43mm 合成石英凸面非球面 (詳細形状不明) [92)]	72 nm p-v, 16.2 nm rms		5 × 10^{-4} mm^3/hr
	詳細形状不明 ArF エキシマステッパ用非球面投影レンズ (最大非球面量 0.67 mm) [93)]	130 nm p-v	1.07 nm rms	
	φ40 mm × 10 mm^{t} 有効径 20 mm BK7 非球面凹形状 [94)]	100 nm p-v, 19nm rms	1.6 nm rms 9 nm p-v	0.1 mm^3/hr
	370 mm × 90 mm × 10mm 有効部 350 mm × 83 mm 合成石英 SR 光用軸外し回転楕円体ミラー [95)]	1200 nm p-v (※1)	0.46 nm rms 2.4 nm p-v	13 mm^3/hr
	有効径 60mm 単結晶 Si (赤外光集光用) [96)]	PV 230 nm (※1)	3.7 nm rms 16.9nm p-v	3.8 mm^3/hr
RIBE	φ60 mm 放物面 [97)]	210 nm p-v [97)]	0.5～2 nm rms [97)]	30 mm^3/hr (1μm/ min) (CF_4/SF_6, CF_4/H_2 合成石英) [97)]
PACE	φ100 mm 合成石英 [98)] φ150 mm Si 平面	70 nm p-v (※2) 47 nm p-v, 7.0 nm rms (※2)	0.15 nm rms [99)]	2700 (合成石英)～13500(Si) mm^3/hr [98)] → φ76 mm 電極による粗加工 57(φ35 mm 電極,合成石英)～67 (φ17 mm 電極 Si) mm^3/hr [99)]
PJCE	φ140 mm 合成石英 非球面 [100)]	3～4 μm p-v	10 nm rms [100)]	1200 mm^3/hr (Fused Silica) [100)]
MRF	φ40 mm 合成石英凸レンズ (R=58 mm) [101)]	90 nm p-v	0.8 nm rms [101)]	13～55 mm^3/hr (各種ガラス材) [101)]
	φ47 mm BK7 (最大非球面量 140 μm) [101)]	860 nm p-v (※1) (測定は Form Talysurf)		
	φ50 mm BK7 球面凸レンズ(R = 90 mm) [102)]	31 nm p-v (※2)	0.8 nm rms	
	φ50 mm BK7 非球面レンズ [102)]	300 nm p-v, 80 nm rms	1.0 nm rms	
	φ35 mm SK 球面レンズ(R=25, 60, 200 mm) [103)]	27 nm p-v (※2)		
	SLAM-55 (最大非球面量 120 μm) [103)]	200 nm p-v (※1) (測定は Form Talysurf)		
FJP			1.5 nm rms	0.2 mm^3/hr (BK7) [104)]

※1 触針式 ※2 干渉計

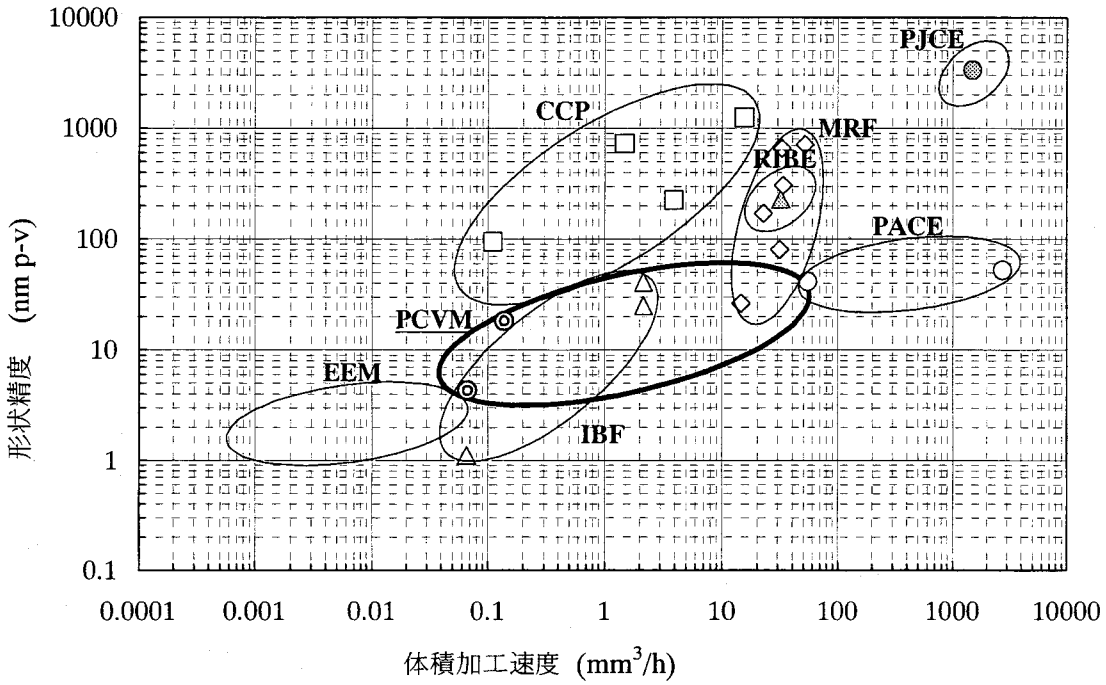


図 3.33　各種加工法における加工速度と形状精度の関係

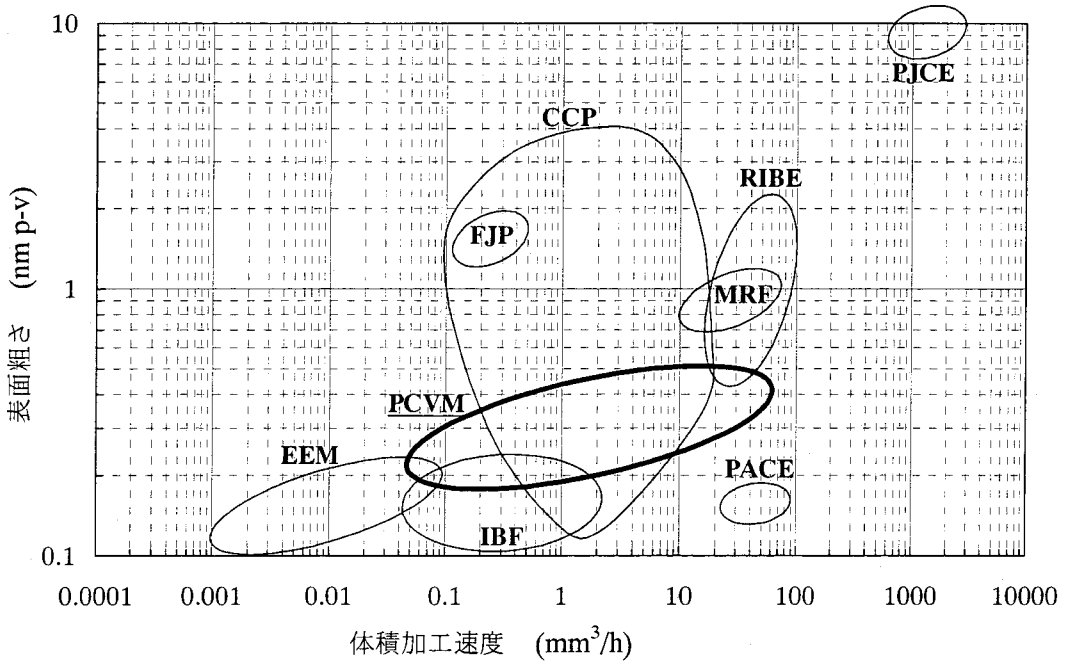


図 3.34　各種加工法における加工速度と表面粗さの関係

3.3　数値制御プラズマ CVM 加工システムの開発

3.3.1　数値制御加工方法

(1) 数値制御加工理論

一般的に高精度な光学素子を機械研磨によって仕上げる場合、ワークの径よりも小径の研磨ツール（ポリシャ）を用いる、スモールツール研磨が行われる。スモールツール研磨による修正加工は、式(3.21)に示すプレストンの仮説式 [105]に基づいて行われる。

$$H(x,y,T)=k\times P(x,y,T)\times V(x,y,T)\times \mathrm{d}T \tag{3.21}$$

ここで、$H(x,y,T)$：研磨除去量、k：研磨定数、$P(x,y,T)$：研磨圧力、$V(x,y,T)$：相対速度、$\mathrm{d}T$：滞留時間である。また、プレストンの仮説式をもとにした除去に関するコンボリューションモデルが提案されており、式(3.22)にモデル式を、図 3.35 にその原理図を示す [106][107]。

$$h(x,y)=\iint_A g(u,v)f(u-x,v-y)\mathrm{d}u\mathrm{d}v \tag{3.22}$$

ただし、A は研磨領域である。

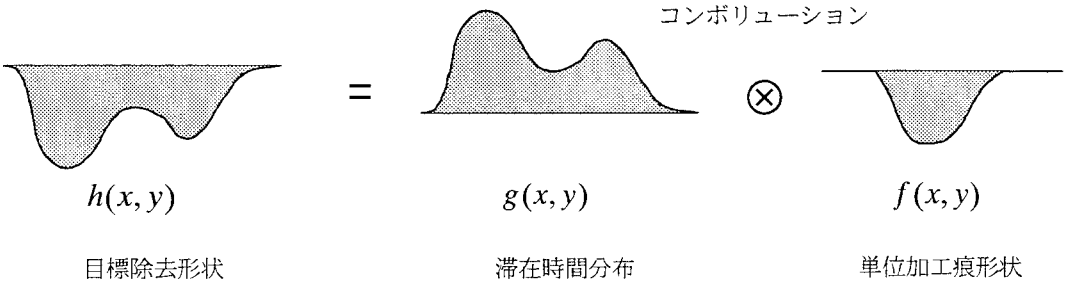


図 3.35　数値制御加工におけるコンボリューションモデル

これらより、研磨ヘッドによって生成される単位時間当りの加工痕形状を決定すれば、目標とする除去形状を得るには、式(3.22)をデコンボリューションすることにより、ワーク上の各点における研磨ヘッドの滞在時間分布を算出すればよいことが分かる。また、実際の加工における滞在時間分布の制御は、コンピュータを用いたワークテーブル、もしくは研磨ヘッドの送り速度制御によって行われることから、本加工方式は CCP（Computer Controlled Polishing）と呼ばれる。

一方、プラズマ CVM における数値制御加工も、図 3.3 に示されるものと全く同じ原理にもとづいて行われる。ただし、単位加工痕形状 $f(x,y)$は、式(3.23)に示すパラメータによって決定される。

$$f(x,y)=f(\text{反応ガスの濃度と組成,圧力,投入電力,電極回転速度,加工ギャップ}) \tag{3.23}$$

スモールツール研磨のような機械研磨においては、研磨熱の発生等により、スラリーの供給状況やポリシャの性質あるいは研磨圧力等の変動が起こり、また、ワークの熱変形や凝集した粗大粒子によるスクラッチが生じることから、安定した加工特性を維持すること

が原理的に困難である。それに対して、プラズマCVMにおいては、プラズマという熱源を有してはいるものの、加工ギャップが数百μm程度の非接触加工であるため、それが機械加工のように直接的に他の加工パラメータに影響して、加工特性を不安定にする要因にはならない。すなわち、加工量はあくまでもプラズマの滞在時間、すなわちワークの送り速度のみで安定に制御でき、これは本加工法が有する特筆すべき利点であると言える。

(2) プラズマCVMによる数値制御加工プロセス

プラズマCVMにおいては、3.2節で述べたようにプラズマを発生させる回転電極の形状を変えることにより、切断加工、平面加工、形状加工等のさまざまな加工形態を実現することができる。その中でも数値制御による形状加工は、図 3.10(c)に示すような回転方向に垂直な方向にも曲率のある電極を用い、局所的なプラズマを発生させて行う。ワークをプラズマに対して一定時間静止させて加工を行うと、プラズマ発生領域に窪みが形成される。これを単位加工痕と定義する。プラズマCVMによる形状加工は、この単位加工痕の集積によって行われる。SOIウエハの加工を行う際の加工プロセスを図3.36に示す。まず前加工面のSOI層厚さ分布を精密に計測し、目的厚さからの偏差量（誤差量）を求める。次に、加工量はプラズマの滞在時間に比例するという原理に基づき、ワーク上の各点における偏差量を無くすためのワークテーブルの送り速度データを、加工シミュレーションにより作成する。そのデータをNCコントローラに転送し、テーブルの送り速度制御を行うことで数値制御加工を行う。

また、プラズマCVMの加工特性は式(3.23)に示されるように、複数の加工パラメータの組合せによって決定されるが、実際の数値制御加工時においては、電極の回転速度、反応ガス組成、および投入電力は固定パラメータとしている。よって、制御パラメータとしては、ワークの送り速度以外は回転電極とワークの間の加工ギャップ（数百μm）を一定に制御するのみの単純なものであるため、機械加工では作製するのが困難な非球面形状等を極めて容易に創成することができる。

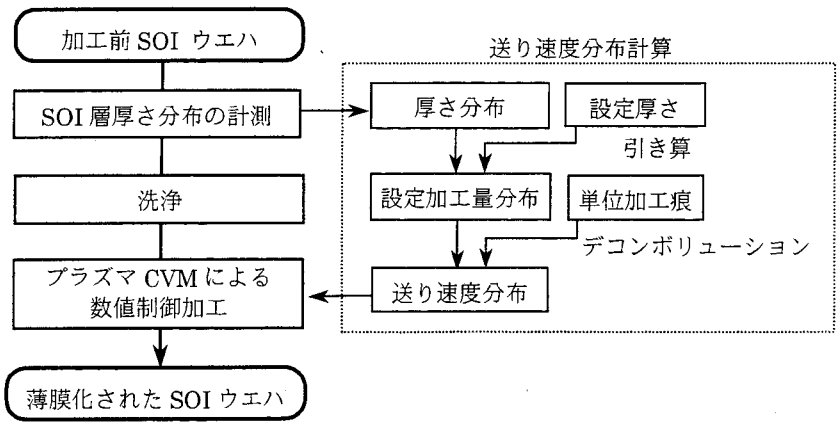


図3.36　プラズマCVMによる数値制御加工プロセス

(3) 送り速度分布導出プログラム

プラズマ CVM においては、加工パラメータ（反応ガスの組成比および濃度、投入電力、電極－加工物間の加工ギャップ、電極回転速度等）が一定であれば、加工量は加工点におけるプラズマの滞在時間に比例することを前節までに述べた。このことから、各点での必要加工量に応じた送り速度でワークを走査することにより、任意の目的形状の加工を行うことができる。ここで、送り速度分布を算出するには、式(3.22)をデコンボリューションすることによりプラズマの滞在時間分布を求めればよい。図 3.37 に計算アルゴリズムを示す。手順としては、前加工面形状 $Z_1(x,y)$と目的形状 $Z_2(x,y)$との差から設定加工量分布 $Z_3(x,y)$を計算する。スキャン方向において、間隔 ds ごとに設定した速度データ設定格子点の番号

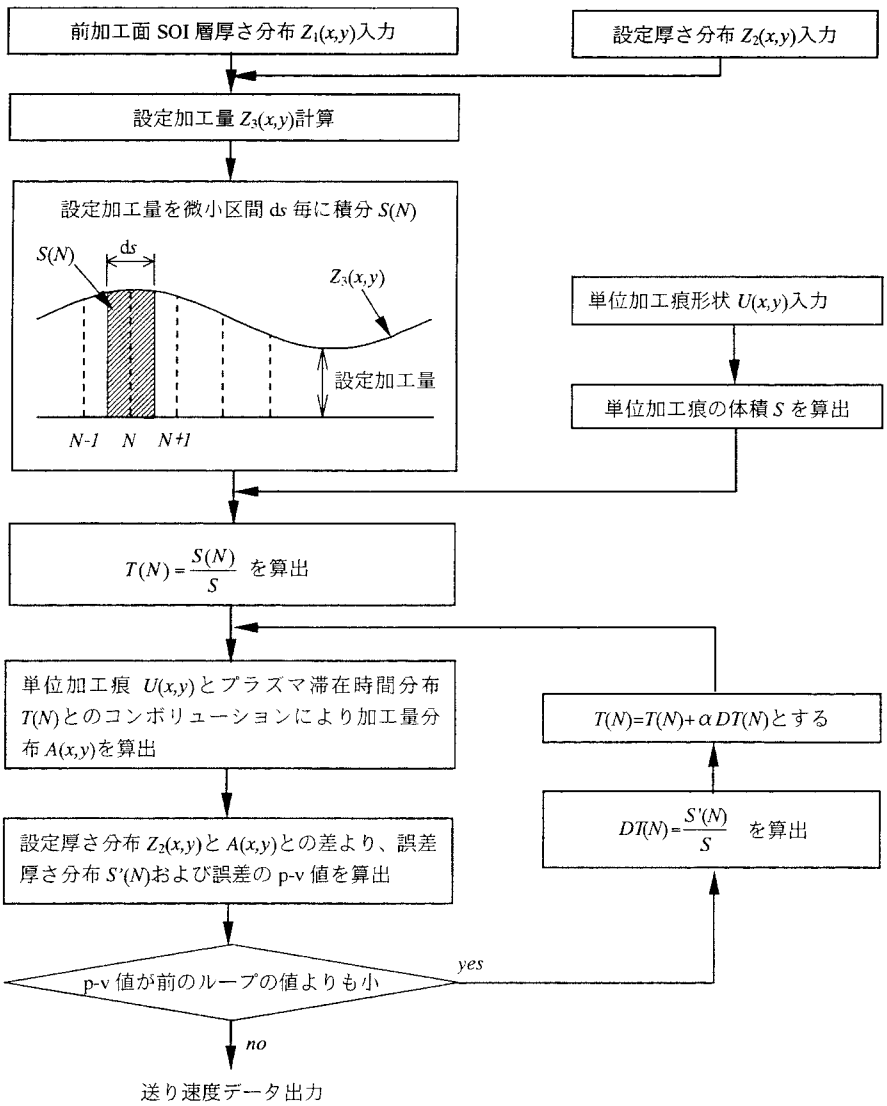


図 3.37　送り速度分布の計算アルゴリズム

を 1,2,…,N-1,N,N+1,…とし、N 番目の地点において、その点を中心に ds の幅で設定加工量を積分し、それを $S(N)$とする。次に、単位時間（T_1）当りにおける単位加工痕の体積を Sとし、

$$T(N)=\frac{S(N)}{S}\times T_1 \tag{3.24}$$

を速度データ設定格子点すべてにおいて計算し、仮の滞在時間分布を求める。その検算として、加工痕形状 $U(x,y)$と仮のプラズマ滞在時間 $T(N)$とのコンボリューションにより、加工量分布 $A(x,y)$を導出する。前加工面形状からその加工量分布を差し引いた形状と目的形状の差をそれぞれの格子点ごとに求め、$S'(N)$とする。次に、

$$DT(N)=\frac{S'(N)}{S}\times T_1 \tag{3.25}$$

を計算し、

$$T(N)=T(N)+DT(N) \tag{3.26}$$

と補正した後、同様に加工量を導出して再び目的形状との差を求める。このループを繰り返すことによって、最終的に形状誤差の値が最小となるような送り速度分布を導出することができる。

3.3.2　加工システムの構成

図3.38に開発した数値制御プラズマCVM加工システムの構成を示す。加工システムは、加工装置本体、数値制御制御システム、ガス排気ポンプ、プラズマを発生・維持するための電力を供給する高周波電源、ならびにインピーダンス整合器、チャンバー内のガスを循環してパーティクルや反応生成物ならびにプラズマから流入する熱を除去するとともに反応ガス濃度を一定に制御するガス循環精製システム、チャンバー内の雰囲気ガスを圧縮して気体軸受に供給するコンプレッサーなどから構成されている。加工装置本体はクラス1

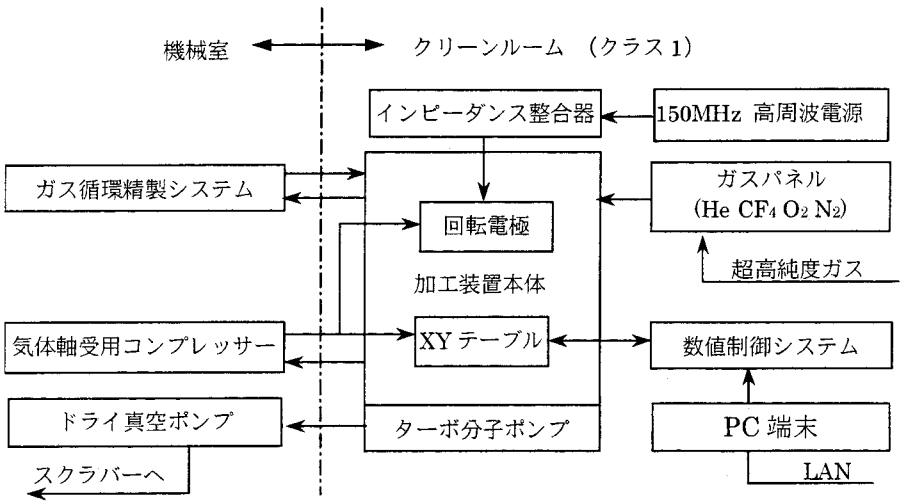
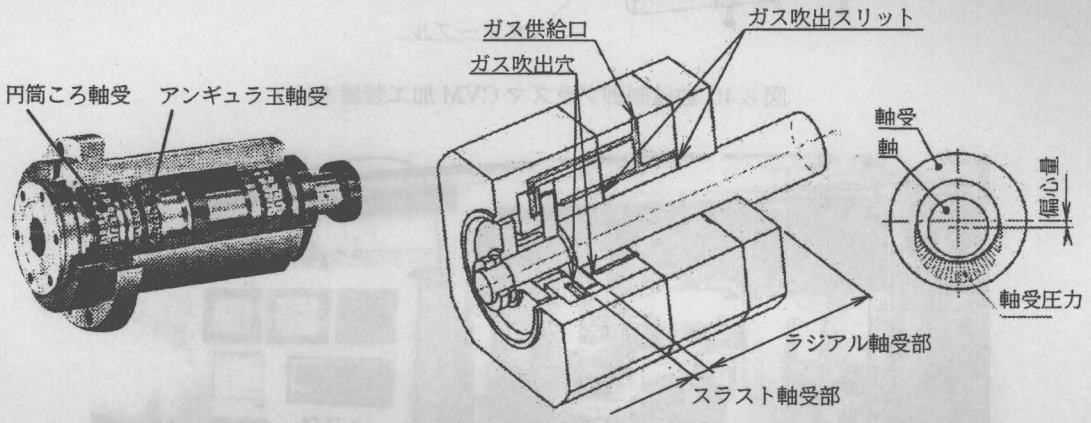


図 3.38　数値制御プラズマＣＶＭ加工システム

（粒径 0.1μm）のクリーンルーム内に設置されており、クリーンルーム内のガスパネルより超高純度ガスの供給が可能である。

本装置はプラズマ発生用の電極を高速で回転させる機構を採用しているため、回転体の軸受、ならびに駆動部が必要となる。通常、軸受には図 3.39(a)に示すように球状あるいはころ状の転動体の支持による転がり軸受が用いられる。ところが、このような機構では、接触部（摺動部）における摩耗による発塵（パーティクルを発生）[108]や、潤滑油の揮発[109]が避けられない。プラズマ CVM は原子・分子状の中性ラジカルと加工対象物表面の原子との化学反応により除去加工を行うものであるため、パーティクルや潤滑油といった不純物は、加工面にダメージを与えたり、加工の進行を妨げて表面粗さを悪化させる要因となる。よって本加工装置の回転電極用軸受ならびに XY テーブル用スライド軸において、上述の要因が一切無い、気体軸受を採用することにした。気体軸受は、図 3.39(b)に示すように、軸と軸受との間の微小隙間に供給される気体の圧力によって軸を浮上させるものであるため、摩耗によるパーティクルの発生が無く、また潤滑油を必要としない。さらに、軸受に供給する気体にはチャンバー内の雰囲気ガスを用いるという作動流体潤滑（Process gas lubrication）の概念により[110]、加工システム内のガスの純度を保持することができる。



(a) 工作機械用軸受の一例　　(b) 気体軸受の一例

図 3.39　軸受の例

3.3.3　加工装置本体

図 3.40、3.41 に加工装置本体の概略図および外観写真を示す。加工装置本体は、回転電極やワークテーブルなどの駆動要素と、それらが構築されているアルミニウム合金製の定盤、および雰囲気を加工ガスに置換するためのプロセスチャンバから構成されている。全ての駆動要素を同一定盤上に配置することでチャンバーの変形等によらず高精度な運動が実現できる。定盤は通常 3 点支持によってチャンバー内に設置されているが、図 3.40 のように定盤ごとチャンバー外部に引き出すことが可能であり、各駆動機構を容易に調整できる。表 3.7 に加工装置本体の回転電極およびテーブルの仕様を示す。

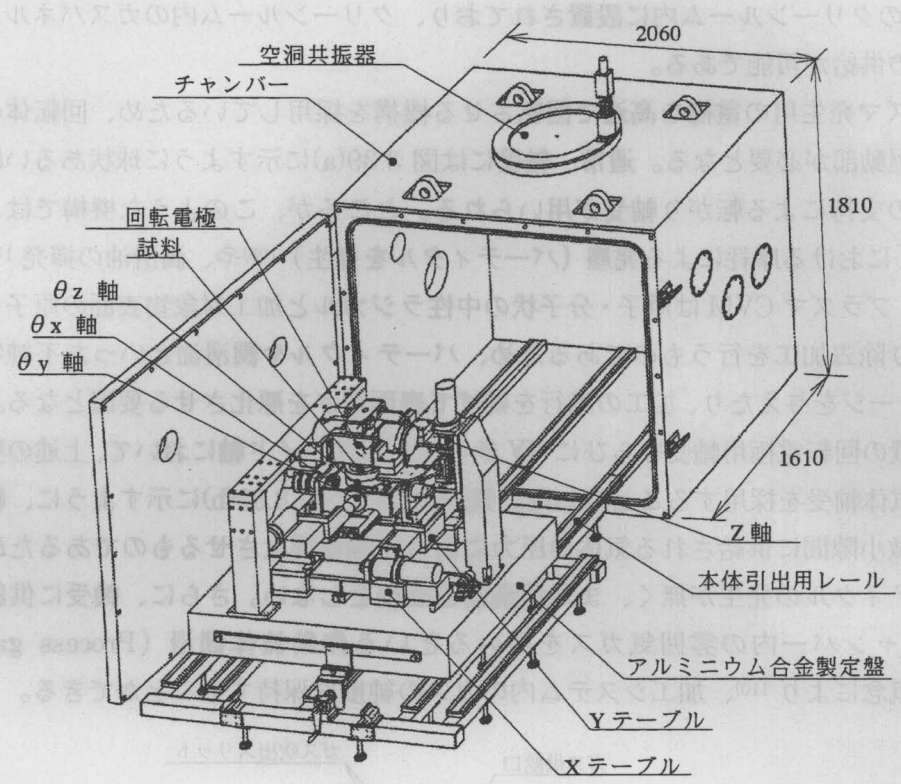


図 3.40 数値制御プラズマ CVM 加工装置本体

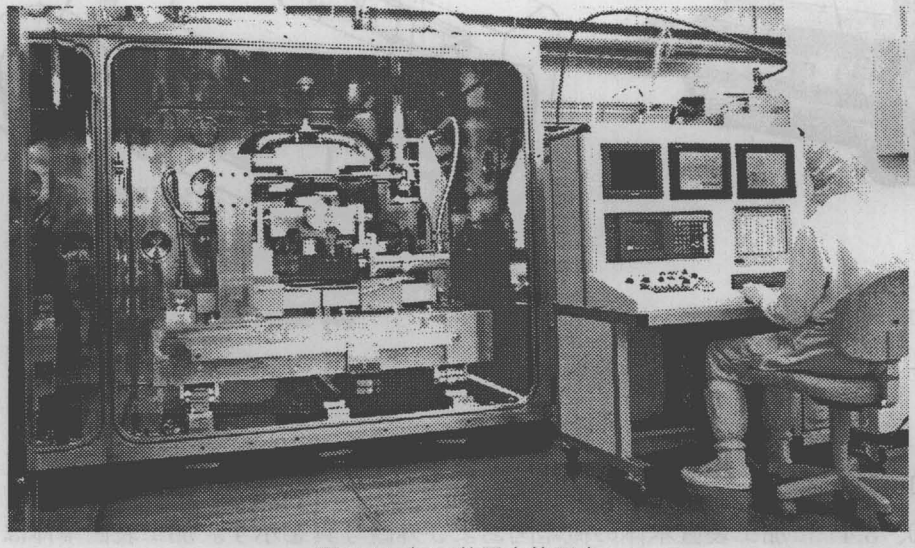


図 3.41 加工装置本体写真

表 3.7　加工装置本体の各駆動部の仕様

駆動部	仕　様
回転電極	直径：200 mm、最高回転数：6,000 rpm、振れ精度：5 μm 以内
XYテーブル	ストローク：XY共に±160 mm、真直度：1 μm 以内、最大送り速度：20 mm/s
θテーブル	可動域：θx,θy共に±30°、θzはエンドレスで最大回転数 100 rpm
Z軸	ストローク：±5 mm、分解能：1 μm

3.3.4　気体軸受式回転電極

(1) 気体軸受式回転電極の構造

図 3.42、図 3.43 に本加工装置に使用している気体軸受式回転電極の構造と概観を示す。気体軸受(ラジアル、スラスト)によって、ステンレス(SUS303)製のスピンドルを支えている。一方、気体軸受の対称位置には回転駆動部となる回転用モーターがあり、オイル、パーティクル流出を防ぐためモーターを気密ケースに収め、マグネットカップリングを介してスピンドルを回転させる。電極本体には容量結合によって高周波電力が伝えられるが、軸受部に高周波電力が伝わることを抑制するため、電極は絶縁体（窒化珪素）を介してスピンドルに固定されている。この絶縁体は、プラズマ部で発生する熱が軸受に伝わりにくくする役割も果たす。電極の形状は、直径 200 mm、幅 50 mm 電極外周部の曲率は SR100 mm で、直径 200 mm の球の一部となっている。材質はアルミニウム合金(A5052)で、その表面には二次電子放出によるアーク放電の防止、ならびにフッ素系の反応種に対して耐食性をもたせるため、次に述べるようにアルミナ(γ-Al_2O_3)を溶射し、研磨を施している。

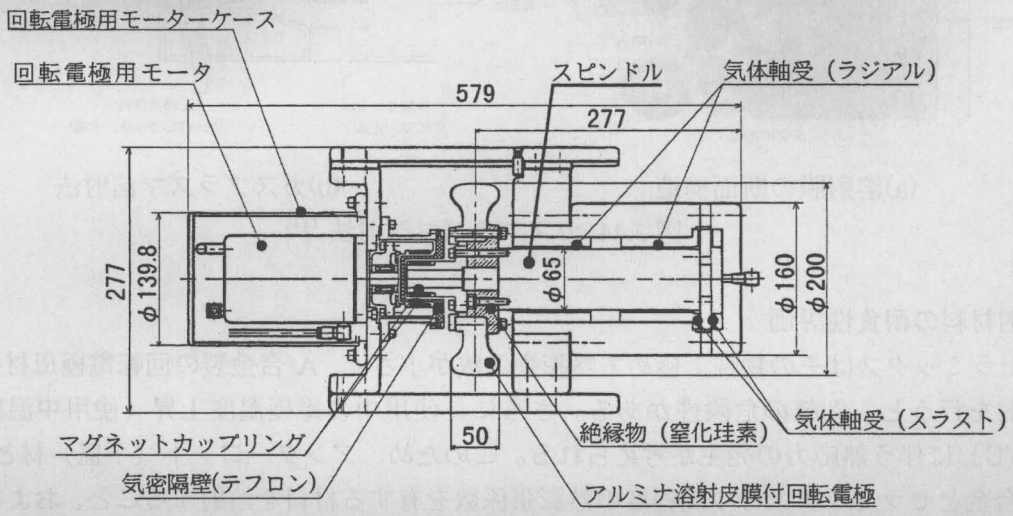


図 3.42　プラズマ発生用高速回転電極の構造

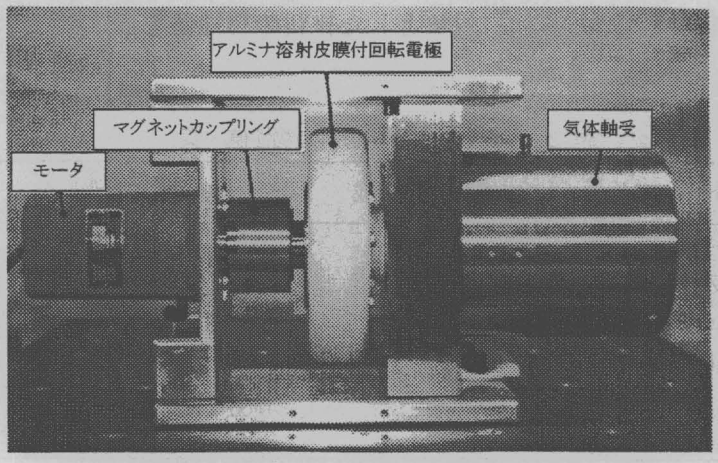
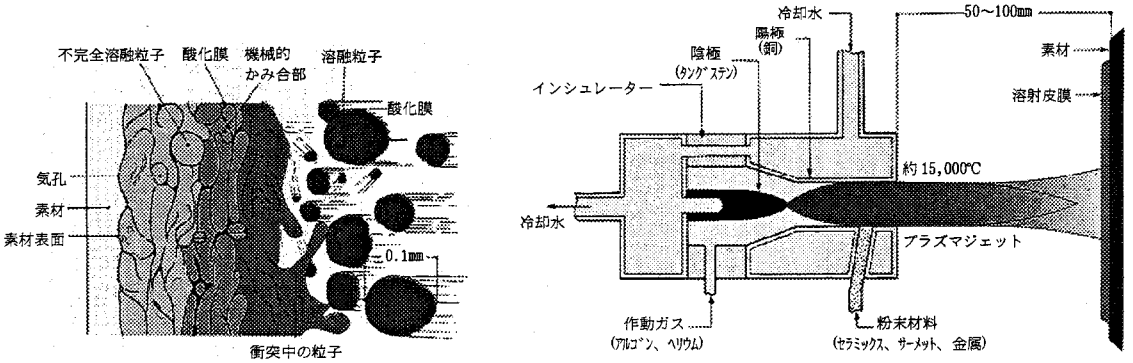


図 3.43　気体軸受式回転電極の外観

(2) ガスプラズマ溶射による回転電極表面のセラミックス皮膜の形成

ガスプラズマ溶射

ガスプラズマ溶射とは図3.44に示すようにアルゴン，ヘリウムなどの作動ガス中でタングステン陰極と銅ノズル陽極間に電圧をかけ、直流アークを発生させると、作動ガスが解離電離し、連続的プラズマアークが発生する。これをノズルにより絞りこみ、15000℃以上の超高温・超高速ジェットを噴出させる。そのプラズマジェット中に粉末を送給し、溶融させながら加速して被覆する方法で、セラミックスなどの高融点材料の溶射が可能である。さらに、プラズマジェット噴流が溶融粒子を高速で素材に吹きつけることにより、高品質な溶射被膜の形成が可能である。



(a)溶射膜の断面構造　　(b)ガスプラズマ溶射法

図3.44 ガスプラズマ溶射法[111]

溶射材料の耐食性評価

セラミックスはその物性上極めて熱膨張係数が小さく、Aℓ合金製の回転電極母材へ直接溶射を行うと、剥離の危険性がある。さらに、使用中の電極温度上昇（使用中温度は約100℃）に伴う熱応力の発生が考えられる。このため、アンダーコート（下盛）材として、Aℓ合金とセラミックスの中間程度の熱膨張係数を有する材料を溶射すること、および溶射施工前に、予め使用温度まで予熱を行ってから溶射する等の熱応力を緩和する対策を行った。下盛材は、耐食性をさらに向上させるために、フッ素ラジカルに対して高い耐食性を有するNi基材料を検討した。検討対象とした材料の物性値を表3.8に、溶射条件を表3.9に示す。

表3.8 検討対象材料の物性値一覧

材料		存在する組成	融点 (℃)	熱膨張係数 (10^{-6}/℃)	硬度 (Hv)
セラミックス	$A\ell_2O_3$	$\gamma-A\ell_2O_3$	2050	7.2	900 ～ 1000
	$ZrO_2+8\%\ Y_2O_3$	$ZrO_2-Y_2O_3$	2700	10.6	700 ～ 900
	$A\ell_2O_3+13\%TiO_2$	$A\ell_2O_3, TiO_2$	−	7.5	700 ～ 800
	$A\ell_2O_3+25\%ZrO_2$	$A\ell_2O_3-ZrO_2$	1870	7.3	950 ～ 1150
下盛材	80% Ni + 20% Cr	−	1400	16.3	200 ～ 300
	ハステロイ C	−	1300	11.3	300 ～ 450
母材	Aℓ合金	−	660	23.9	70

表 3.9 各材料における溶射条件一覧

材料	作動ガス(SLM)	電流(A)	溶射距離(mm)	電極	粉末送給条件
セラミックス	Ar = 40, H_2 = 12	550	120	6 std	2.5 SLM, 20 rpm
下盛	Ar = 54, H_2 = 9	500	120	6 std	2.5 SLM, 20 rpm

これらの試験片の断面組織を金属顕微鏡により観察した結果を図 3.45 に示す。観察の結果、いずれの断面組織も緻密な溶射皮膜の積層構造（ラメラ）を示しており、割れや剥離等も無く、均質な膜であることがわかった。また、セラミックスの中では、$A\ell_2O_3$ が最も緻密であった。

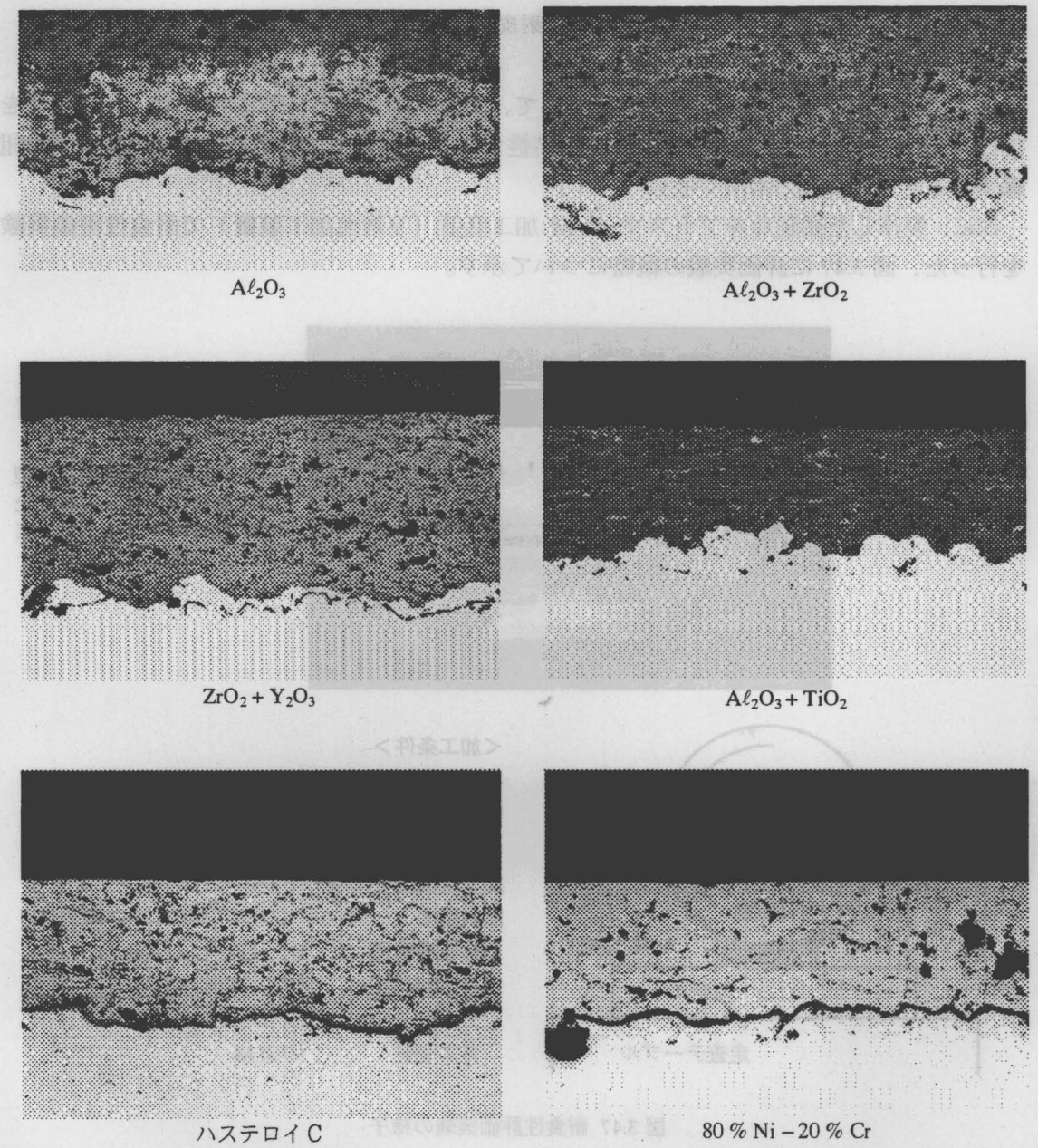


図 3.45　各溶射皮膜の断面組織

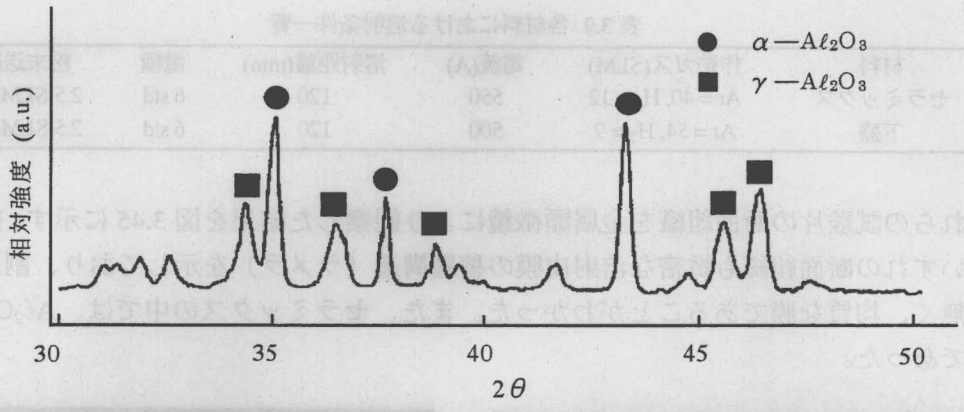
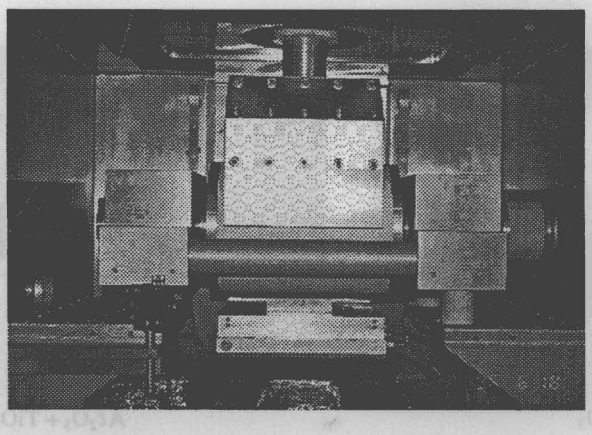


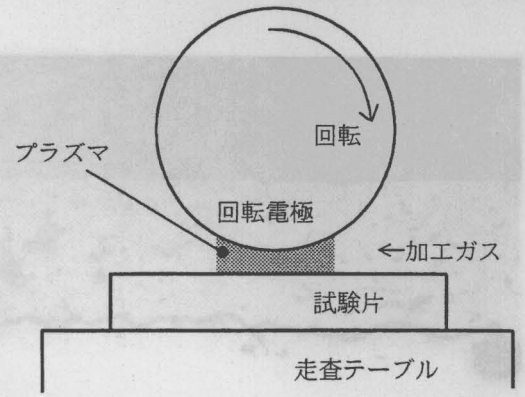
図 3.46　$A\ell_2O_3$ 溶射皮膜の X 線回折結果

そこで、最も緻密であった $A\ell_2O_3$ について、X 線回折による分析を行った。分析結果を図 3.46 に示す。溶射皮膜はその施工上の特性から急冷凝固しているため、$A\ell_2O_3$ の急冷組織である γ 相が検出されている。

次に、製作した試験片をプラズマ CVM 加工装置（平坦化加工装置）で耐食性評価実験を行った．図 3.47 に評価実験の概略について示す。



※中央に設置された円筒型回転電極の下に、製作した溶射試験片をセットすることで、実際に加工を行う。



＜加工条件＞
投入電力　：3 kW／10 cm (300 W/cm)
電極回転数：5000 rpm
ギャップ　：300 μm
加工時間　：60 分
試料温度　：約 80℃（プラズマによる加熱）
ガス初期濃度　：He　98.9% (97.8%)
（ ）は実験中　：SF_6　1.0% (2.0%)
　　：O_2　0.1% (0.2%)
ガス流量　：50 SLM

図 3.47 耐食性評価実験の様子

耐食性評価実験後の加工面外観を図 3.48 に示す。試験片中央の変色した帯状の部分が、プラズマ CVM によって加工された位置である。目視観察から、セラミックス材料では $A\ell_2O_3$ の変色が最も少なく、さらに下盛用材料では 80% Ni + 20% Cr が少ないことが確認された。

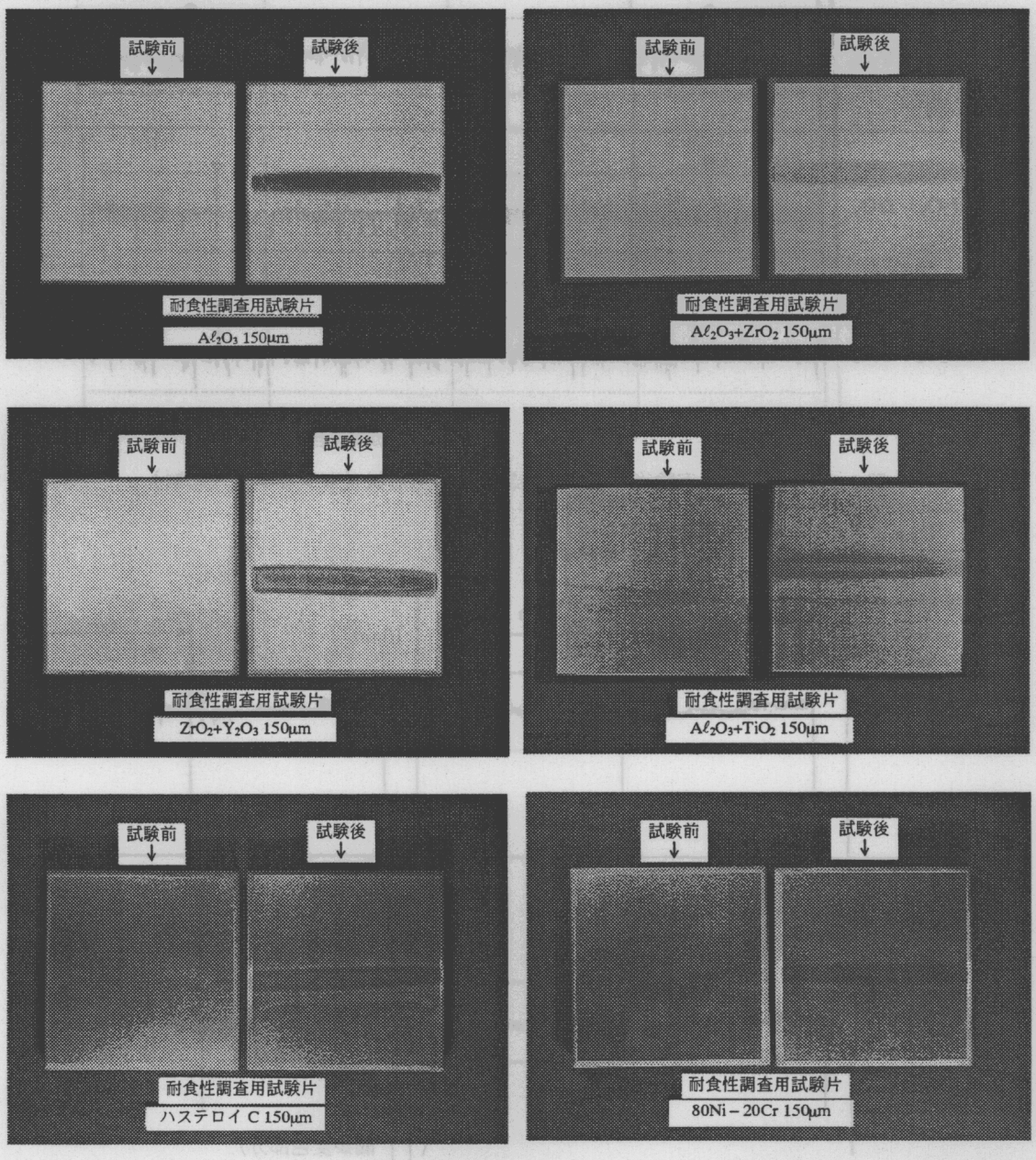


図 3.48　耐食性評価試験後の加工面外観

また、評価試験後の各試験片における加工量を、触針式表面形状測定機によって測定したが、測定不可能なほど微量であったため、加工量による比較評価は不可能であった。加工部分の形状測定結果を図 3.49、図 3.50 に示す。

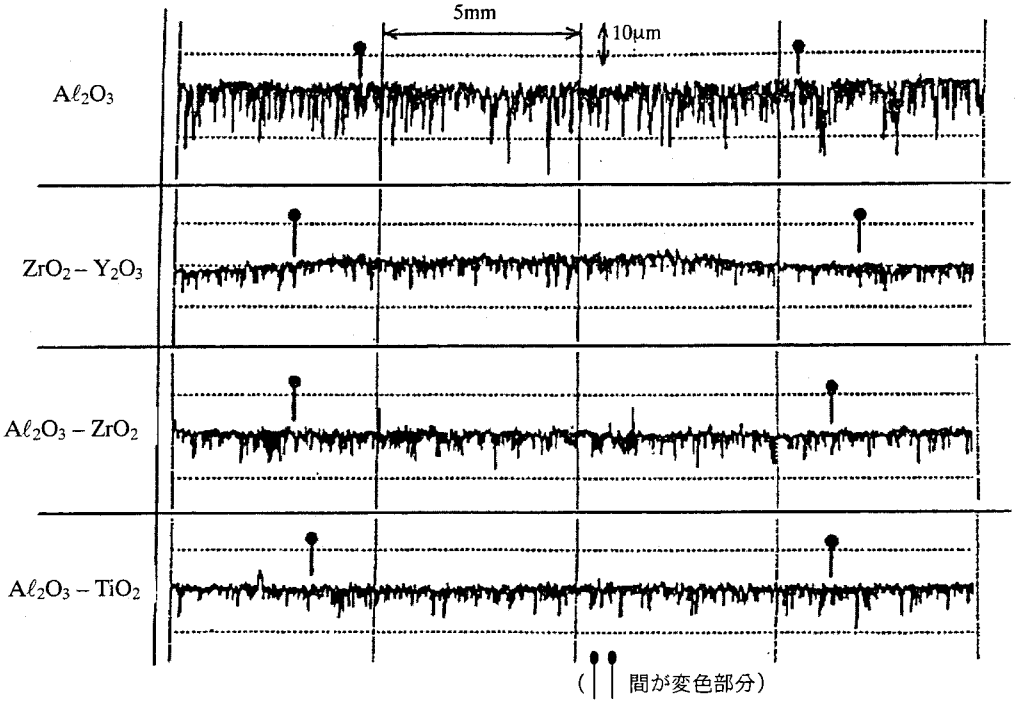


図 3.49 耐食性評価実験後における加工部の断面形状（セラミックス材料）

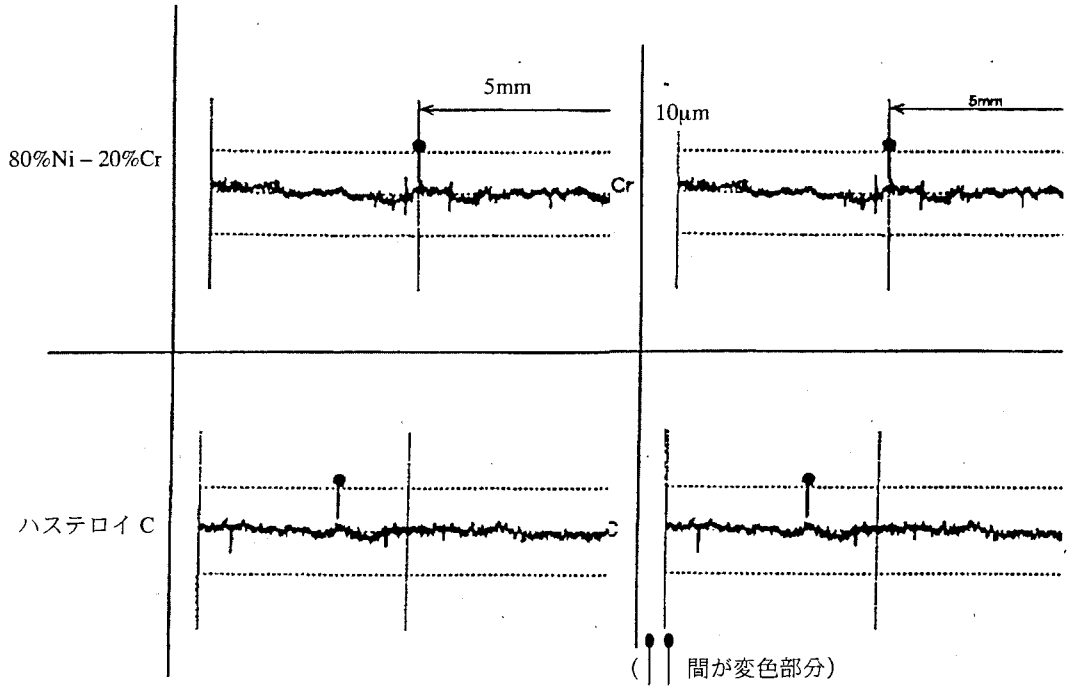


図 3.50 耐食性評価実験後における加工部の断面形状（下盛用材料）

次に、変色した部分の変質原因を特定するため、EPMA（Electron Probe Microanalysis）による変色部分の元素定性分析を行ったところ、フッ素が検出された。変色部分におけるフッ素濃度分布について図 3.51 に示す。

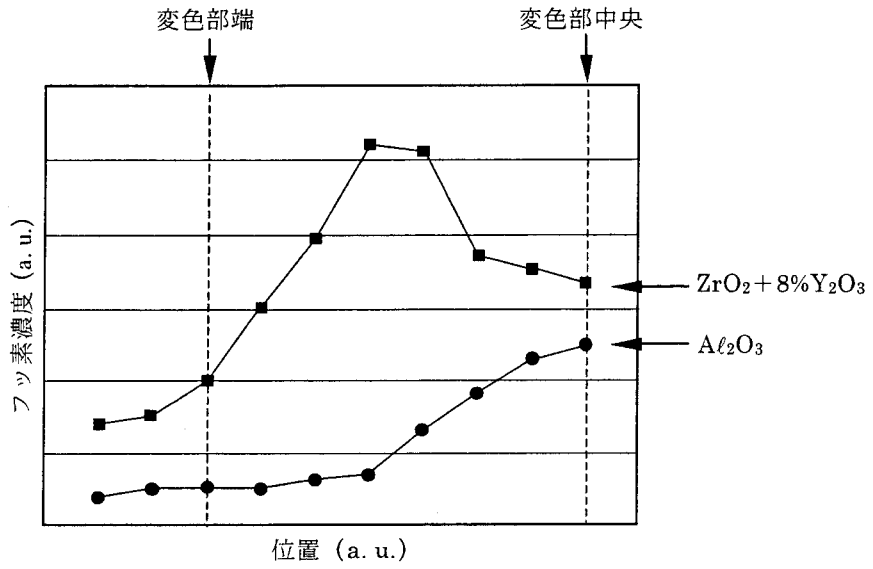


図 3.51　$A\ell_2O_3$ および ZrO_2 + 8% Y_2O_3 における変色部のフッ素濃度分布

さらに、XPS（X-ray Photoelectron Spectroscopy）により、溶射皮膜表面における元素形態分析を行った。$A\ell_2O_3$ と ZrO_2+8%Y_2O_3 の分析結果を図 3.52 に示す。

分析の結果、皮膜材料を主成分とするフッ化物が検出された。これは、加工ガス（SF_6）中のフッ素がプラズマにより解離し、溶射皮膜材料と反応して生成されたものと考えられる。

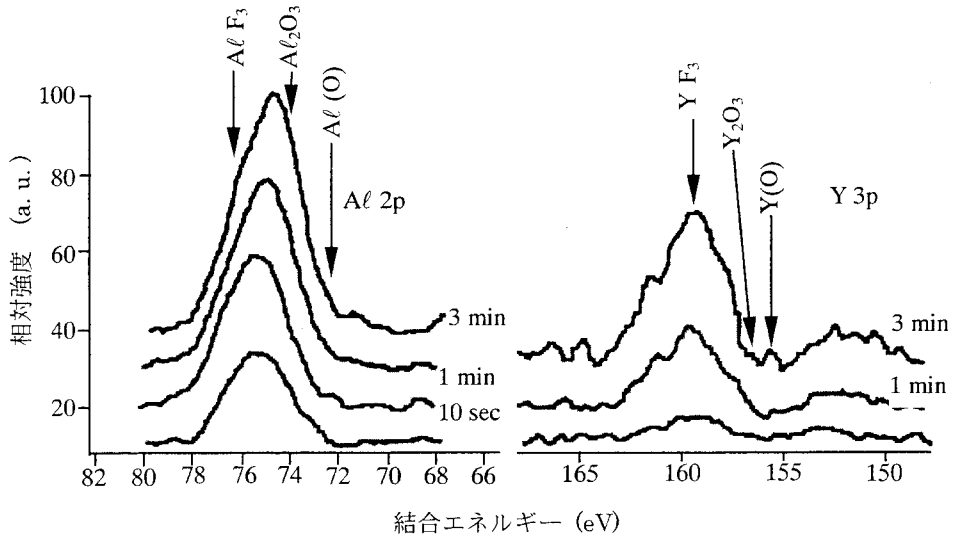


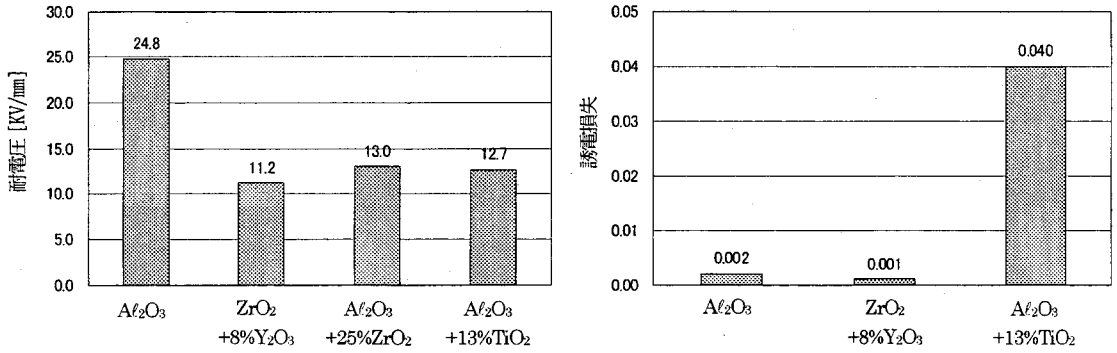
図 3.52　XPS による形態分析結果

そこで、ギブスの標準生成自由エネルギーによる比較を行ったところ、フッ化物生成傾向は、(Zr＞Ti＞Mn＞Nb＞Cr＞Aℓ＞Ni＞Co＞Si)の順であり、変色の程度と同じ傾向を示していることがわかった。これにより、変色の少ない材料ほどフッ化物が生成しにくいことが確認された。このため、変色が最も少ない $A\ell_2O_3$ および 80% Ni + 20% Cr の耐食性が高いと判断した。

溶射材料の電気特性評価

プラズマ CVM における加工能率を向上させるためには、大電力の高周波を投入することが必要であり、そのためには優れた耐アーク性（耐電圧）が要求される。また、高周波を用いるため、誘電特性についても評価する必要がある。

このため、耐電圧については一般交流電源(60Hz)を高電圧で印加することによる耐電圧試験、さらに誘電特性については、13.56MHz 高周波による誘電損失について調査を行った。結果を図 3.53 に示す。



(a)耐電圧測定結果(膜厚 150 μm)　　(b)誘電損失測定結果

図 3.53 各材料における電気特性測定結果

測定の結果、$A\ell_2O_3$の耐電圧が最も高く、その値は 24.8 kV/mm と他の材料と比較して約 2 倍の値を示した。また、電気特性の測定を行った結果、ZrO_2 + 8% Y_2O_3 と $A\ell_2O_3$の誘電損失は、ほぼ同じであったが、$A\ell_2O_3$ + 13% TiO_2では 1 桁大きくなっており、高周波電力の損失が大きいことが確認された。よって、耐食性および電気特性の観点から、プラズマ CVM に用いる電極のコーティング材料としては $A\ell_2O_3$ が最も優れていると判断した。さらに、耐電圧の最も高かった $A\ell_2O_3$ について、膜厚による耐電圧の変化を調査した結果を図 3.54 に示す。膜厚の増加に伴い、耐電圧が向上することがわかる。ただし、実際の溶射施工では、膜厚の上昇による剥離の危険性を考慮すると、限界膜厚は 300 μm と考えられる。よって、研磨による加工代を考えると、現実的な最適膜厚は 150 μm であると考えられる。

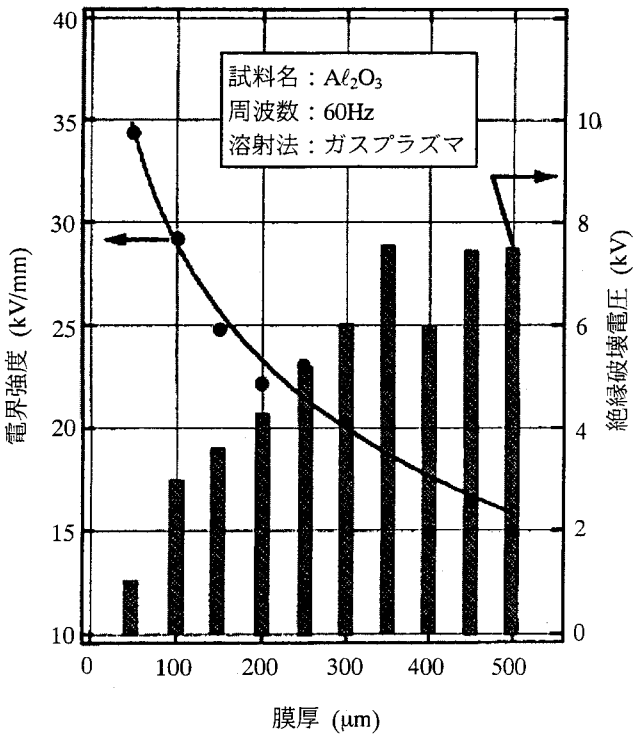
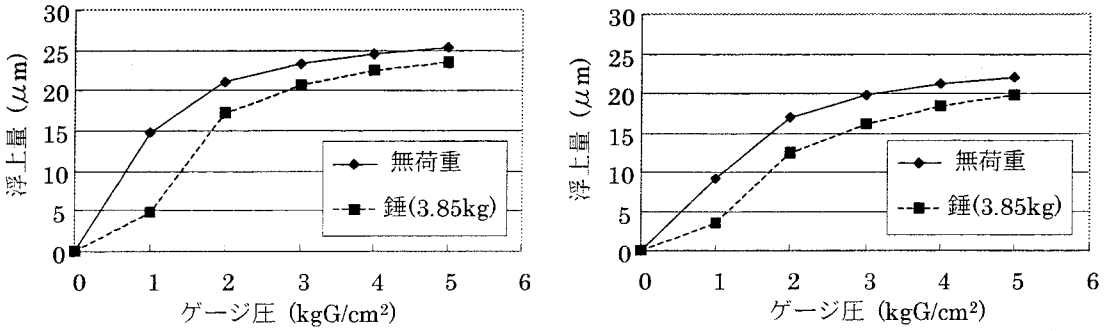


図 3.54 膜厚変化に伴う耐電圧と絶縁破壊値の変化

(3) 気体軸受式回転電極の性能評価

軸浮上量および軸受剛性

図3.55(a)(b)に供給気体としてヘリウムおよび窒素を用いた際の、供給圧力と軸浮上量の関係を測定した結果を示す。浮上量は電気マイクロメーターによって測定した。図中の破線は負荷として3.85 kgの錘を軸に吊るした場合である。図3.56は、無負荷状態と負荷状態の浮上量の変化から、軸受の剛性を算出した結果である。ヘリウム、窒素共に3 kgG/cm^{2}で、無負荷状態で20 μm以上の浮上量を持っており、剛性に関しても1 kg/μm以上の値を示している。プラズマCVMは、非接触な加工法であるため通常の加工プロセス中に回転電極に1 kgもの荷重がかかることは考えられない。よって気体供給圧力は3 kgG/cm^{2}程度以上あれば、充分安定した運転ができると考えられる。



(a) 供給気体としてヘリウムを用いた場合　(b) 供給気体として窒素を用いた場合

図 3.55 供給気体圧力と浮上量の関係

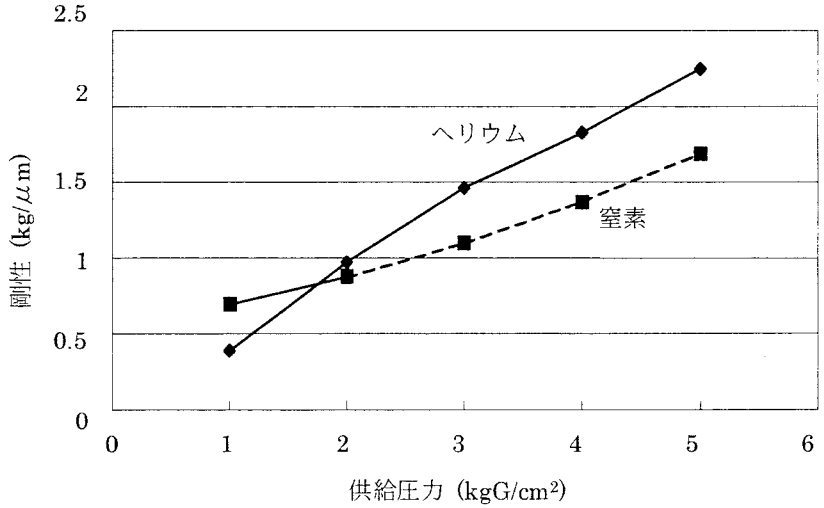


図 3.56　供給気体圧力と剛性の関係

軸受流量

図3.57にヘリウムの供給圧力を変化させて軸受に流れる流量を測定した結果を示す。流量の測定にはフロート式の流量計を用いた。気体供給圧力が3 kgG/cm^{2}で110 ℓ/min程度の流量が必要であることが分かった。

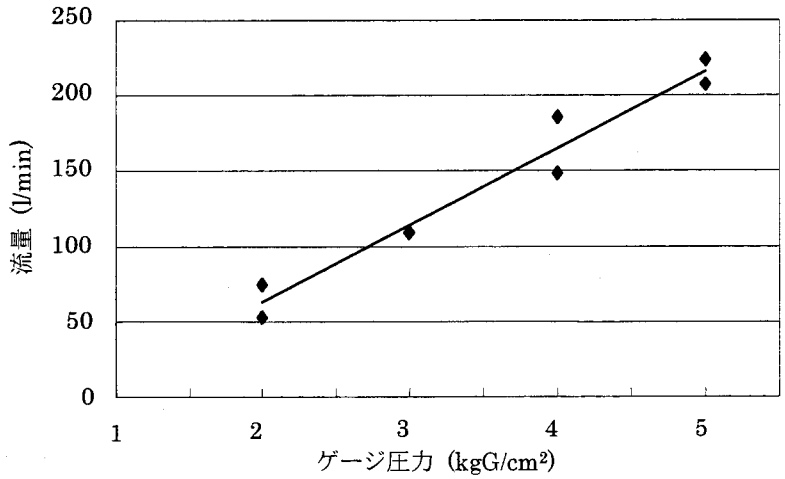
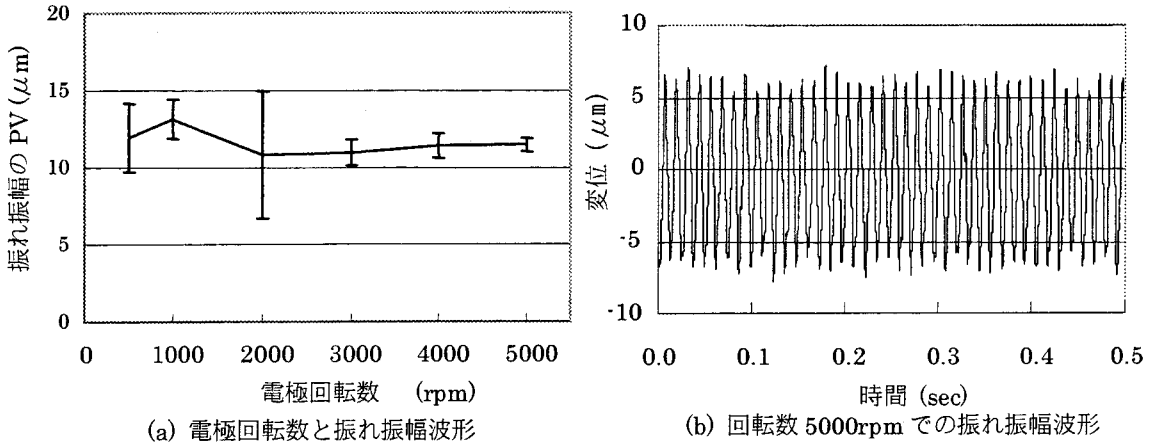


図3.57　供給気体圧力とヘリウム流量の関係

回転精度

図 3.58(a)に気体軸受式回転電極の回転数と振れ振幅（PV）の関係を、図 3.58(b)に電極回転数 5000rpm の時の振れ振幅波形を示した。気体の供給圧力はゲージ圧で 4 kgG/cm^2 とし、ヘリウムを用いた。振れの測定には渦電流式変位センサー(キーエンス社製 EX－501、EX－008）を用いた。本センサーは分解能 0.3μm、応答周波数 10 kHz である。



(a) 電極回転数と振れ振幅波形　　(b) 回転数 5000rpm での振れ振幅波形

図 3.58　気体軸受式回転電極の回転数と振れ振幅(PV)

図 3.58 より、振幅はどの回転数でも 12 μm 程度であった。手回しによって偏心の測定を行ったが、12 μm の変動は無くならなかった。つまり回転数に関係なく常に 12 μm 程度の変動があることが分かった。渦電流式変位センサーは導体表面までの距離を測定するため、測定値はアルミナ溶射膜表面の値ではなく、アルミナの下層にある金属部の振れを測定していることになる。アルミナ表面の振れを測定するため、電気マイクロメーターで振れ振幅を測定した。その結果、回転電極表面では 5 μm の振れ振幅であることがわかった。回転数を上げても振れ振幅値が一定であったのは、電極周辺を加工することにより、バランスが取られているためと考えられる。従って、電極表面の振れは、常に 5 μm 程度であると考えられる。この値は、加工ギャップを 1 mm とした場合の 0.5%の変動でしかなく、十分な精度を有していると考えられる。

3.3.5　気体軸受式XYテーブル

(1) 気体軸受式XYテーブルの構成

試料をプラズマ（電極）に対して相対運動させるためのＸＹテーブルの構成を図 3.59 に、外観写真を図 3.60 に示す。

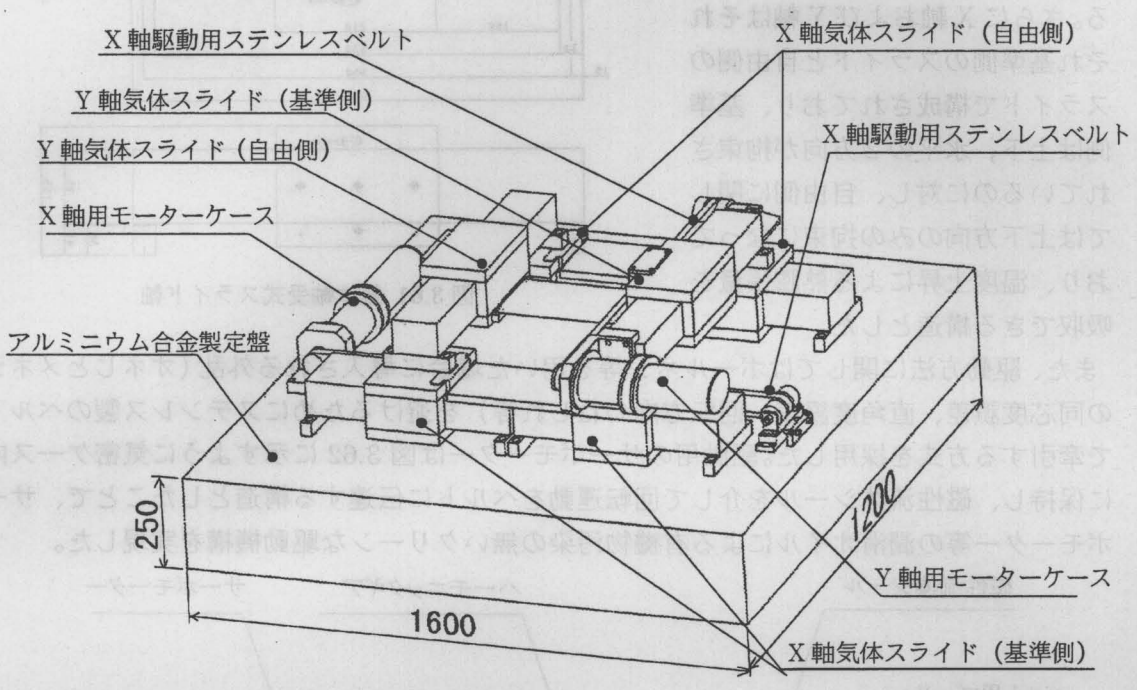


図 3.59　気体軸受式ＸＹテーブルの構成図

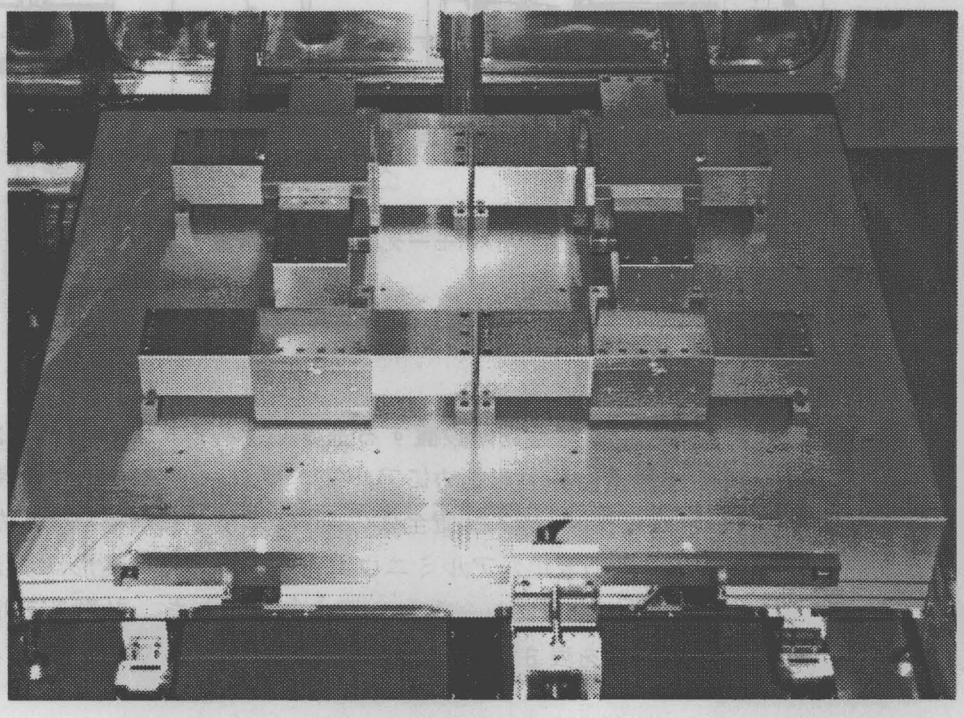


図 3.60　ＸＹテーブル外観写真

ＸＹテーブルは図 3.61 に示すアルミニウム合金(YH75)製の気体軸受式スライド軸をＸ軸に４本、Ｙ軸に２本使用して構成されている。さらにＸ軸およびＹ軸はそれぞれ基準側のスライドと自由側のスライドで構成されており、基準側は上下，水平の２方向が拘束されているのに対し、自由側に関しては上下方向のみの拘束になっており、温度上昇による熱膨張量を吸収できる構造とした。

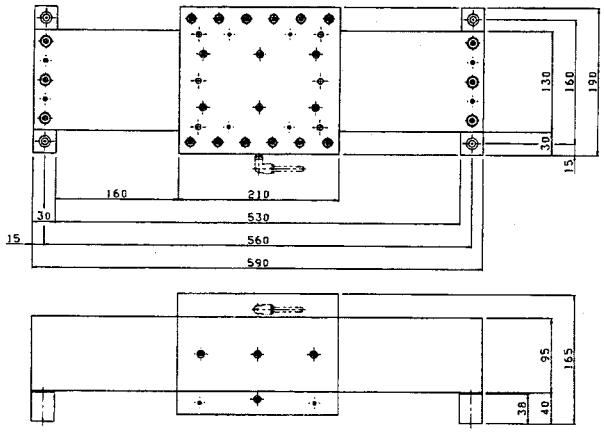


図 3.61 気体軸受式スライド軸

また、駆動方法に関してはボールネジ等を用いた場合に導入される外乱（オネじとメネジの同芯度誤差、直角度誤差、回転方向のねじれ等）を避けるためにステンレス製のベルトで牽引する方式を採用した。駆動用のサーボモーターは図 3.62 に示すように気密ケース内に保持し、磁性流体シールを介して回転運動をベルトに伝達する構造としたことで、サーボモーター等の潤滑オイルによる有機物汚染の無いクリーンな駆動機構を実現した。

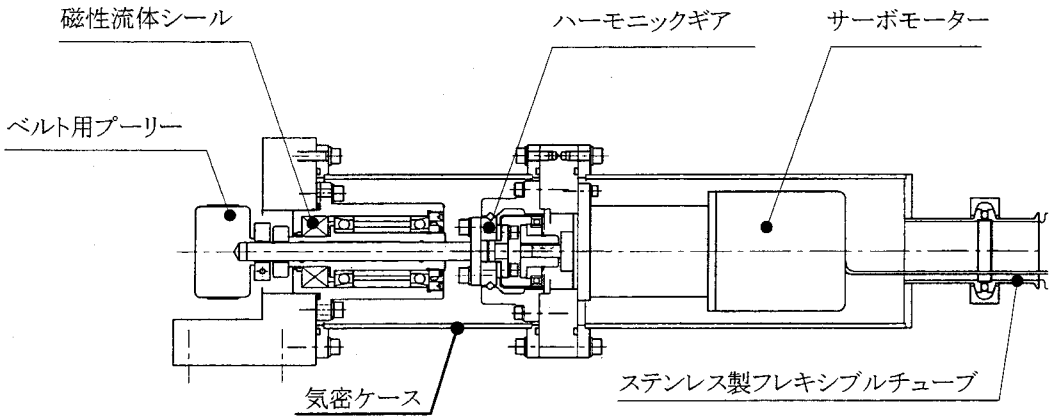


図 3.62　ベルト駆動用サーボモータユニットの構造

(2) アルミニウム合金定盤

XY テーブルをはじめとする全ての構造物を設置する基準面である定盤の材質にはフッ素系の反応種に対する耐食性と軽量化を図るためにアルミニウム合金(A5052)を採用した。ここで、定盤の剛性ならびに形状精度は、加工装置全体の剛性，精度に影響を与えるため、XY テーブルの移動に伴う重心位置の変化がアルミニウム合金製の定盤の変形に及ぼす影響を、有限要素法を用いた構造解析シミュレーションにより評価した。計算モデルを図 3.63 に、計算に使用した荷重データを表 3.8 に、計算結果を図 3.64 に示す。

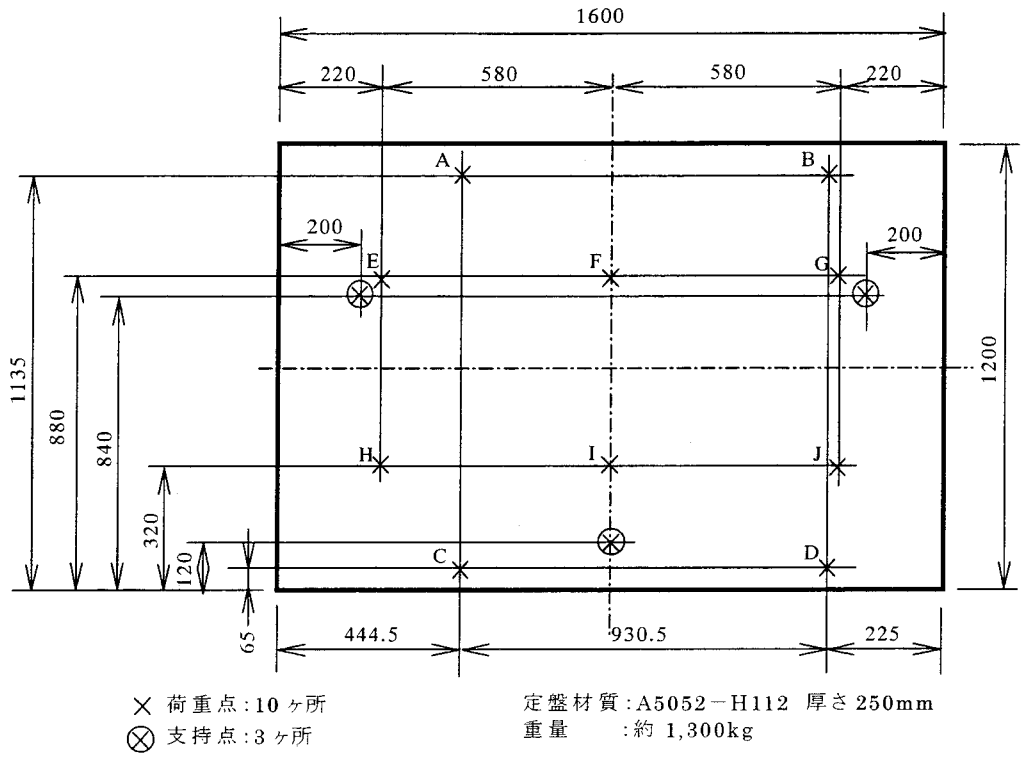


図 3.63　定盤変形量計算モデル

表 3.8　アルミ定盤変形量計算用荷重データ

ステージ位置	A X:444.5 Y:1135	B X:1375 Y:1135	C X:444.5 Y:65	D X:1375 Y: 65	E X:20 Y:880	F X:800 Y:880	G X:1380 Y:880	H X:220 Y:320	I X:800 Y:320	J X:1380 Y:320
-160,160	75	75	75	75	48.0	63.3	15.3	23.5	35.7	12.2
0,160	75	75	75	75	32.2	64.4	32.2	17.9	35.8	17.9
160,160	75	75	75	75	15.3	63.3	48.0	12.2	35.7	23.5
-160,0	75	75	75	75	35.7	50.0	14.3	35.7	50.0	14.3
0,0	75	75	75	75	25.0	50.0	25.0	25.0	50.0	25.0
160,0	75	75	75	75	14.3	50.0	35.7	14.3	50.0	35.7
-160.-160	75	75	75	75	23.5	35.7	12.2	48.0	63.3	15.3
0,-160	75	75	75	75	17.9	35.8	17.9	32.2	64.4	32.2
160,-160	75	75	75	75	12.2	35.7	23.5	15.3	63.3	48.0

Xスライド：20kg×4本＝80kg，Yスライド：20kg×2本＝40kg，θ軸：80kg，

Z軸：スピンドル部 120kg＋Z軸 30kg＋支柱 150kg＝300kg

図3.64よりXYテーブルの可動範囲内におけるアルミニウム合金製定盤の最大変形量は1.4μm程度であり、十分な剛性を有することが分かった。

次に実際に製作した定盤の単体での平面度を測定した結果を図3.65に示す。測定はオートコリメーター(ニコン製 6D 型)を用いて、定盤の長尺方向の真直度について計測を行った。図3.65より、平面度は約5 μm以内であり、本加工装置用として十分な精度を有する定盤を製作することができた。

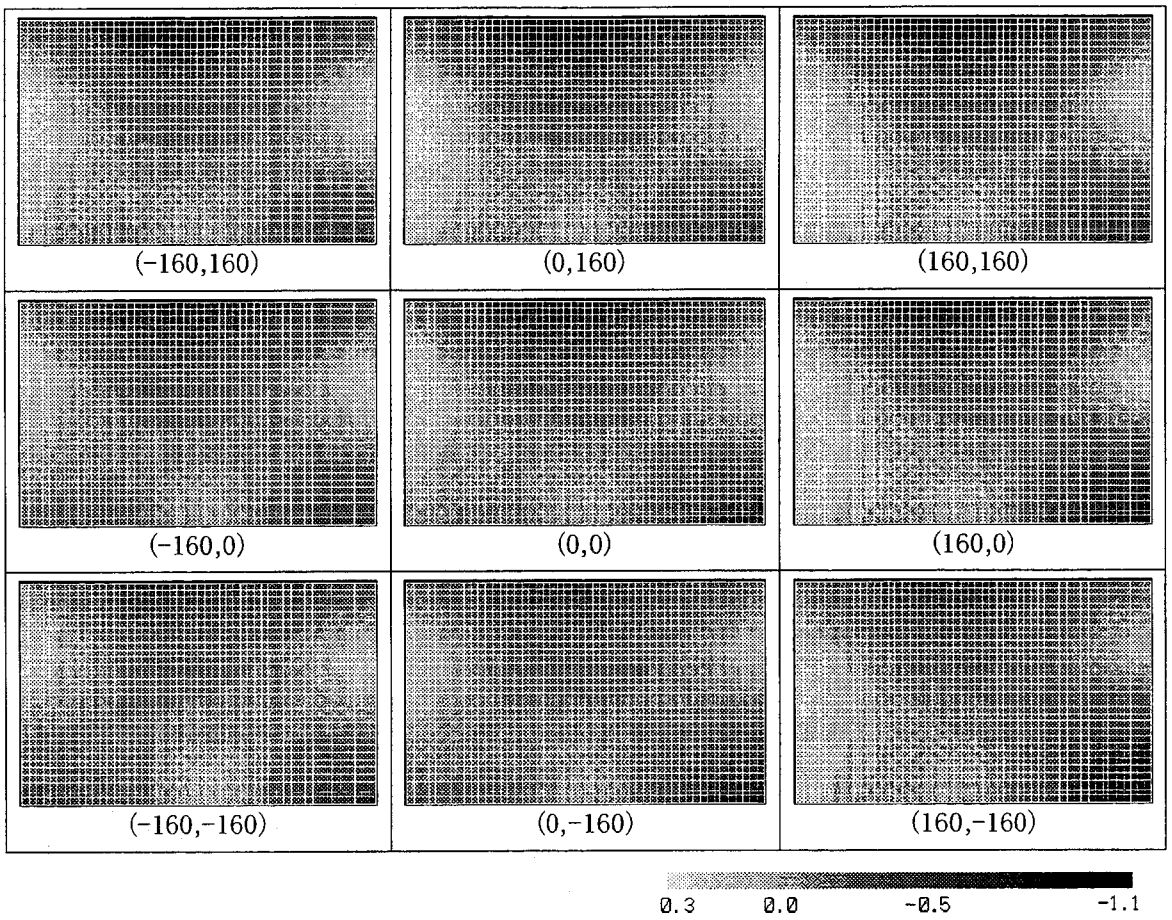
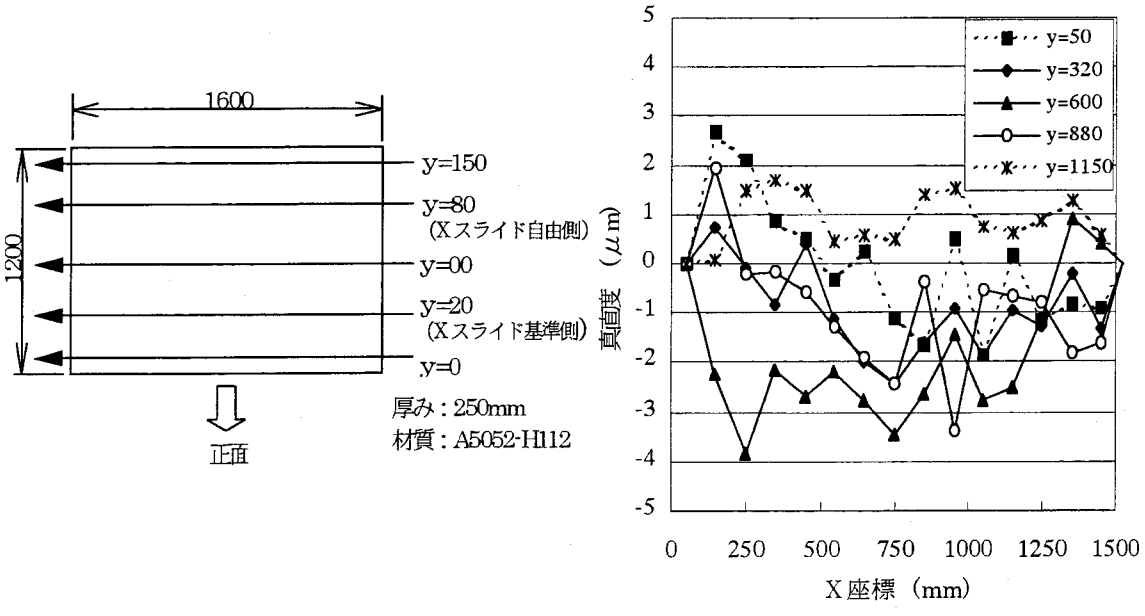


図 3.64　XY テーブルの位置とアルミ定盤の変形量の関係（括弧内は XY テーブルの位置座標）

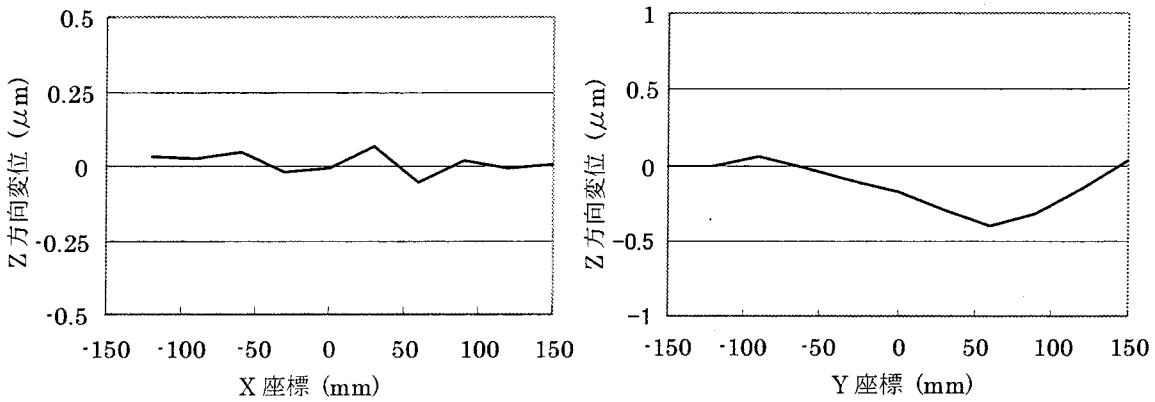


(a) 測定場所　　(b) 測定結果

図 3.65　製作したアルミニウム合金製定盤の平面度測定結果（室温 20.5℃，湿度 25%）

(3) 気体軸受式 XY テーブル性能評価

本加工装置を用いて NC 加工を行うにあたって、回転電極部と同様に非常に重要になるのが試料台を走査するための駆動部となる XY テーブルの精度である。XY テーブルの移動にともなう X,Y 軸の真直度をオートコリメーター(ニコン製 6D 型)を用いて測定した。図 3.66 に X 軸、Y 軸の真直度の測定結果を示す。



(a) X 軸の真直度　　(b) Y 軸の真直度

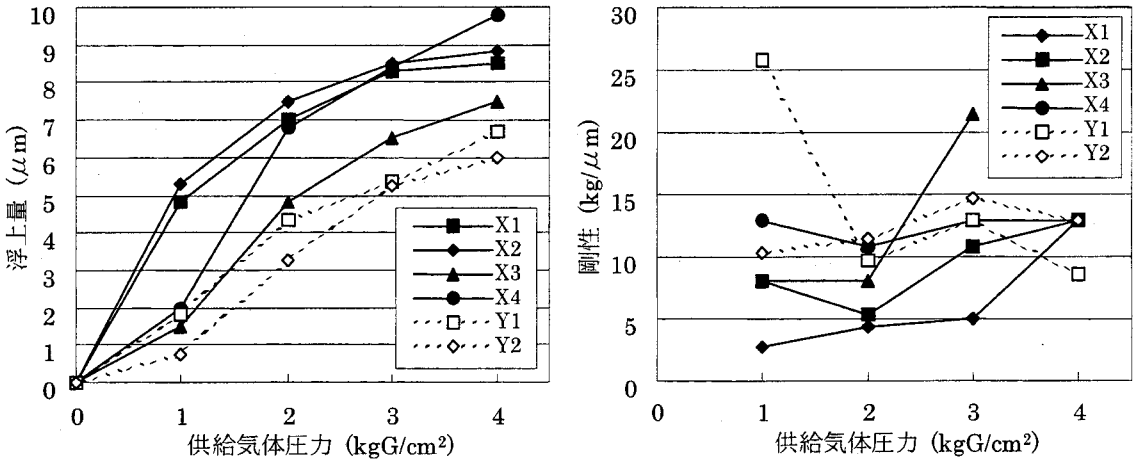
図 3.66 図 X 軸、Y 軸の真直度

図 3.66 に示す通り X 軸の真直度は 0.1 μm p-v 程度に収まっているが、Y 軸に関しては X 軸に比べると大きく 0.45 μm p-v である。X 軸は安定した定盤の上にあり、4 点で支えられているのに対し、Y 軸は X 軸の上にあり 2 点でしか支えられていない、2 点間はθ軸でつながれておりθ方向の力の影響を受けやすい、という問題から X 軸より Y 軸の方が真直度が良好でないと考えられる。ただプラズマ CVM に関して言えば、非接触で試料と電極の間のギャップが 300 μm から 1000 μm で加工を行うため 0.45 μm という数字は十分に無視できる値であると考えられる。

次に、気体軸受式 XY テーブルに供給されるガス圧に対するガス流量、テーブル浮上量を測定した。X 軸に関しては、4 台あるスライドのテーブル面ほぼ中央部における浮上量を電気マイクロメーターによって測定した。Y 軸に関してはθテーブルが中央部に固定されており、テーブルの中央部を測定できないため、テーブルの四隅において測定し、その平均値を採用した。さらに、錘を置いた時の浮上量と錘が無い時との浮上量の差から剛性を求めた。X テーブルに関しては各スライドの上に錘をのせて、Y テーブルに関してはθテーブルの問題から試料台の上に錘を置いた。図 3.67 に各スライドの浮上量および剛性の供給圧力依存性を、図 3.68 に消費流量の供給圧力依存性を、それぞれ示す。なお、供給気体はヘリウムとした。

図 3.67(a)より、各テーブルとも、供給圧力が 3 kgG/cm² 以上で 5 μm 以上の浮上量がある。また図 3.67(b)より、各テーブルとも、供給圧力が 3 kgG/cm² の時で 5 kg/μm 以上の剛性がある。通常の加工プロセスにおいて X ステージに 5kg もの荷重がかかることは考えられないため、供給圧力が 3 kgG/cm² 時においても、NC 加工を行うにあたって十分な浮上量及び剛性を有していると考えられる。流量に関しては、供給圧力が 3 kgG/cm² 時で約

70 ℓ/min であり、気体軸受式回転電極の供給気体圧力を 3 kgG/cm² と設定したときの流量 110 ℓ/min と合わせて、全体として 180 ℓ/min の流量が必要になる。



(a) 供給気体圧力と浮上量の関係　　(b) 供給気体圧力と剛性の関係

図 3.67　XY テーブル用スライドの供給気体圧力と浮上量、剛性の関係

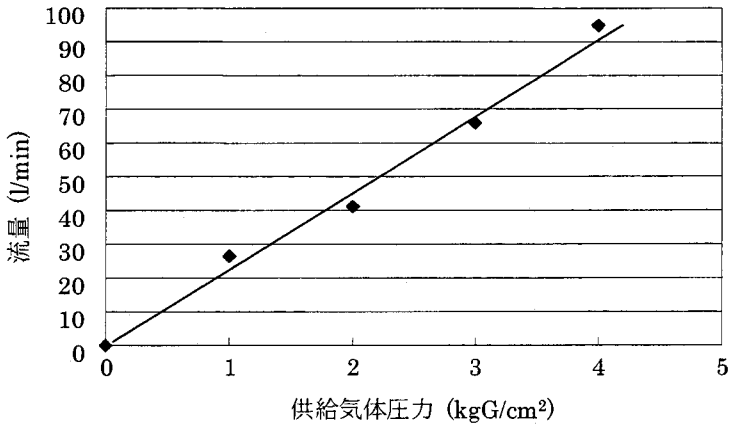


図 3.68　XY テーブルにおける供給気体（ヘリウム）圧力と流量の関係

3.3.6　Z 軸機構

回転電極本体は図 3.69 に示す十字バネを支点としたZ軸に窒化珪素製の絶縁体を介して保持されており、Z 軸を上下することで，十字バネを支点として回転電極全体が傾斜する。この機構によって、回転電極と加工物間の微小な加工ギャップ(0.1～1mm)を制御できる。

3.3.7　θテーブル

XY テーブルの上に、図 3.70 に示すθテーブルを設置している。θテーブルは、X、Y、Z のそれぞれの軸周りを回転するθｘ，θｙ，θｚ軸より構成されており、可動域はθｘおよびθｙ軸が±30°、θｚ軸に関しては角度制限無しで最大回転数 100rpm である。各軸駆動用のサーボモータは図3.62に示すXYテーブル駆動用のモータと同様に気密ケース内に格納され、磁性流体シールを介して回転運動をテーブルに伝達することにより、サーボモータやベアリングの潤滑油からの有機物汚染を防いでいる。

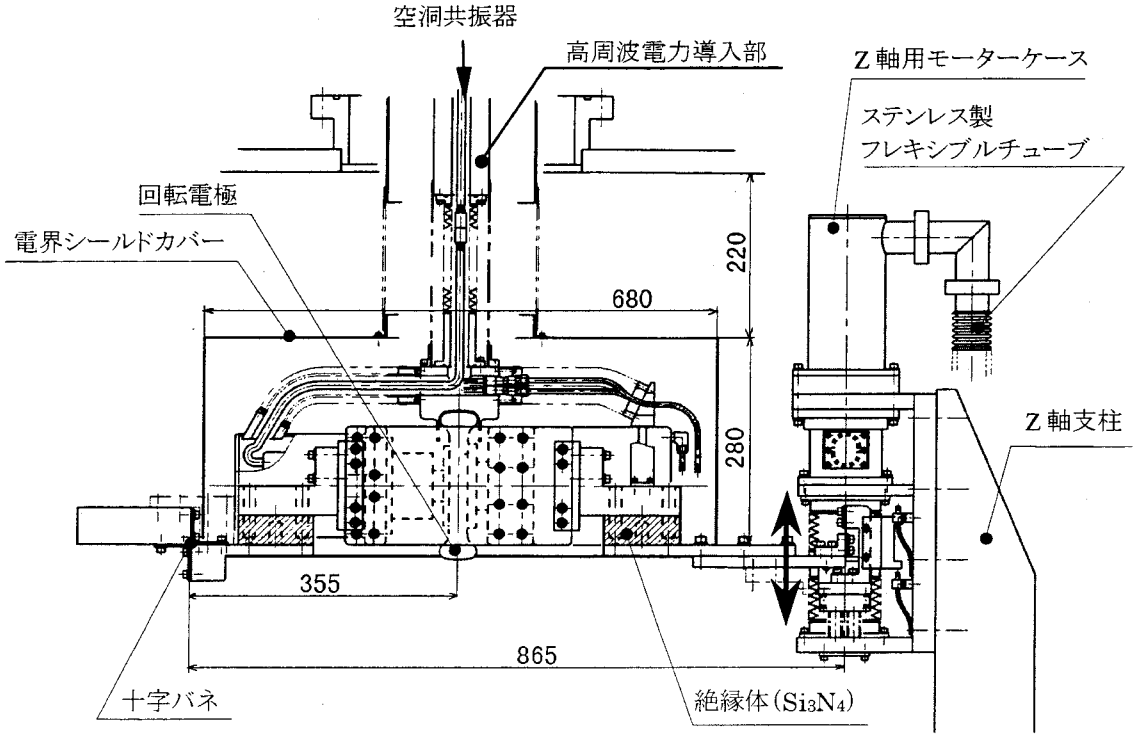


図 3.69　加工ギャップ制御用 Z 軸の構造

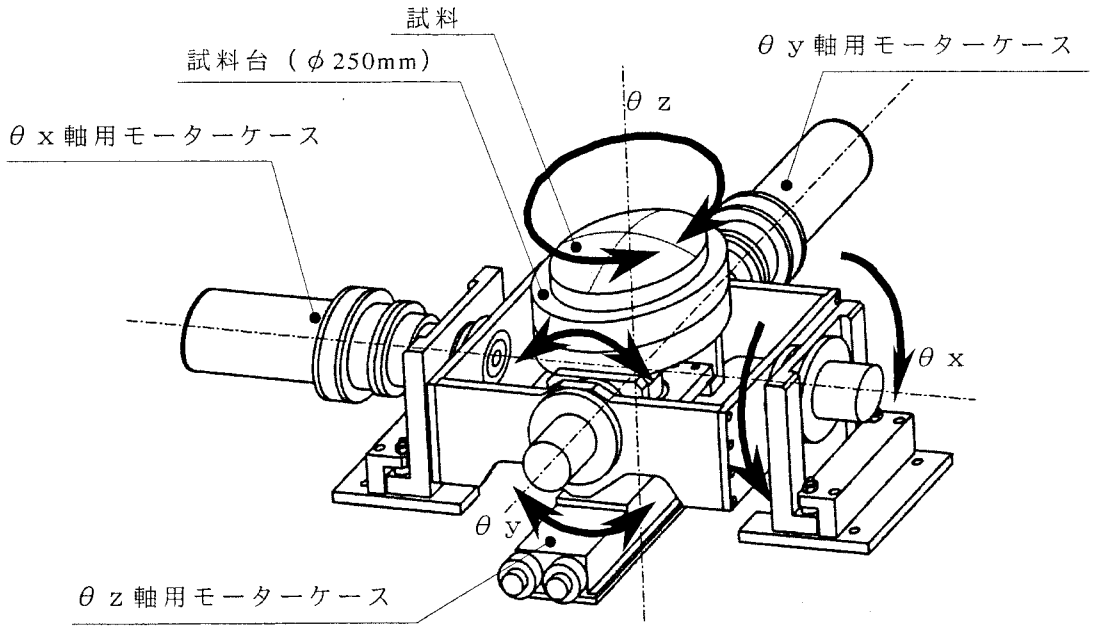


図 3.70　θテーブル

3.3.8　ガス給排気系

(1) ガス供給系

反応ガス中に含まれる不純物は、プラズマ中における予期せぬ反応種の生成、加工物表面への吸着による除去反応の妨げ、触媒活性的な作用による吸着部分での局所的な加工速度の増加、表面汚染等を引き起こし、加工面の品質を低下させる要因となり得る。よって、プラズマCVM加工においては、そのような不純物成分を含まない高純度のプロセスガスを用いる必要がある。本研究で用いる数値制御プラズマCVM加工システムに供給するガスは、大阪大学・超精密加工研究拠点に設置してある超高純度ガス供給システムにより供給される。本ガス供給システムは、シリンダーキャビネット、ガス精製装置、集積化ガスシステム、および接続配管等から構成されている[112)113)]。ガス供給配管の材質は、溶接部近傍の耐食性が劣化するのを防ぐのに適した低マンガン（Mn < 0.05%）のSUS316L真空二重溶解材で、その内面は電解複合研磨を行った後、強還元性雰囲気下で酸化することによってCrの選択酸化を行い、厚さ約20 nmのCr_2O_3不動態膜を形成している。Cr_2O_3不動態膜は、

① 水分の吸着における活性化エネルギー（0.04 eV）が室温のエネルギー（0.026 eV）とほぼ同等であるため、室温でのパージにより不純物濃度1 ppb以下のガス供給が可能。
② 腐食性を有するハロゲン系特殊材料ガス（HCℓ, HBr, etc.）に対して優れた耐食性を有するので、ステンレスに起因する金属汚染が完全に抑制される。
③ 反応性を有する特殊材料ガス（SiH_4, PH_3, etc.）に対して触媒作用を示さないため、ガスを分解することなく安定な供給が可能。

等の優れた特徴を有するので、プラズマCVM加工に必要なHeやハロゲン含有の反応ガスを極めて高純度にかつ安定して供給することができる。また、本ガス供給システムに用いている集積化ガスシステムは、図3.71に示すように流量制御用のマスフローコントローラやバルブ等の単体機器を、2本ボルトによるメタルガスケットシール方式で直接接続している。この方法により各機器の着脱を一方向から且つ他の機器に関係なく可能とする上部着脱方式や小型化が可能となるとともに、デッドスペースの最小化によりガスの置換特性が大幅に向上した。本加工装置に供給可能なガス種を表3.9に示す。

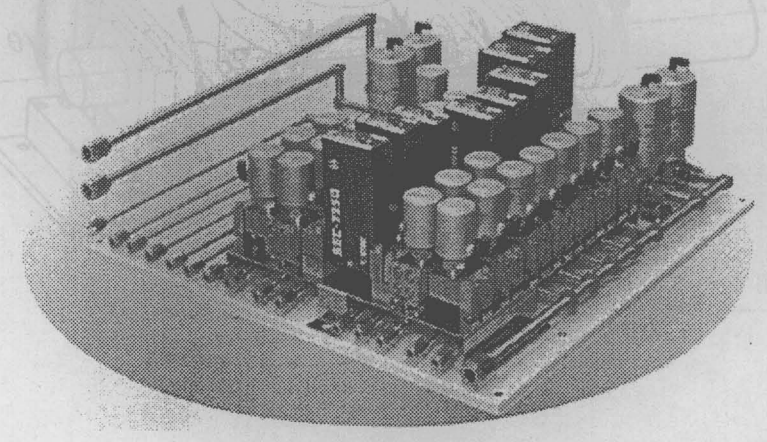


図3.71 集積化ガスシステム

表 3.9 数値制御プラズマ CVM 加工装置に供給可能なガス種

不活性ガス	He, Ar
反応ガス	CF_4, SF_6, NF_3
添加ガス	O_2, H_2
パージガス	N_2

(2) ガス排気系

チャンバー内部のオイル汚染を避けるため、プロセスガス置換のための真空排気系については、すべてオイルフリーのドライタイプを採用している。表 3.10 に仕様を示す。

表 3.10　真空排気装置の仕様

ドライ真空ポンプ	（株）荏原製作所製 A25S 最大排気速度 3000 ℓ/min 到達真空度　4.0 Pa (0.03 Torr)
ターボ分子ポンプ	（株）荏原製作所製 ET1600WS（磁気軸受型） 排気速度　1600 ℓ/s 到達真空度　10^{-8} Pa (10^{-10} Torr)オーダー

図 3.72 にチャンバーのみをドライ真空ポンプによって排気した時の特性を、図 3.73 に同じくチャンバーのみをドライ真空ポンプで排気後にターボ分子ポンプを起動した時の排気特性を示す。

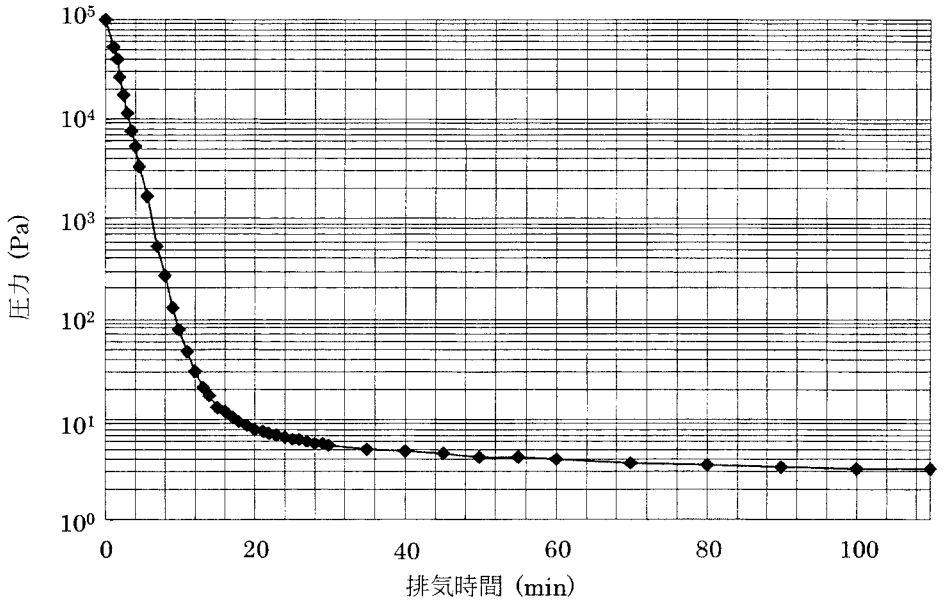


図 3.72　ドライ真空ポンプのみによる真空排気特性

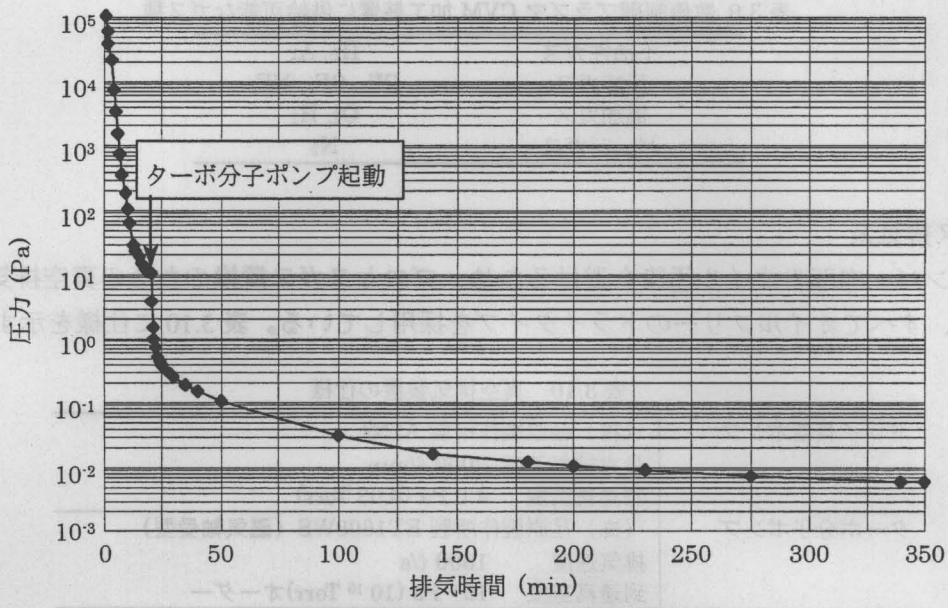


図 3.73　ターボ分子ポンプによる真空排気特性

3.3.9　気体軸受用コンプレッサー

回転電極や XY テーブルの気体軸受に供給する圧縮気体を作るためのコンプレッサーについて述べる。本コンプレッサーは図 3.38 に示したように、チャンバー内の加工ガスを吸引し、圧縮した後に再びチャンバー内の気体軸受に供給するという循環ループの一部を構成するものである。よって、潤滑油で雰囲気を汚染することがなく、外部に対してリークがあってはならないということが要求される。そこで、図 3.74 に示すように市販のオイルフリースクロールコンプレッサー（アネスト岩田製　SLP-37B）の本体部分を専用の小型チャンバー内に設置し、磁性流体シールを介して駆動する方式を採用した。外観を図 3.75 に示す。

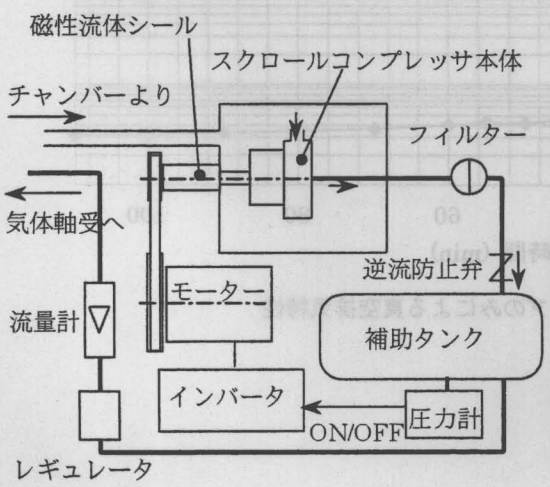


図 3.74　気体軸受用コンプレッサー模式図

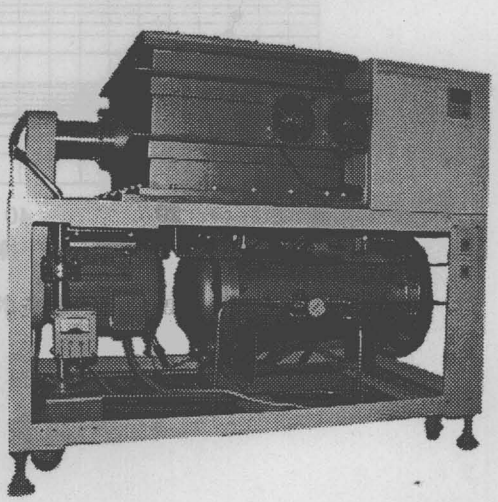


図 3.75　気体軸受用コンプレッサー外観写真

また、図 3.74 には記載していないが、圧縮されたガスを冷却するウォータージャケット、およびスクロールコンプレッサー本体を冷却するウォータージャケット等を設け、圧縮ガスおよびコンプレッサー本体の過熱を防いでいる。表 3.11 に示す条件で、約 6 時間の運転を行ったが、スクロールコンプレッサー本体に取り付けた熱電対による温度は、およそ室温＋25 度で安定することが分かり、問題なく実験が行えることが確認された。

表 3.11 ランニングテストの実験条件

吸込気体	He（20℃）
レギュレータ設定圧力	約 0.4 MPaG
始動圧力	0.45 MPaG
停止圧力	0.55 MPaG
流量	約 180 ℓ/min （運転時間 15 秒，停止時間約 5 秒）
冷却水流量	8 ℓ/min（20℃）
運転時の電流、電圧	運転時電流値：最大 17.4 A，電圧：200 V

3.3.10　ガス循環精製システム

本加工装置においては、加工特性の高精度化、安定化、ならびに再現性の向上を図るため、図 3.76 に示す循環・精製部、ガス温度制御部、ガス濃度制御部より構成される反応ガス循環・精製・冷却システムの開発を行った。以下に、各構成要素の役割と、その性能について述べる。

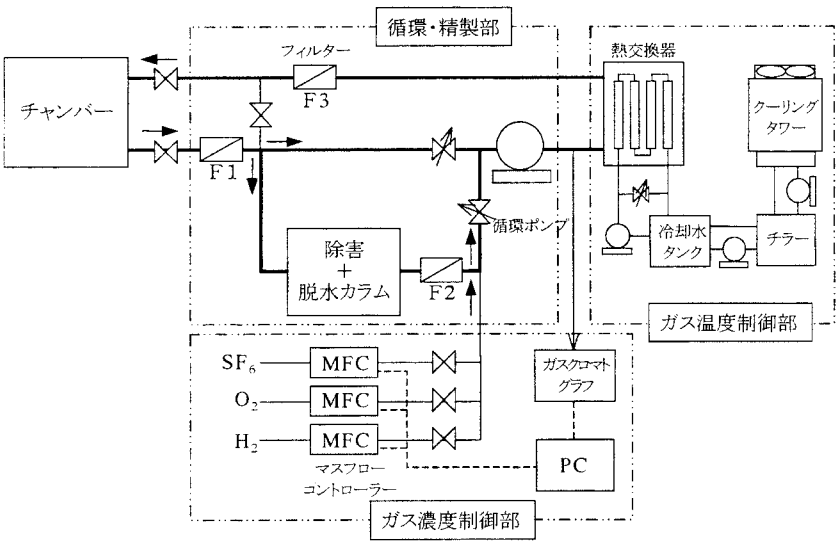


図 3.76　反応ガス循環・精製・冷却システム

(1) 循環・精製部

循環・精製部は、チャンバー内のガスを強制的に吸引して循環させることにより、加工面の表面粗さを劣化させるパーティクルおよび反応生成物を、フィルターならびに除害カラムで除去することを目的とし、ガス循環ポンプ、フィルター、除害カラムにより構成される。図 3.77 に循環・精製部の外観を示す。

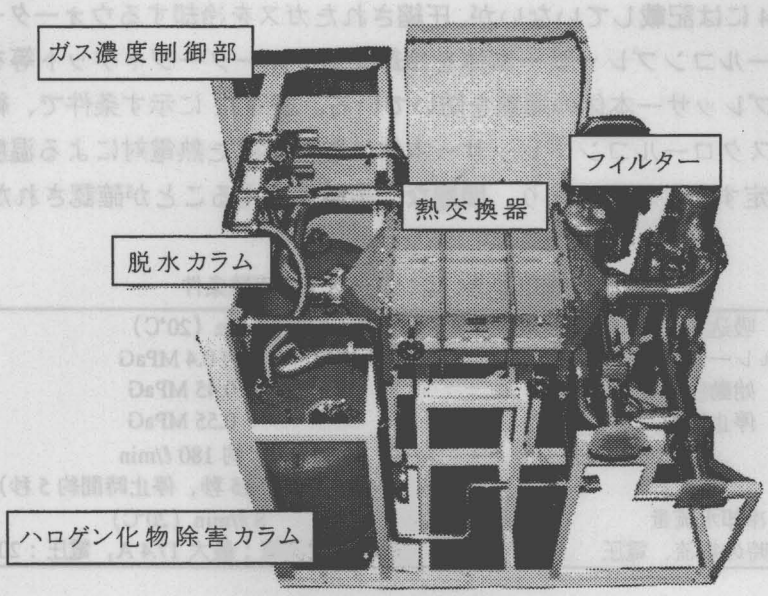


図3.77 循環・精製部外観

まずガス循環用のポンプであるが、パーティクルや反応生成物を吸引するのに十分な吸込圧と流量を有し、また循環ガス中に不純物である有機物を混入させないために、潤滑油に低蒸気圧のフッ素油を使用したルーツ式二軸ロータリーブロア（荏原製作所AA100BLOWER）を採用した。表3.12に仕様を示す。

表3.12 循環ポンプの仕様

流量	10 m^3/min (at 760Torr 30℃)	軸動力	4.5 kW
吸込圧力	-0.2 kgf/cm^2	吐出圧力	+0.3 kgf/cm^2
潤滑油	フッ素オイル（NOKクリューバー製　J60） 蒸気圧　8×10^{-7} Torr（at 20℃） 2×10^{-4} Torr（at 100℃）		

また、パーティクル除去用のフィルターには圧力損失が小さく、プラズマCVMで用いるフッ素系の反応ガスに耐食性を有する、日本ポール製のフィルター（AB1V0027PVH）を採用しており、図3.76中のF1はシステム保護用、F2は除害カラムで発生したパーティクルの除去用、F3はチャンバーにガスを戻す際の最終フィルターとなっている。表3.13にフィルターユニットの仕様を示す。

表3.13 フィルターの仕様

濾過精度	ϕ0.01 μm
圧力損失	1000 mmAq (at 10 m^3/min)
材質	フィルター　疎水性ポリビニリデンフロライド（PVDF） サポート類　ポリプロピレン（PP） カートリッジ　SUS304

さらに、プラズマCVMによる加工プロセスにおいては、式(3.27)、(3.28) に示すように人体に有害であるばかりでなく、加工表面への付着やプラズマ中での再分解等、加工特性にも悪影響を及ぼす種々の反応生成物が発生する。

$$3Si + 2SF_6 + 2O_2 \rightarrow 3SiF_4 + 2SO_2 \quad (3.27)$$

$$Si + CF_4 + O_2 \rightarrow SiF_4 + CO_2 \quad (3.28)$$

本システムにおいてはこれらの反応生成物を、水酸化カルシウム（$Ca(OH)_2$）を主成分とするソーダライム（$Ca(OH)_2$ と NaOH の混合物）との反応により除害する方法を採用した。表3.14、表3.15 に反応ガスに $SF_6 + O_2$ もしくは $CF_4 + O_2$ を用いて Si を加工した場合に、発生すると予想される反応生成物とソーダライムとの化学反応式を示す。

表3.14 アルカリ成分との反応

反応生成物	薬剤成分	固定化物		水分等
F_2	$+ Ca(OH)_2$	$\rightarrow CaF_2$	+	$1/2O_2+H_2O$
SiF_4	$+ 2Ca(OH)_2$	$\rightarrow 2CaF_2+ SiO_2$	+	$2H_2O$
SO_2	$+ Ca(OH)_2$	$\rightarrow CaSO_4$	+	H_2O
SO_2	+ 2NaOH	$\rightarrow Na_2SO_4$	+	H_2O
SO_2F_2	$+ 2Ca(OH)_2$	$\rightarrow CaSO_4+ CaF_2$	+	$2H_2O$
SO_2F_2	+ 4NaOH	$\rightarrow Na_2SO_4+ 2NaF$	+	$2H_2O$
CO_2	$+ Ca(OH)_2$	$\rightarrow CaCO_3$	+	H_2O
HF	$+ Ca(OH)_2$	$\rightarrow CaF_2$	+	$2H_2O$
HF	+ NaOH	$\rightarrow$ NaOH	+	H_2O

表3.15 水分との反応（加水分解反応）

反応生成物	水分	発生ガス
SF_4	$+ H_2O$	$\rightarrow SOF_2+ 2HF$
SO_2	$+ H_2O$	$\rightarrow SO_2 + 2HF$
SO_2F_2	$+ H_2O$	$\rightarrow SO_2F_2+ 2HF$

表3.14 より、プラズマCVMの加工プロセスにおいて発生すると考えられる反応生成物は、すべてアルカリ成分との反応により固定化物となり、無害化されることが分かる。又、表3.15 において加水分解により発生したガスに関しても、アルカリ成分との反応により固定化されると考えられる。ここで、本除害方式においては反応生成物とソーダライムとの

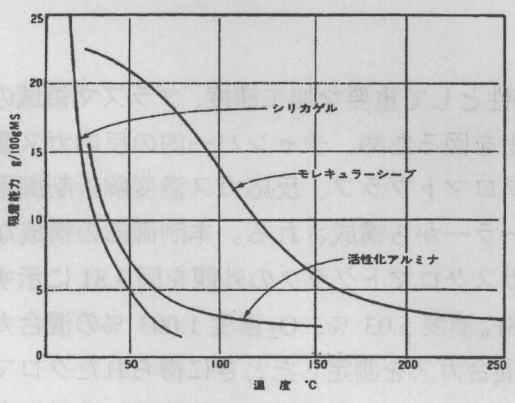


図3.78 水の等圧吸着平衡図（10 mmHg）

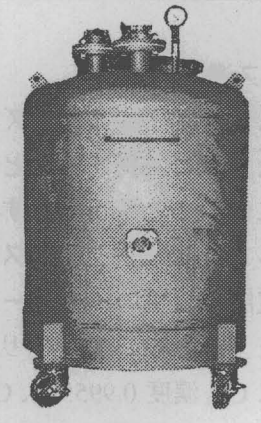


図3.79 除害カラム外観

反応により水分（中和水）が発生するが、水分はプラズマプロセスにおいて悪影響を及ぼす不純物因子である。よって、本システムにおいてはソーダライムを充填した除害カラム内に、高温度においても水分吸着能力が極めて大きい（図 3.78）モレキュラーシーブ（ゼオライト：$Na_{12}[(A\ell O_2)_{12}(SiO_2)_{12}]27H_2O$）を混合することにより、循環ガス中への水分の混入を防いでいる。図 3.79 に除害カラムの外観を示す。

(2) ガス温度制御部

プラズマ CVM はその原理上プラズマという熱源を有するため、雰囲気温度の上昇に伴う各部の熱変形により機械精度が劣化し、加工精度が低下する恐れがある。よって本システムにおいては、熱交換器、冷却水(ブライン)タンク、チラー、クーリングタワーから構成されるガス温度制御部により循環ガスを冷却し、チャンバー内の雰囲気温度を一定に制御する機構を設置した。表 3.16 に各部の仕様を示す。

表 3.16 ガス温度制御部の仕様

熱交換器	除熱能力	10 kW (プラズマ 5 kW + 循環ポンプ 5 kW) [at ΔT = 64.2 ℃、 He 10 m^3/min、 ブライン（エチレングリコール 50 wt%） ブライン温度上昇 +3℃）]
	材質	フィン ： Aℓ 0.3^t 冷却水配管 ： SUS304
冷却水タンク	容量	100 ℓ（エチレングリコール 50 wt%）
	材質	SUS304
チラー（水冷式）	冷却能力	11.2 kW
	ブライン	出口温度 -5 ℃ 出入口温度差 3 ℃ 流量 59 ℓ/min
	圧縮機	電動機出力 6 kW
	冷却水量	49 ℓ/min（32 → 37 ℃）
クーリングタワー	冷却能力	34 kW （37 → 32℃）
	送風機	風量 ： 65 m^3/min 電動機出力 0.2 kW

(3) ガス濃度制御部

ガス濃度制御部はプラズマ CVM の加工特性として重要な加工速度、プラズマ領域の大きさ等を安定に維持するとともに再現性の向上を図るため、チャンバー内の反応ガス濃度を一定に保つことを目的とするもので、ガスクロマトグラフ、反応ガス濃度解析制御用パーソナルコンピュータ、マスフローコントローラーから構成される。本制御部の構成ならびに濃度制御のフローチャートを図 3.80 に、ガスクロマトグラフの外観を図 3.81 に示す。

また、図 3.82 にサンプリングガスとして SF_6 濃度 5.03 %、O_2 濃度 1.003 %の混合ガスならびに CF_4 濃度 0.9955 %、O_2 濃度 0.998 %の混合ガスを測定したときに得られたクロマトグラムを示す。これより SF_6 と O_2 ならびに CF_4 と O_2 のピークがそれぞれ明確に分離できるこ

とがわかる。また濃度は、各ピークの面積に対応するので、これらのデータをもとに各ガス濃度を一定にするために必要な供給量を演算により求め、マスフローコントローラーにより供給量を制御することが可能である。

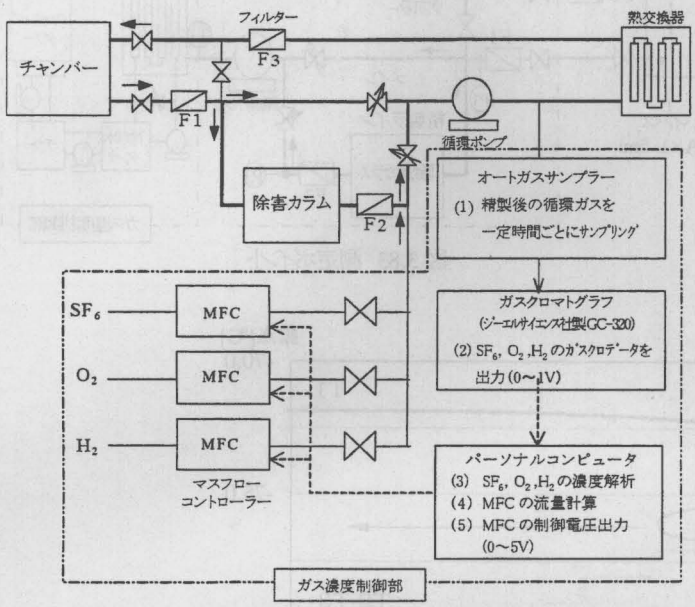


図3.80 濃度制御のフローチャート

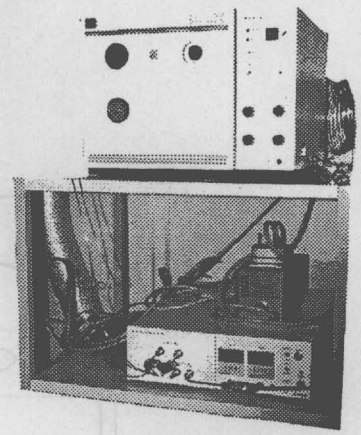
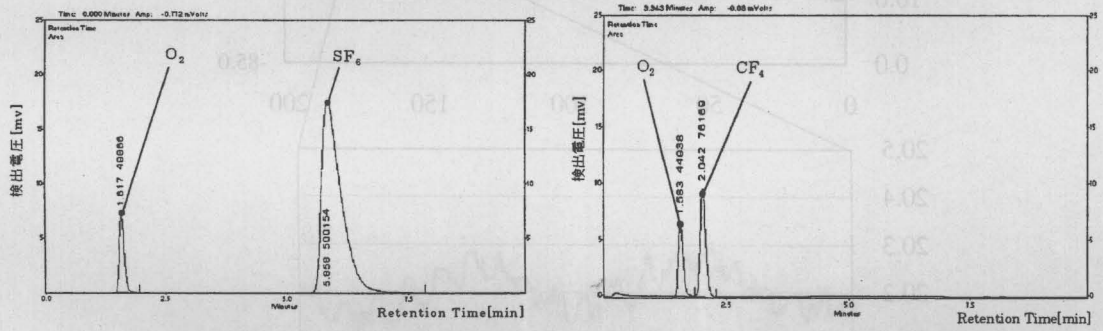


図3.81 ガスクロマトグラフの外観



(a) SF_6+O_2混合ガスのクロマトグラム　　(b) CF_4+O_2混合ガスのクロマトグラム

図3.82 ガス濃度測定結果の一例

(4) 性能評価

製作したガス循環精製システムにおけるガス温度制御能力、および循環ガスの露点の評価を行った。実験条件を表3.17に、測定ポイントを図3.83に、結果を図3.84に示す。

循環ポンプ直後のガス温度（T1）は圧縮熱により約52 ℃まで上昇しているが、熱交換器を通過しチャンバーに戻る直前（T3）においては20.2 ± 0.1 ℃に制御できており、加工雰囲気の温度を一定に維持するのに十分な能力を有している。また、循環ガスの露点に関しても、循環を開始して3時間後には-80 ℃（0.526 ppm）以下に達しており、除害カラム中に充填されているゼオライトにより循環ガス中の水分が除去されることを確認した。

表 3.17 実験条件

循環気体	He
プラズマ	無し
循環流量	メインライン 14.1 m^3/min 精製ライン 0.44 m^3/min
設定温度	20 ℃
露点計 サンプリング流量	2 ℓ／min

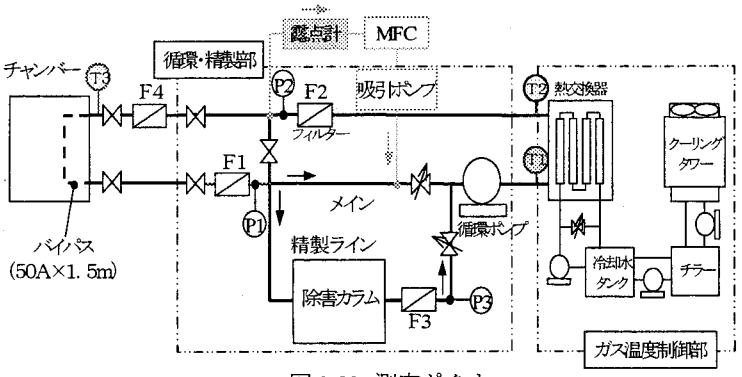


図 3.83 測定ポイント

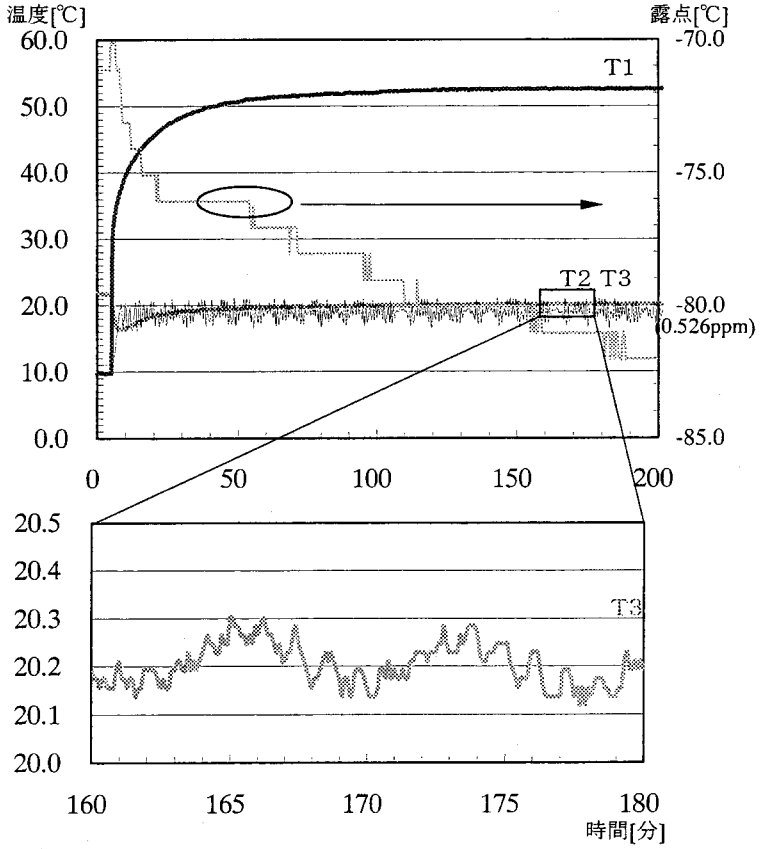


図 3.84 循環ガス温度の測定結果

3.3.11 制御系

(1) 全体構成

制御系は、集中制御盤、主制御盤部、高周波電源制御部、ガス循環精製制御部から構成される。主制御部、高周波電源部、ガス精製部には高周波電源等のノイズ、及び通信距離を考慮して、光リンク機能を有したシーケンサーを搭載している。光ファイバーで通信することにより、集中制御盤でシステム全体を統括して監視及び指令を行う事が可能である。

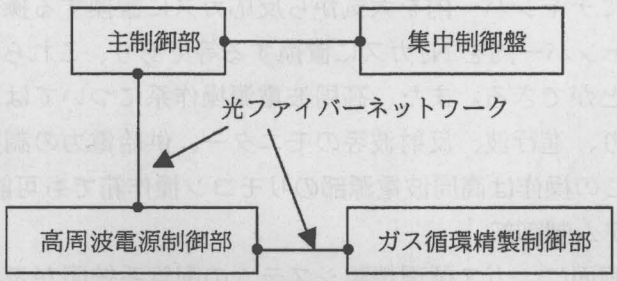
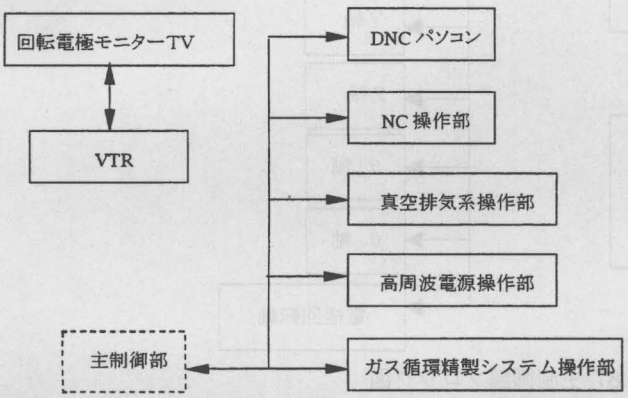


図 3.85 制御系全体構成図

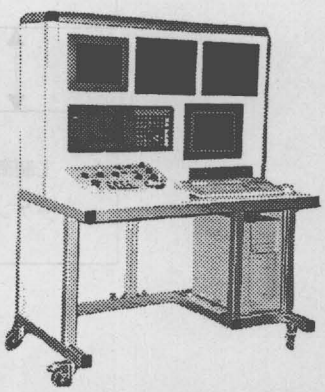
また、通信速度は 1.25 Mbps であり、各制御部との距離は最大 1 km まで可能であるためフロアースペースの規制を受けずに全体のレイアウトを決定することができる。

(2) 集中制御盤

集中制御盤では図 3.86 に示すように、数値制御プラズマ CVM 加工システム全体の操作、およびモニターができるようになっている。以下、機能について述べる。



(a) ブロック図



(b) 外観写真

図 3.86 集中制御盤

回転電極用モニターＴＶ

回転電極部分は、高周波電力のシールド板で覆われており、外部より直視しにくいため、CCD カメラを回転電極近傍に配置してプラズマの状態、電極ーワーク間隔等をモニターする装置である。またビデオデッキを搭載して録画を行える様にしている。この部分は、他の制御系と独立しており、単独で動作可能である。

ＮＣ操作部

主制御盤内の NC 制御装置と連結しており加工テーブル各軸の動作指令を行う操作スイッチ、及び各軸の現在値等の表示を行う機能を有している。

真空排気系操作部、高周波電源操作部

真空排気系操作部、及び高周波電源操作部は同一のタッチパネル上に構築されており、画面切換操作により個々の操作を行える様にしている。真空排気系における主な操作とし

ては、加工開始前にチャンバー内を大気から反応ガスに置換する操作、加工終了時に反応ガスを排気し、チャンバー内を N_2 ガスに置換する等であり、これらの操作をモニターで確認しながら行うことができる。また、高周波電源操作系については高周波電源制御部との光リンク交信により、進行波、反射波等のモニター、供給電力の調整等をモニターで確認しながら行える。この操作は高周波電源部のリモコン操作箱でも可能である。

ガス循環精製システム制御部

タッチパネルの画面に、ガス循環精製システムの配管系統図が表示されている。指令及び表示は、主制御盤を介してガス精製部制御部との光リンク交信によりおこなわれ、ガス循環ポンプの起動、循環流量の設定、バルブの開閉等の各操作をモニターで確認しながら行える。

ＤＮＣパソコン部

形状データをＮＣ言語に変換し、主制御部内の NC 装置に転送する。

(3) 主制御部

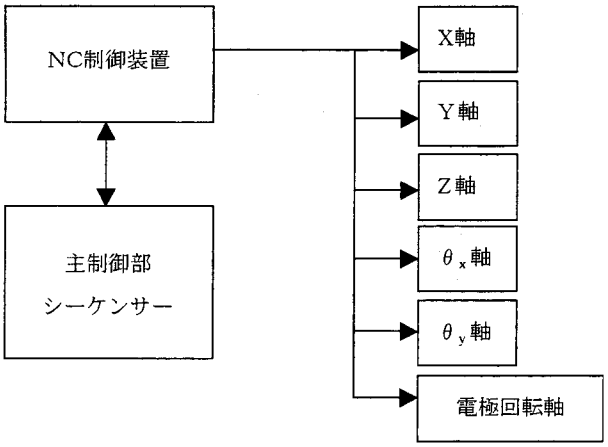


図 3.87 主制御部ブロック図

ＮＣ制御装置

DNC パソコンからのデータを取り入れ、ワークテーブルのサーボモータを制御する。

主制御部シーケンサー

ガス精製装置、高周波電源、チャンバー真空系、気体軸受用コンプレッサー等のシステム全体の統括監視を行う。

(4) ＮＣ制御方式

従来の切削工具を用いた機械的加工方法における加工精度の追求は、加工時に発生する応力を一定にするために、ワークの送り速度を一定にし、移動軌跡の位置精度を追求する形で推移してきた。このような背景のもとで発展してきた NC（Numerical Control）制御の言語系は、加工を行う 2 点間を直線又は円弧で結び、その間の移動速度は一定であることを原則として開発されてきた。ところが、プラズマ CVM では、加工物と回転電極の距離（加工ギャップ）を一定にした状態で、加工物に対する滞在時間変化が加工量と線形であ

ることを利用して加工を行う。具体的には、汎用 NC 装置を用いて滞在時間制御を行う方法として、移動命令を微少間隔に分割し、移動命令にその領域における速度データを付加して NC 装置へ指令を行う方法を採用した。実際の加工データの出力方法は、微小間隔で精密測定した前加工面の測定値と理論値の差を求め、つぎに理論値まで加工できる滞在時間に相当する速度を求める。その結果を微少間隔で DNC パソコンより NC 装置へ転送することにより加工を行う。データ例としては図 3.88 の様になる。

データのもつ意味は、G01 は F 指令値が有効な移動（切削送り）、X123.45 は X 軸の座標値、F123 は送り速度（mm/min）である。X 値の 1 行目と 2 行目の差は 0.1 mm であるので、0.1 mm 毎に送り速度を更新した指令値である。前加工データ値形状により分割ピッチを設定できる様になっている。図 3.86 にパソコン上の制御画面の一例を示す。

1 行目	G01	X123.45	F123
2 行目	G01	X123.55	F124
3 行目	G01	X123.55	F126

図 3.88　NC データ例

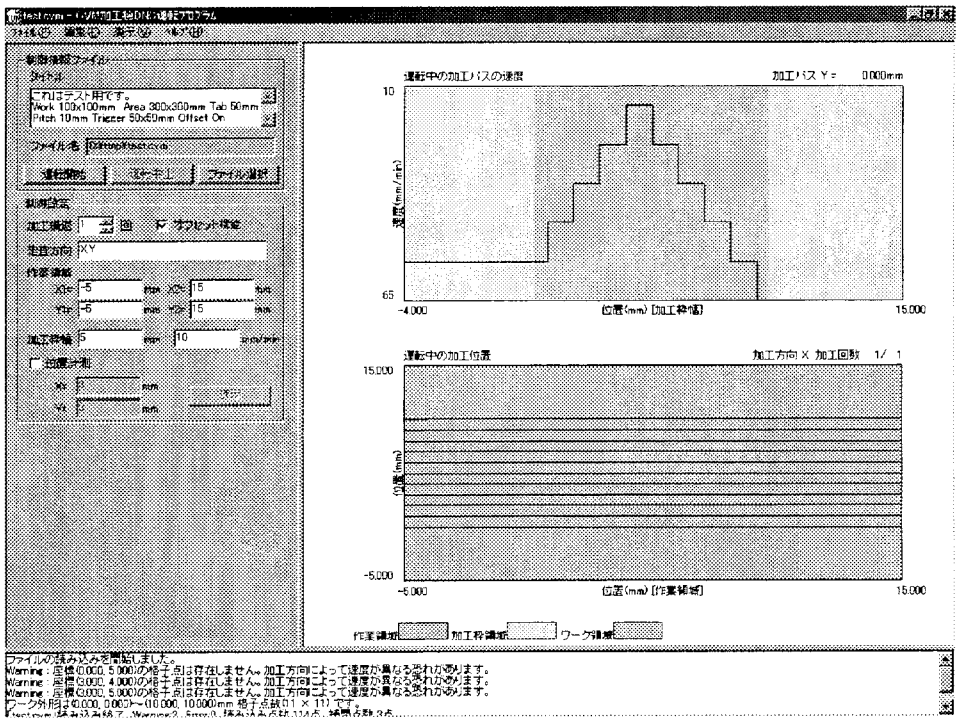
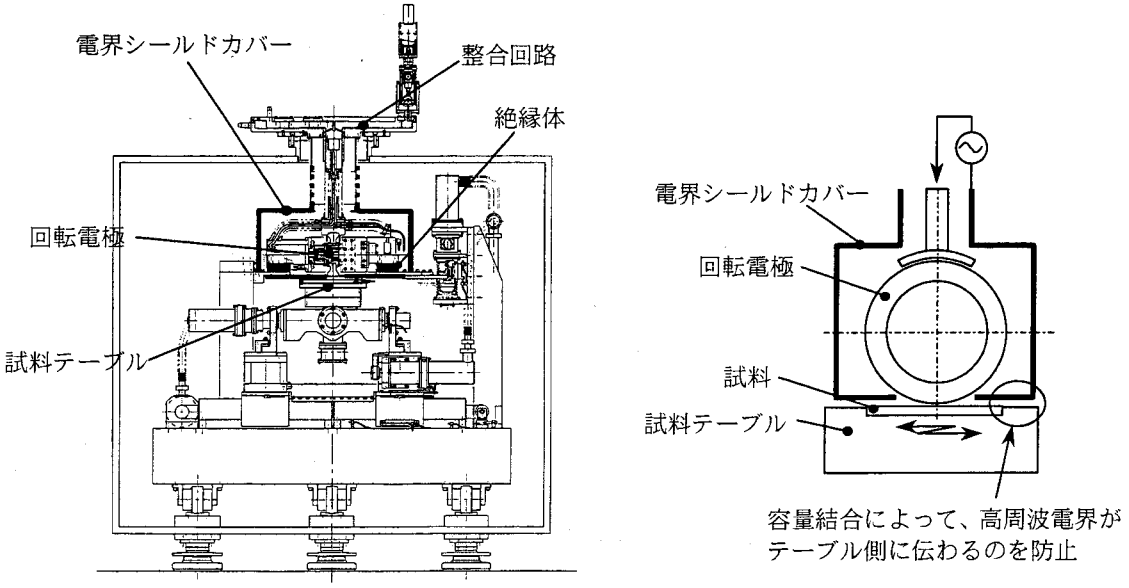


図 3.89　DNC 制御画面の一例

3.3.12　高周波電力供給システム

(1) 電界シールドカバーの設置及び評価

本装置では、プラズマを発生させる電源として 150 MHz の高周波電源を用いているが、このような高周波帯域においては、電極やワークテーブルといったチャンバー内部の構造物によって形成される各部の浮遊容量や小さなインダクタンスが無視できなくなる。すなわち、周波数が高くなればなるほど電荷の移動の向きが頻繁に変わるため、小さな容量であっても大きな高周波電流が流れたり、小さなインダクタンスであっても高周波にとっては大きな抵抗になったりする。また、高周波電力をプラズマにおいて効率よく消費させるためには、プラズマまでの電力の導入回路において、あらゆる電気的な界面のインピーダンスが整合されていなければならない。数値制御加工装置は加工中にワークテーブルが移動するが、ワークテーブルの移動に伴い、チャンバー内の各部で形成される浮遊容量が変化する。このような浮遊容量の変化は、高周波回路にとっては大きな回路定数の変化になりうるため、インピーダンスの整合にずれが生じ、プラズマへの供給電力に変動が生じる可能性がある。プラズマの強度や大きさが変動すれば、当然、加工特性が変化するため、本研究で目指す超精密加工を実現することが困難になる。そこで、図 3.90(a)のように、回転電極部全体を導体で覆い、高周波がチャンバー内部に伝播するのを抑制するための電界シールドカバーの設置を試みた。カバー底面には図 3.90(b)のように開口を設け、プラズマの発生する部分のみ、電極と試料が対向するようにした。カバー底面と試料表面の距離はおよそ 2〜3 mm とし、対向部の容量は 100 pF 程度になる。150MHz においては 100 pF の容量のインピーダンスは-10 j Ω程度であるから、十分な効果が期待できる。

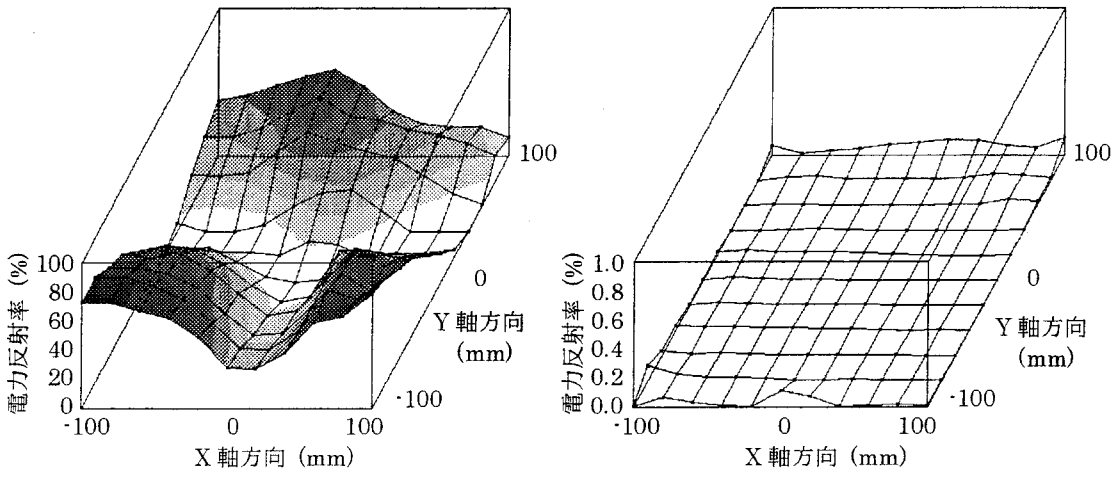


(a) 電界シールドカバー配置図　　(b) 試料近傍の概念図

図 3.90　電界シールドカバー

電界シールドカバーの効果を確認するため、ネットワークアナライザ（アドバンテスト社製 R3763B）によって各テーブル位置におけるインピーダンスを測定した。測定時の加

エギャップは 1000 μm とし、テーブルの原点において後に述べる整合回路を用いてインピーダンス整合を行った。結果を図 3.91 に示す。(a)は電界シールドカバーが無い状態であり、(b)はカバーを設けた状態である。電界シールドカバーを設けない場合は、テーブルの移動に伴い電力反射率が 80%近くも変動しているのに対し、カバーを設置した場合では 0.2%以下に収まっており、電界シールドカバーの効果が確認できた。



(a) 電界シールドカバー無し　　(b) 電界シールドカバー有り

図 3.91　電界シールドカバーの評価

(2) 空洞共振器の設計および評価

大気圧プラズマの発生および維持には高い電界強度が必要であるため、本システムにおいては整合回路として昇圧機能を持つ共振回路を用いる。150 MHz 程度の高周波では、電流は表皮効果のため導体の表面しか流れないため、表面積が大きく、損失の小さい空洞共振器を採用することにした。ワークテーブルの移動に伴うインピーダンス変動等に対する安定性を目指し、容量の大きい共振器を用いることにした。図 3.92 は本装置のインピーダンス整合回路を模式的に表わしたものであるが、負荷であるチャンバー内部のインピーダンスに対して並列に、整合回路である空洞共振器の容量部（C_0）が接続されている。したがって、この空洞共振器の容量を増大することで、この容量に並列のチャンバー内部インピーダンスの変動を吸収できると考えられる。

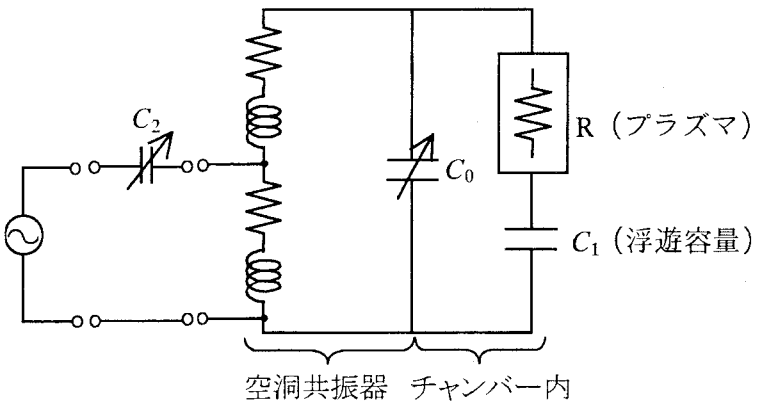


図 3.92 インピーダンス整合回路の模式図

電極本体と電界シールドカバーが形成する容量は約 100 pF であったことから、本装置においてはそれよりも一桁程度大きい 1000 pF の容量をもつ空洞共振器の設計を行うものとした。 また、共振周波数調整のために、誘電体であるシリコンオイルを空洞共振器の容量部に注入し、その注入量に応じて容量を変化させることを考えているが、シリコンオイルの粘性を考慮した場合、液面約 1 mm 以上のオイルを満たした状態で使用することが制御の応答性の点で望ましい。そのため、シリコンオイルが未注入の状態では 150 MHz よりも高い周波数で共振するように設計を行う。また、同じ理由で、容量部の間隙は数 mm 必要であることから、1000 pF の容量を達成する為には、容量部の直径は約 600 mm 程度必要である。

以上のことを踏まえて、基本共振器容量を 1000 pF、シリコンオイル未注入時の共振周波数を 160 MHz とした空洞共振器の製作を目的として設計計算を行った。

図 3.93 に今回設計を行う大容量型半同軸空洞共振器の概略を示す。空洞共振器を図のように、容量部 a、コイル部 b、不連続部 c の 3 つの部分に分けて考え、それぞれのインピーダンスを Z_a、Z_b、Z_c とすると、空洞共振器の等価回路は図 3.94(a)のようにあらわせる。ここで、不連続部のインピーダンス Z_c は容量となるため、同図(b)のように、Z_a と Z_c を並列に合成したものを一つの容量と考えれば、同図(c)のように、

$$L = -jZ_c/\omega \tag{3.29}$$

$$C = -j(1/Z_a + 1/Z_b)/\omega \tag{3.30}$$

と置き換えることで、単純な LC 並列共振回路とみなすことができる。

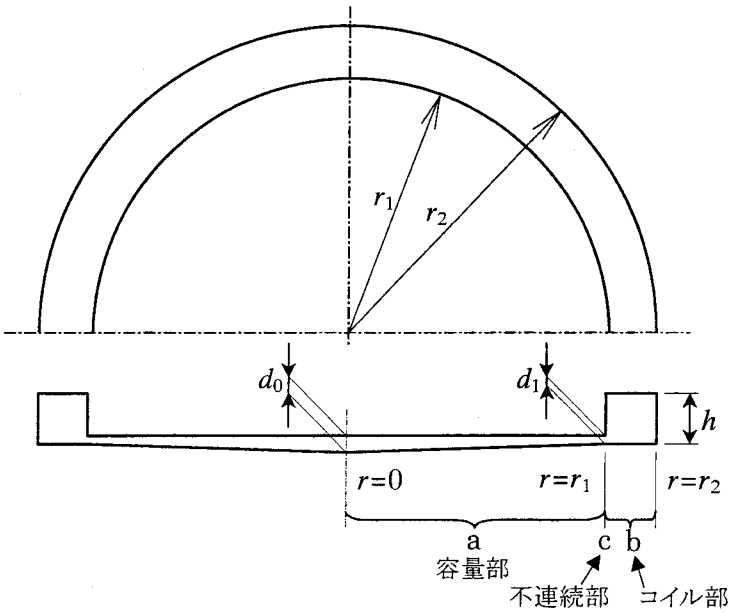


図 3.93 半同軸型空洞共振器の概略図

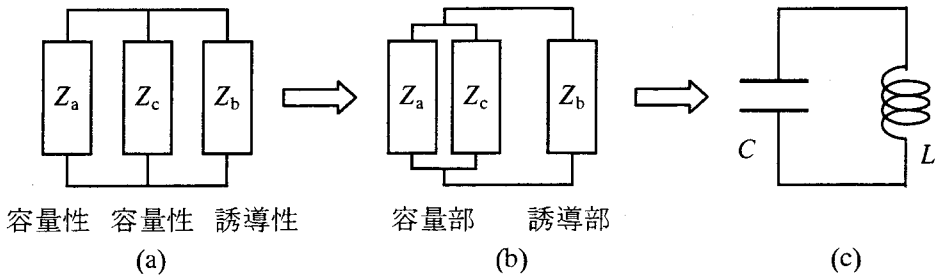


図 3.94 半同軸型空洞共振器の等価回路

LC 並列共振回路の共振条件は、ω を共振角周波数とすれば、

$$j\left(\omega L - \frac{1}{\omega C}\right) = 0 \tag{3.31}$$

であらわせるが、これを Z_a、Z_b、Z_c を用いて書き換えれば、

$$\frac{1}{Z_a} + \frac{1}{Z_b} + \frac{1}{Z_c} = 0 \tag{3.32}$$

となり、これが図 3.93 に示す共振器の共振条件となる。

まず、$r=r_1$ から内側をみたインピーダンス Z_a を求める。本装置において使用する空洞共振器は図 3.95 の様に、容量部に誘電体であるシリコンオイルを注入し、その量を外部より制御することで共振周波数を調整するものである。オイルは共振器中心部より注入するため、図 3.93 において $d_0 > d_1$ となる構造にした。このため、容量部の間隙 d は r の一次関数となることから、容量部を微小 r ごとに分割して d を計算し、それらの合成インピーダンスとして Z_a を求める。

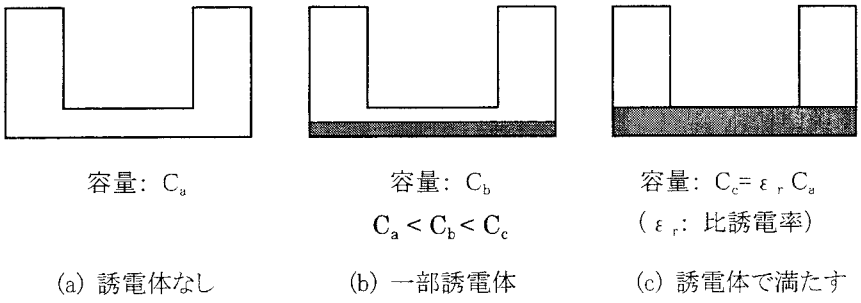


図 3.95 誘電体注入による共振周波数の調整の模式図

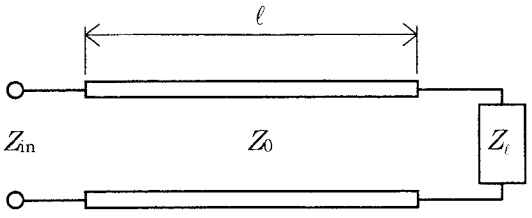


図 3.96 伝送線路のインピーダンス変換作用

ここで、図 3.96 のように、ある特性インピーダンス Z_0 を持った長さ ℓ の伝送線路の片端に負荷 Z_ℓ がついた場合、他端から見たインピーダンス Z_{in} は次式のように表わせる [114]。

$$Z_{\text{in}} = Z_0 \frac{Z_1 + jZ_0 \tan \beta l}{Z_0 + jZ_1 \tan \beta l} \tag{3.33}$$

ただし、

$$\beta = \omega\sqrt{LC} = 2\pi / \lambda = 2\pi f / v \tag{3.34}$$

である。また、図 3.93 に示すように、間隙 d に比べて半径 r が大きい平行円盤で構成された線路における電磁界は、半径方向に伝搬する性質を持っており、このような線路をラジアル伝送線路と言う。ラジアル伝送線路における特性インピーダンス Z_0 は、間隙を d、半径を rとすると、

$$Z_0 = \sqrt{\frac{\mu}{\varepsilon}} \frac{d}{2\pi r} \tag{3.35}$$

とあらわされる [115]。このように、ラジアル方向に電荷が移動する場合、特性インピーダンスは rの関数になっており、このモデルの場合には d も rの関数になっている。したがって、図 3.97 のように、計算したいラジアル線路を Δr ごとに分割し、式(3.36)、(3.37)のように逐次計算していくことで、$r=r_1$ からみた容量部のインピーダンス Z_a を計算することが出来る。

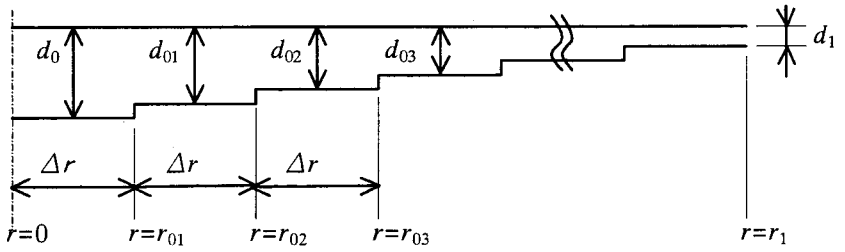


図 3.97 容量部分のインピーダンス計算

$$Z_{10} = -j \frac{d_0}{\omega\, \varepsilon\pi \Delta r^2} \tag{3.36}$$

$$Z_{1k} = Z_{0k} \frac{Z_{1k-1} + jZ_{0k} \tan \beta\Delta r}{Z_{0k} + jZ_{1k-1} \tan \beta\Delta r} \quad (k = 1,2,\ldots, r_1/\Delta r) \tag{3.37}$$

$$\left(\text{ただし、} Z_{0k} = \sqrt{\frac{\mu}{\varepsilon}} \frac{(k\Delta r / r_1)(d_1 - d_0) + d_0}{2\pi k \Delta r}\right)$$

$$Z_a = Z_{1m} \quad (m = r_1 / \Delta r) \tag{3.38}$$

次に、$r=r_1$ から外側をみたインピーダンス Z_b を求める。

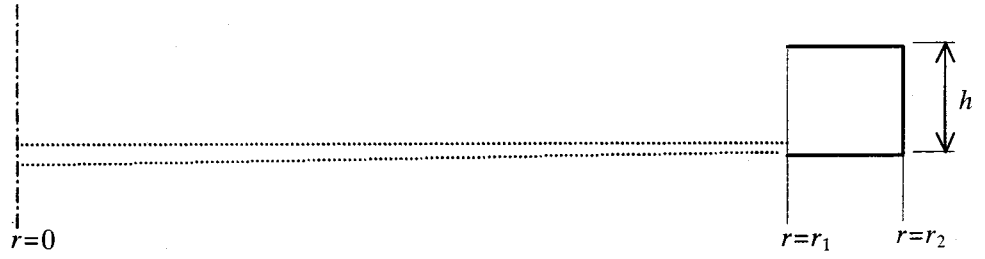


図 3.98 コイル部のインピーダンス計算

$r=r_1$ から $r=r_2$ 側をみたインピーダンスは、ラジアル伝送線路において片端を短絡した場合に相当する為、解析解より、

$$Z_b = jZ_0(r_1)\frac{J_0(\beta r_1)N_0(\beta r_2)-N_0(\beta r_1)J_0(\beta r_2)}{J_1(\beta r_1)N_0(\beta r_2)-N_1(\beta r_1)J_0(\beta r_2)} \tag{3.39}$$

で与えられる [115]。ただし、J_0、J_1、N_0、N_1 はそれぞれ 0 次および 1 次のベッセル関数、ノイマン関数であり、$Z_0(r_1)$は式(3.35)で与えられるもの、βは式(3.34)で与えられるものである。

最後に、容量部 a とコイル部 b の境界面の浮遊容量 Z_c についても、解析的に解が与えられており [116]、次の様にあらわせる。

$$Z_c = -j\frac{\pi}{2\beta h}Z_{01}(r_1)/\log\frac{eh}{4b_1} \tag{3.40}$$

以上より、式(3.38)、(3.39)、(3.40)を式(3.32)に代入して解くことによって、その形状における共振周波数を求めることが出来る。基本容量を 1000 pF、オイル未注入時共振周波数を 160 MHz とした空洞共振器の設計計算を行った。先にも述べたが、オイル注入のことを考えると、容量部の極板間距離は数 mm 程度必要である。そこで、d_0 を 5 mm、d_1 を 3 mm とすると、1000 pF の容量を実現するためには r_1 = 300 mm 程度の極板面積が必要となる。これらの値を用い、160 MHz にて共振するように r_2、h の値を先に示した計算方法によって決定した。各寸法を表 3.17 にまとめる。

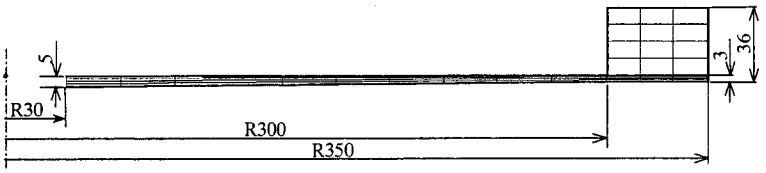
表 3.17 空洞共振器の設計計算結果

図 3.93 中の記号	r_2	r_1	h	d_1	d_0
設計寸法 [mm]	350	300	36	3	5

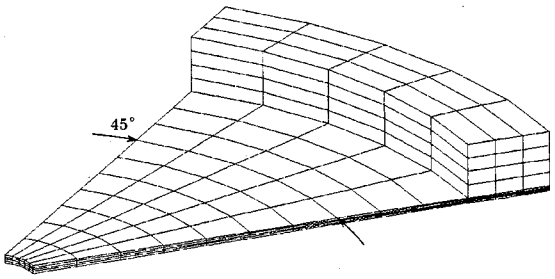
先に述べた設計においては、ラジアル方向の電磁波の伝搬に基づく理論式を用いて計算を行ったが、コイル部などはラジアル方向だけの伝搬とは言い切れず、また、最外周部を理想的な短絡端として扱ったことにも疑問が残る。そこで、先に設計した空洞共振器の各寸法を用いて有限要素法による電磁波解析を行い、その妥当性の検討等を行った。

計算に用いたモデルの外形を図 3.99 に示す。容量部は縦方向に 4 分割とし、半径方向には 10 分割とした。コイル部は縦方向に 8 分割、半径方向に 3 分割とした。θ 方向には図 3.99(b) のように 45 度分を 5 分割として計算することにした。なお、中心には半径 30 mm の穴があいているものとした。図 3.99(a)における中心穴側面以外の面では電場が直交するものとし、中心穴側面および図 3.99(b)における θ 方向の切断面では磁場が直交するものとした。また、最外周部の 1 節点に縦方向の単位電界強度を与えて励振するものとした。

計算は表 3.18 に示すシステムを用いて行った。共振周波数の求め方としては、周波数をパラメータとして有限要素計算を行い、すべての要素中の最大電界強度を抽出し、その値が極大値をとる周波数をもって共振周波数とする方法をとった。図 3.100 にその結果を示す。同図より、共振周波数は 168.6 MHz であることが分かる。設計値は 160 MHz であったことから、約 5 % 程度のずれに収まっており、先に述べた設計は実用上問題のないことが分かった。



(a) 断面図



(b) 斜視図

図 3.99 有限要素法計算に用いた計算モデル

表 3.18 計算に用いた有限要素解析システム

有限要素計算ソフト	(株) フォトン製 PHOTO-WAVE Ver.1.8
プリポストプロセッサ	FEMAP Ver.5.0
CPU	DEC Alpha 21164 (500 MHz) 512 MB Memory

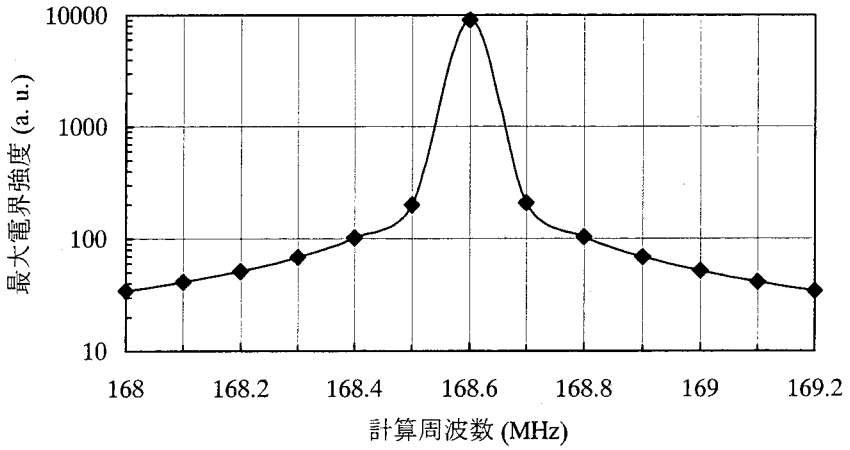
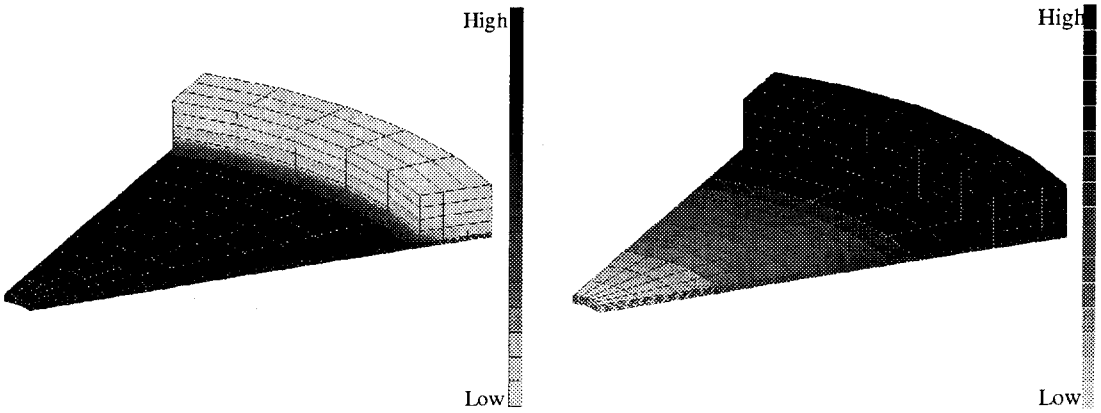


図 3.100 要素中最大電界強度の周波数依存性

図 3.101 に共振時における電磁界強度分布の計算結果を示す。同図(a)より容量部分での電界強度は大きく、同図(b)よりコイル部での磁界強度が大きいことが分かり、設計通りのモードの共振が起こっていることが分かる。また、電界強度分布は θ 方向に完全に対称となっており、45 度分割モデルによっても妥当な計算結果が得られていると考えられる。図 3.101(a)によると、電界強度が最大となっているのは半径約 250 mm 程度の位置であるが、この計算結果はあくまでも電界強度の計算結果であり、電位分布を表しているわけではな

い。図 3.99 より中心部での極板間距離は 5 mm であるのに対して外周部での距離は約 3 mm であることから、電界強度の最大点と電位の最大点は必ずしも一致しないと考えられる。そこで、電界強度分布を電位分布に換算して検討を行った。図 3.102 に半径方向の電界強度分布と、電界強度に極板間距離を乗じて電位分布を計算した結果を示す。これより、電位が最大となる位置はやはり中心であることが分かり、意図したモード以外の共振が起こっていないことが確認できた。



(a) 電界強度分布　　(b) 磁界強度分布

図 3.101 共振時の電磁界強度分布計算結果

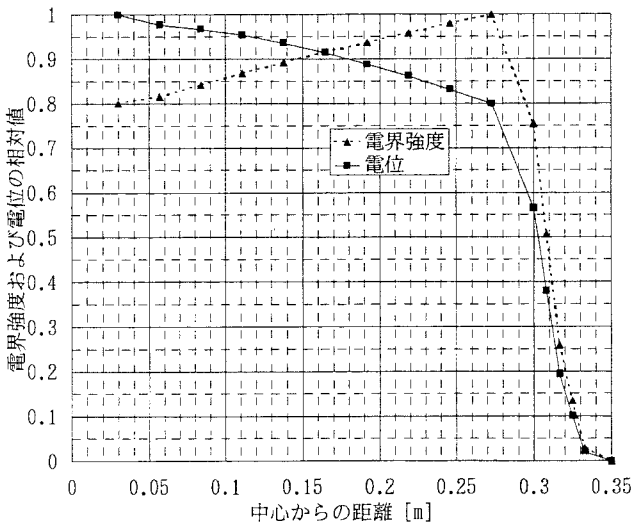


図 3.102 半径方向の電界強度分布と電位分布

設計した共振器では、その容量を調整するために、容量を形成する間隙部に比誘電率 2.7 のシリコンオイルを出し入れする機構を採用しているが、仮に間隙部すべてを比誘電率 2.7 の誘電体とした場合に共振周波数がどのように変化するかの検討を行った。図 3.103 にその結果を示す。同図より共振周波数は 104.2 MHz であることが分かる。容量 C のコンデンサ

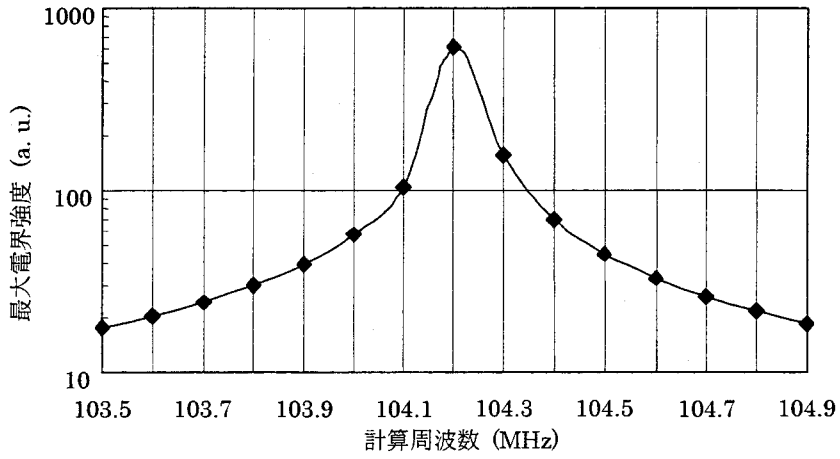


図 3.103 要素中最大電界強度の周波数依存性

と誘導係数 L のコイルのみから成る単純な共振回路の共振周波数 f は、$f = 1/(2\pi\sqrt{LC})$ で表され、この時、容量 C が ε_r 倍になったとすると共振周波数は $\sqrt{\varepsilon_r}$ 分の 1 になる。今回設計した共振器の場合、誘電体を入れることによって共振周波数は 168.6 MHz から 104.2 MHz へと、1/1.618 に下がっている。このことから ε_r を換算すると $\varepsilon_r = 2.618$ となり、計算に用いた値(=2.7)とは数%のずれが生じる。これは、今回設計した共振器の容量部を単純な平行平板コンデンサと見なしては間違いであることを意味するが、逆に、単純な平行平板コンデンサとして見なしても数%程度のずれしか生じないことが分かった。

以上、有限要素法による電磁界計算システムを用いて先に設計した空洞共振器の解析を行った。その結果、共振周波数に関しては約 5 %程度のずれに収まっていることが分かり、先に述べた設計は実用上妥当なものであることが分かった。また、電磁界強度分布より、意図したモードで共振することを確認した。さらに、容量部に誘電体を挿入した際の共振周波数解析より、ほぼ設計通りの容量調整が可能であることを確認した。

次に、製作した空洞共振器の評価を行った。図 3.104 に設計製作した 1000 pF 空洞共振器の図面及び図 3.105 に外観の写真を示す。また、設計製作した可変容量装置である空洞共振器を用いて、共振周波数のシリコンオイル量依存性を実験評価した。用いたシリコンオイルは東芝シリコーン製 TSF451-10 であり、その電気的特性を表 3.19 に示す。共振器容量調整機構の概略を図 3.106 に、シリンダー部の写真を図 3.107 に、そして共振周波数測定結果を図 3.108 に示す。設計値では、オイル未注入時の共振周波数は 160 MHz となるはずであり、オイルを十分注入した時の共振周波数は未注入時の $1/\sqrt{2.7} = 0.61$ 倍、すなわち約 100 MHz になるはずである。 図 3.108 より、計算結果と実験結果はよく一致しており、設計通りの可変容量装置を製作できたことが確認できたと言える。

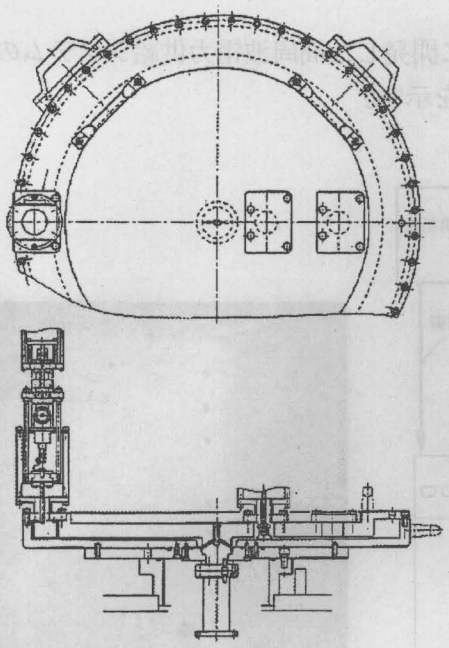


図 3.104 1000 pF 空洞共振器の製作図面

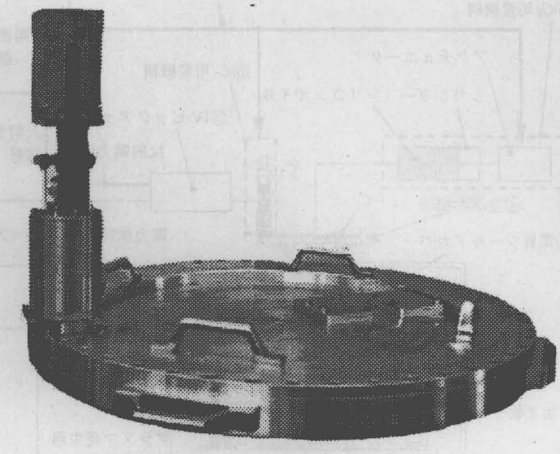


図 3.105 空洞共振器の外観写真

表 3.19 シリコンオイルの電気的特性

品番	東芝シリコーン TSF451-10
比誘電率（150 MHz、24 ℃/90 ℃）	2.7 / 2.4
誘電正接（150 MHz、24 ℃/90 ℃）	2×10^{-4}以下/2×10^{-4}以下
絶縁破壊強度（2.5 mm 当たり）(kV)	35 以上

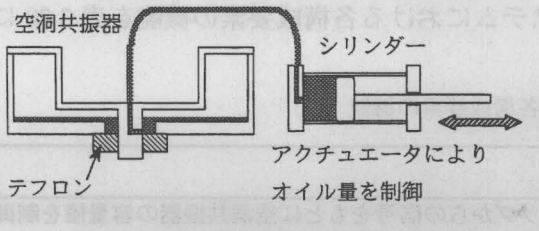


図 3.106 共振器容量調整機構

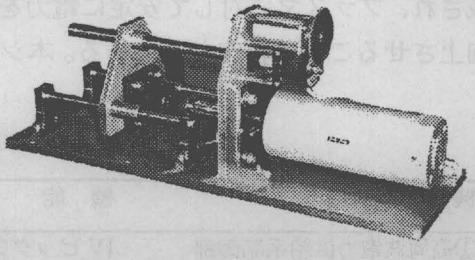


図 3.107 容量調整機構の概観

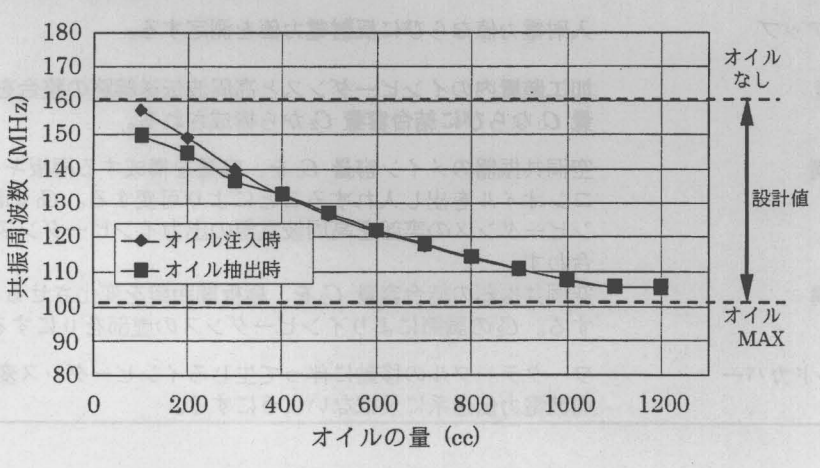


図 3.108 共振周波数測定結果

(3) 電力供給システムの構成

図3.109に数値制御プラズマCVM加工装置用に開発した高周波電力供給システムの構成図を、また図3.110に制御ユニット部の外観写真を示す。

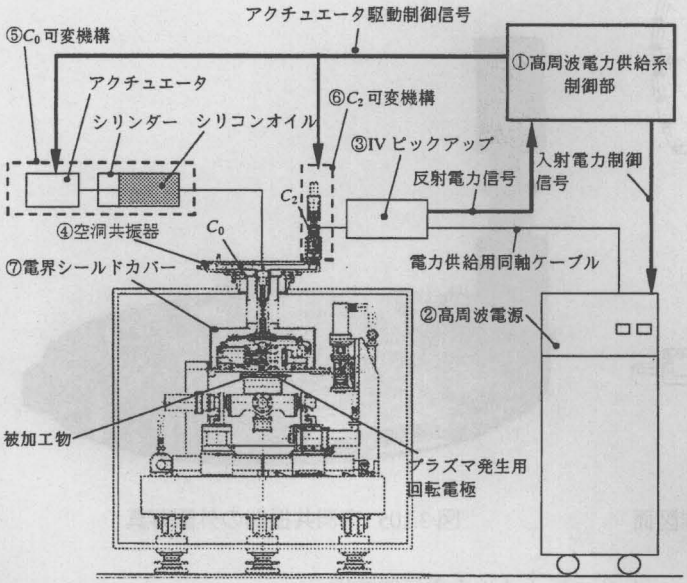


図3.109 プラズマCVM加工装置用高周波電力供給システム構成図

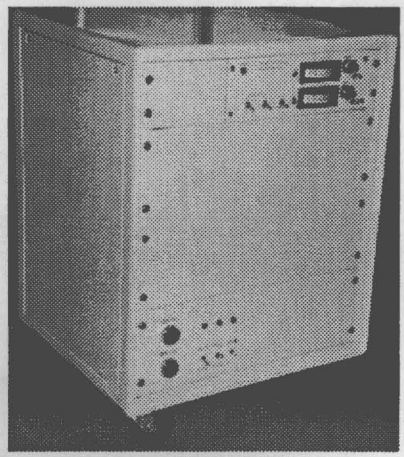


図3.110 制御部外観写真

本システムは高周波電源、空洞共振器ならびにそれらを統合する制御ユニット等から構成され、プラズマに対して安定に電力を供給することにより、プラズマCVMの加工精度を向上させることを目的としている。本システムにおける各構成要素の機能を表3.20に示す。

表3.20 各構成要素の機能

機　器　名	機　能
①高周波電力供給系制御部	IVピックアップからの信号をもとに空洞共振器の容量値を制御する。
②高周波電源	プラズマを発生、維持するのに必要な高周波電力を供給する。
③IVピックアップ	入射電力値ならびに反射電力値を測定する。
④空洞共振器	加工装置内のインピーダンスと高周波伝送線路の整合を行う。メイン容量 C_0 ならびに結合容量 C_2 から構成される。
⑤C_0可変機構	空洞共振器のメイン容量 C_0 を、容量を構成する極板ギャップ中にシリコンオイルを出し入れすることにより可変する。C_0 の調節により、インピーダンスの実部を高周波電源の出力インピーダンスである 50Ω に合わす。
⑥C_2可変機構	空洞共振器の結合容量 C_2 を、極板間距離を変化させることにより可変する。C_2 の調節によりインピーダンスの虚部を0にする。
⑦電界シールドカバー	ワークテーブルの移動に伴って生じるインピーダンス変化の影響が、高周波電力伝送系に及ばないようにする。

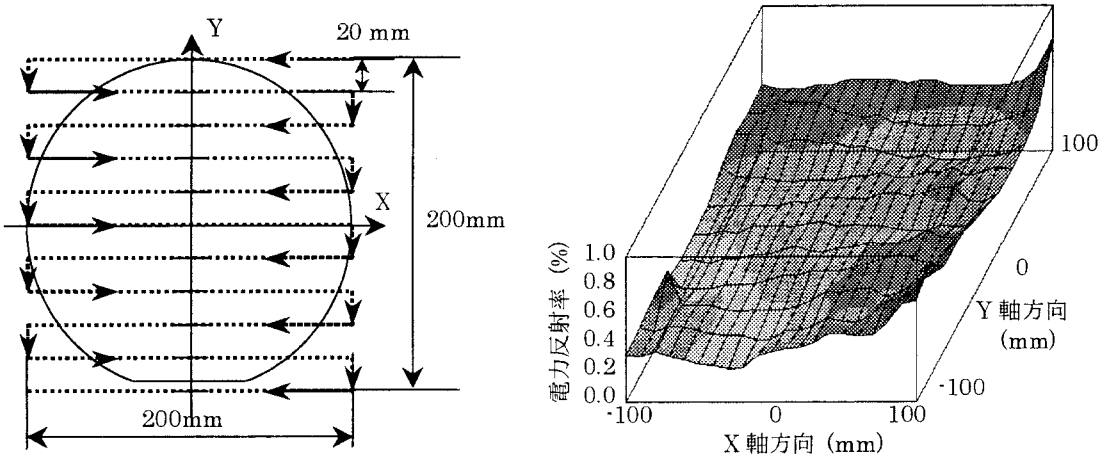
(4) 電力供給システムの評価

ウエハ全面走査時の反射電力

プラズマを発生させた状態でワークテーブルを移動させ、電力供給の安定性を評価した。表 3.21 に示す実験条件において、図 3.111(a)のようにテーブルを走査して各場所での反射電力の測定を行った。図 3.111(b)に結果を示すが、テーブル移動による電力反射率は、プラズマを発生させた状態においても 1 %以下に抑えられることが分かり、本電力供給システムにより、プラズマへの安定した電力供給が可能であることが分かった。

表 3.21 プラズマのインピーダンス測定条件

ガス組成	He
電極周速度	15.7 m/s
電極回転数	1500 rpm
投入電力	500 W
加工ギャップ	1000 μm
試料	8" Si ウエハ(n-type, Cz, (100), 1～2 Ωcm)



(a) テーブル走査方法　　(b) 反射電力の変動

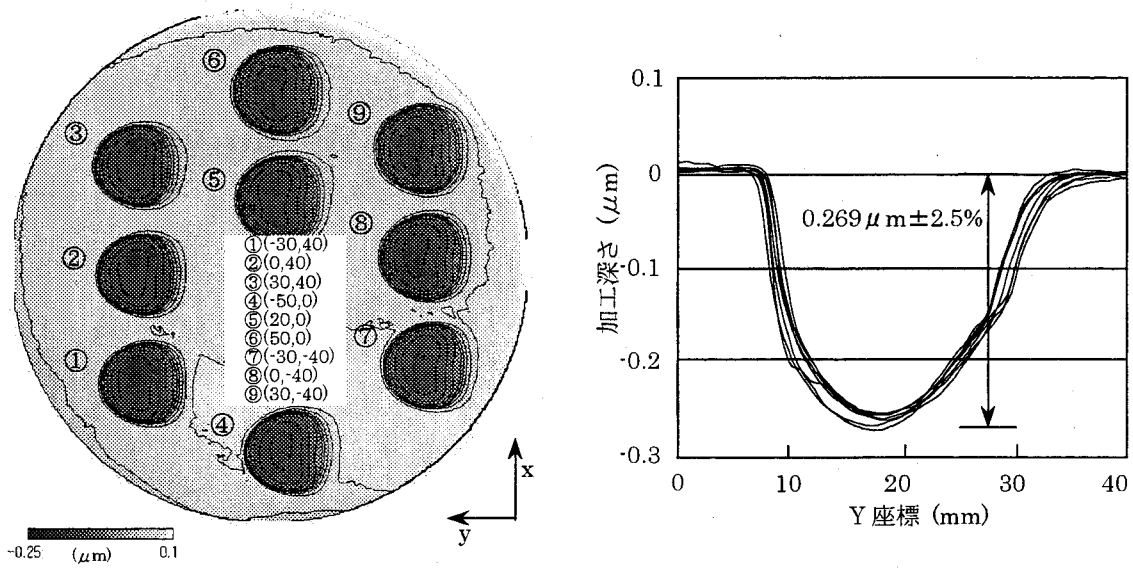
図 3.111　プラズマを発生させた状態でのテーブル移動に伴う反射電力の変動

単位加工痕形状のテーブル位置依存性

数値制御加工を行うにあたり、単位加工痕形状がテーブルの位置に関係なく、同じである必要がある。同一試料上に場所を変えて、同条件での単位加工痕を作製し、加工後の試料表面形状を位相シフトレーザー干渉計（zygo 社製 GPI-XP HR）によって測定した。加工条件を表 3.22 に、加工結果を図 3.112 に示す。

表 3.22　加工条件

ガス組成	$He:CF_4:O_2$=99.9:0.05:0.05
電極周速度	5.2 m/s
電極回転数	500 rpm
投入電力	500 W
加工時間	30 sec
加工ギャップ	1000μm
試料	6" Si ブロック(p-type)



(a) 各位置の単位加工痕形状　　(b) 各単位加工痕の断面形状の比較

図 3.112　各位置での単位加工痕形状の比較

用いた試料の表面が完全に平坦ではないことも考慮すると、図 3.112(a)の単位加工痕形状はテーブル位置によらず、よく一致していると言える。また、図 3.112(b)より、各単位加工痕の最大加工深さは、0.269μm±2.5%であり、加工量の再現性も十分と言える。

3.4 結言

X 線ミラーやステッパー用非球面レンズ、および半導体ウエハ等、極限までの高精度、高品質化が要求される素子の製造においては、現状の機械加工を主とする加工プロセスはもはや限界に至った感がある。機械加工は、加工能率が高いという長所を持つが、その反面変形破壊という加工現象に関与する転位やクラック等の結晶欠陥は、原子レベルから考えると非常に大きな空間を占めているため、その大きさが変形および除去単位の微小化を物理的に制限している。また、加工表面には、転位や空孔等の欠陥から構成される加工変質層が必然的に残存することになる。よって、さらなる加工プロセスの高精度化のためには、このような機械的な手法に代わって、加工現象としては理想的である、化学的な反応を用いた加工法の開発が望まれる。これらの要求に対して本研究では、機械加工に置き換わる全く新しい概念の化学的加工法として、高能率性と優れた空間制御性を併せ持つプラズマ CVM を提案し、その高いポテンシャルを示した。さらに、そのポテンシャルを活かすべく、X 線ミラー等の超高精度光学素子や次世代半導体集積回路用基板等を作製するための、数値制御プラズマ CVM 加工装置の開発について述べた。以下に本章で得られた結果をまとめる。

(1) 大気圧プラズマを用いたプラズマ CVM の加工原理を示し、その特徴について述べた。また、本加工法を太陽電池のパターニングや、非球面レンズの加工に応用した例を示した。

(2) プラズマ発生用の電極として、回転電極を用いることを提案した。電極を高速に回転させることにより、電極と加工物との間に形成される非常に狭い加工ギャップ（数百μm）に対して、高効率な反応ガスの供給、ならびに反応生成物の排出を行なうことができる。また、プラズマはワークと対向した部分のみに局所的に発生し、残りの部分においては雰囲気ガスとの相互作用により冷却されるため、大電力の投入が可能となり、加工能率を大幅に向上させることができる。本方式は、高圧力下で顕著となるガスの粘性を積極的に利用したものであり、大気圧プラズマならではの方法である。

(3) 回転電極の応用例として、内周刃ブレードを用いた切断加工、円筒型電極を用いたポリシング加工、および球型（円盤型）電極を用いた数値制御形状加工を提案し、それぞれの加工装置の実例を示した。

(4) 各種機能材料（石英ガラス、単結晶シリコン、モリブデン、タングステン、シリコンカーバイド、ダイヤモンド）に対して、数μm～数百μm／min の高加工速度を得ることに成功した。特に、石英ガラス、シリコンに対しては機械加工におけるラッピングに匹敵する加工速度を実現した。

(5) 各種加工法によって研磨した単結晶シリコンの表面に形成されるバンドギャップ内の欠陥密度を、SPV スペクトロスコピーにより評価した。その結果、プラズマ CVM 加工を行った表面の欠陥密度は、機械研磨やアルゴンイオンスパッタリング等の物理的な加

工法によって得られた加工面と比べて2桁以上小さく、化学的な加工法であるケミカルエッチング面と同等の低欠陥密度であることが分かった。

(6) 加工量がプラズマの滞在時間に比例することを利用した数値制御加工理論と、それを用いた加工プロセスについて述べ、プラズマの滞在時間を決定するワークの送り速度分布を導出するためのプログラムの開発を行った。

(7) 平面、ならびに非球面形状を有する光学素子の加工が可能な、6軸（X, Y, Z, θ_x, θ_y, θ_z）制御の数値制御プラズマCVM加工装置を開発した。

(8) プラズマ発生用の回転電極、ならびにワークテーブルの軸受に、チャンバ内のプロセスガスを作動ガスとする気体軸受を適用した。このことにより、パーティクルの発生や、潤滑油等の有機物汚染のない清浄な加工雰囲気を実現した。また、回転電極の振れ精度は約5μm、ワークテーブルの真直度はX軸で約0.1 μm、Y軸で約0.45 μmが得られた。

(9) プラズマ発生用の回転電極の表面には、プラズマ溶射により酸化アルミニウム（アルミナ）の皮膜を形成した。誘電体膜の形成により、電極表面からの二次電子放出によるアーク放電を抑制し、高密度の大気圧下において低温で安定したプラズマを維持することに成功した。また、アルミナはフッ素系の反応ガスに対して耐食性が高いので、半永久的に電極を使用することが可能である。

(10) プロセスガス中のパーティクル、反応生成物等の不純物を除去するとともに、反応ガス濃度およびプロセスガスの温度を一定に維持する機構を有する、ガス循環精製システムを開発した。本システムを用いることにより、プロセスガスの温度変動を±0.1 ℃以内に制御することができた。

(11) プラズマに投入する電力を一定にし、加工特性を安定化させるための高周波電力供給システムの開発を行なった。本システムはインピーダンス整合用の低損失半同軸型空洞共振器、回転電極周囲の電界シールドカバーから構成される。電界シールドカバーを適用することにより、ワークテーブルの移動に伴うプロセスチャンバ内のインピーダンスの変動を抑制し、安定した電力供給を実現した。

第 4 章 数値制御プラズマ CVM による超薄膜 SOI ウエハの製作

4.1 緒言

開発した数値制御プラズマ CVM 加工装置により、超薄膜 SOI ウエハの作製を試みる。図 4.1 に、プラズマ CVM を用いた超薄膜 SOI ウエハ作製プロセスを示す。SOI 層の厚さが厚く（概ね 0.1μm 以上）数値制御加工に時間を要する場合は、図 3.12 に示すような円筒型電極を用いたポリシング加工装置によって SOI 層全面を高能率に薄膜化を行う。SOI 層の厚さが薄い場合は、この工程は省略する。数値制御加工に入る前に、まず、SOI 層の厚さ分布を測定する。次に目標膜厚との偏差量から設定加工量を求め、単位加工痕形状でデコンボリューションすることにより滞在時間分布（送り速度分布）を求める。そのデータをもとに XY テーブルを走査し、プラズマ CVM による SOI ウエハの数値制御薄膜化を行う。本章では、数値制御加工を行うための単位加工痕形状や加工量の送り速度依存等の基本加工特性について述べた後、高い加工精度を得るための各種検討項目について述べる。その後、数値制御加工を行う上で極めて重要な計測方法について述べ、最後に超薄膜 SOI ウエハの作製を試みた結果について述べる。

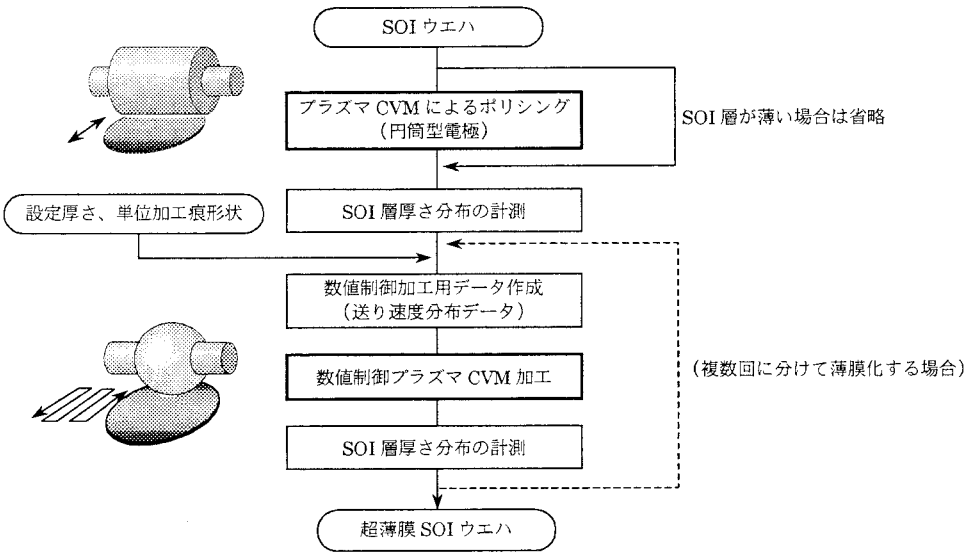


図 4.1　数値制御プラズマ CVM による超薄膜 SOI ウエハの作製プロセス

4.2 基本加工特性

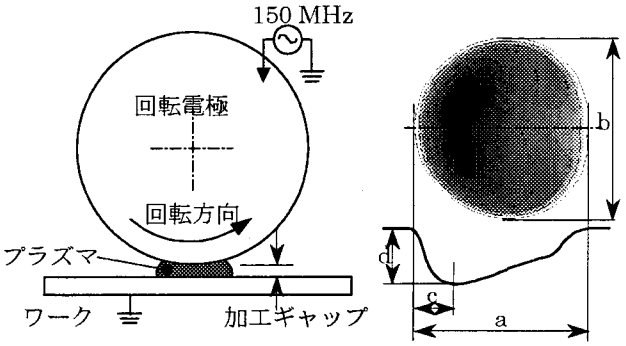
第 3 章 3 節で述べたように、数値制御加工は単位加工痕の集積によって実現するため、各加工パラメータと単位加工痕形状の関係を求め、最適な加工条件を決定する必要がある。また、数値制御データを作成するためには、加工量とテーブル送り速度の逆数、すなわち滞在時間との関係を明確にしておく必要がある。本節ではこれらについて検討を行った。

4.2.1　単位加工痕形状

本研究で用いる加工装置のプラズマ発生用電極は、直径200 mmの球の一部を切り出した形状であり、回転方向および垂直な方向に同じ曲率半径100 mmを有している。従って、電界強度分布は、ワーク表面と電極の最近接点を中心に同心円状に分布し、対称性の良好な加工痕が期待できる。しかし、電極は回転しており、粘性によるガスの流れによって、流れ方向の対象性は得られるとは限らない。そこで、電極周速度、加工ギャップ、投入電力を変化させ、各条件における単位加工痕形状を調べた。試料として直径6インチ、厚さ10mmのシリコン単結晶板を用い、表4.1に示す条件において、単位加工痕形状を評価した。加工痕形状は、加工前後の表面形状を位相シフト干渉計（zygo GPI-XP HR）によって計測し、その差より求めた。図4.2(a)のようにプラズマを発生させ、図4.2(b)のような単位加工痕が得られたとする。このとき、図のように、流れ方向の単位加工痕の大きさをa、幅をb、最上流部から最も多く加工される場所までの長さをcとする。

表4.1　単位加工痕評価条件

反応ガス組成	He:CF_4:O_2
	=99.98:0.01:0.01
電極周速度	3.1、5.2、10.4 m/s
加工ギャップ	0.3、0.6、1.0 mm
投入電力	100、250、500 W
加工時間	1 min

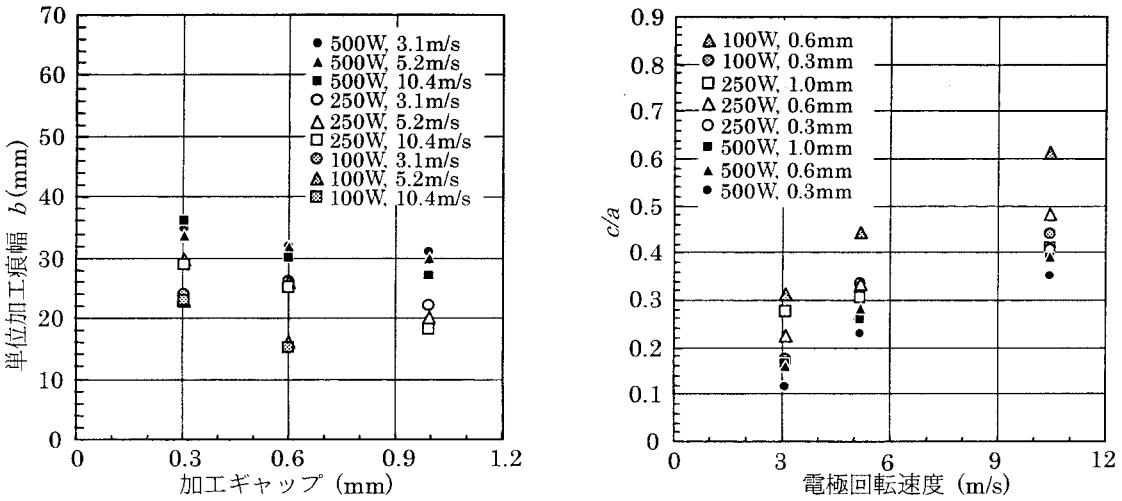


(a) 電極まわりの概略図　(b) 単位加工痕形状

図4.2　単位加工痕評価実験

加工痕の長さaと幅bは、どの条件でもほぼ等しい値であった。図4.3(a)に単位加工痕の幅bの、加工ギャップおよび投入電力依存性を示す。投入電力が大きくなるにつれ、単位加工痕幅は大きくなっている。これは、電力の増加とともにプラズマが広がっていることを示している。一方、同じ電力であれば、加工ギャップが大きいほど、単位加工紺の幅は小さくなっている。これは、加工ギャップの増加と共に電界強度が弱まり、電界強度が最も弱い外側からプラズマが消滅していると考えられる。次に、単位加工痕のどの部分が最も多く加工されるかを示すc/aの値を評価した。図4.3(b)に結果を示す。図の横軸は電極周速度である。どの条件においても電極周速度を増加するにつれて、c/a値は増加している。また、電力を増加するとc/a値は減少する傾向がみられ、加工ギャップを増加するとc/a値は増加する傾向がみられる。反応ガスはプラズマに入ったのち、フッ素ラジカルに分解し、ワーク表面に拡散して加工に寄与する。周速度が増加すると、フッ素ラジカルがワーク表面に到達するまでに下流部へ流される距離が増加し、より下流部で加工量が最も多くなると考えられる。また加工ギャップが増加すれば、ワーク表面に到達するまでの時間がかかり、やはり下流部へ流される距離が増加して下流部で加工量が最も多くなると考えられる。

一方、電力を増加すると、反応ガスの分解が早くすすむため、より上流側にシフトすると考えられる。どのような単位加工痕を用いても数値制御加工は可能であるが、対象性が良好な、すなわち c/a が 0.5 に近い加工痕を用いる方が、高精度な数値制御加工が期待できる。従って、数値制御加工を行う上での標準加工条件を、表 4.2 のように決定した。なお、本研究においては、必要な加工量に応じて反応ガス組成や投入電力条件を変えているが、その都度、加工ギャップと電極回転速度を変えて単位加工痕形状を取得し、対称性の良好な加工痕が得られる条件を決定している。また、反応ガス濃度を表 4.1 に示す値の 10 倍にすることで、体積加工速度として 0.3 mm^3/min 程度が得られている。これは、8 インチウエハ全面の加工速度に換算すると 1 分間あたり約 10 nm となり、本加工法は極めて高能率に数値制御加工を行う能力を有しているといえる。



(a) 加工痕幅の評価　　(b) 対称性の評価

図 4.3　各種条件における単位加工痕の大きさと対象性の評価

表 4.2　反応ガス組成 $He:CF_4:O_2$=99.98:0.01:0.01 における最適加工条件

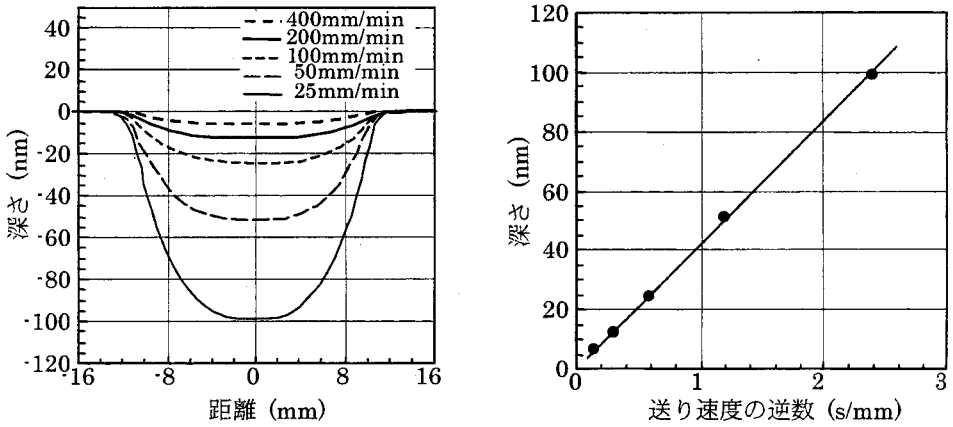
投入電力	電極周速度	(電極回転数)	加工ギャップ	加工痕直径	体積加工速度
W	m/s	rpm	mm	mm	mm^3/min
100	5.2	(500)	0.6	16	0.018
250	10.4	(1000)	0.6	18	0.041
500	10.4	(1000)	1.0	27	0.059

4.2.2　加工量のテーブル送り速度依存性

滞在時間制御によって数値制御加工が可能であることを確認する実験を行った。滞在時間制御はテーブルの送り速度制御によって行う。テーブルを一定速度で送ることで、プラズマの直径を幅とする溝が形成される。そこで、何種類かのテーブル送り速度で溝を形成し、溝形状のプロファイルを測定した。試料には 100 mm 角、厚さ 10 mm のシリコン単結晶板を用い、加工後の計測には位相シフトレーザー干渉計を用いた。形成された溝の断面形状を図 4.4(a)に、溝の最大深さと滞在時間（送り速度の逆数）の関係を図 4.4 (b)に示す。

図4.4(a)より、テーブルの送り速度によらず、溝の幅は一定であることが分かる。これは、テーブルの送り速度によってプラズマの直径が変化しないことを意味しており、数値制御加工を行う上で望ましい。また、図4.4 (b)より、滞在時間と溝の最大深さは比例関係であることが分かる。例えば、加工現象の温度依存性が強い場合、滞在時間の違いで局所的な試料温度上昇の度合いが変化し、非線形な関係になることも考えられるが、本研究で用いる条件ではそのような現象は見られず、加工量は単純に滞在時間に比例している。このことも数値制御加工を行う上で極めて好都合と言える。

以上より、テーブル送り速度制御による滞在時間制御を用いて、数値制御加工を行うことが可能であることが示された。



(a) 溝形状の送り速度依存性　(b) 加工量と送り速度の逆数の関係

図4.4　加工量のテーブル送り速度依存性

4.3　数値制御加工精度の検討

超薄膜SOIウエハの製作を目指し、種々の観点から数値制御プラズマCVM加工装置の加工精度の検討を行った。数値制御データは単位加工痕形状に基づいて作成されるため、単位加工痕形状を作製した際のプラズマの状態と、数値制御加工を行う際のプラズマの状態が同じでなければならない。プラズマの状態は主に加工ギャップ部の電界強度および反応ガス組成、流れの状態に依存すると考えられる。本節では、まず投入電力と加工ギャップに関する検討を行い、その後、反応ガスに関する検討を行う。さらに、ウエハ保持用の真空チャックプレートに関する検討、全面走査加工における送りピッチの影響、前加工面の洗浄の影響に関して述べ、最後にウエハ全面加工を複数回行った際の加工量の再現性について述べる。

4.3.1　投入電力設定精度の影響

体積加工速度の投入電力依存性を調査した。反応ガス組成を$He:CF_4:O_2$=99.98:0.01:0.01、加工ギャップを300μm、電極周速度を5.2 m/sとして、投入電力のみを、50、100、250、

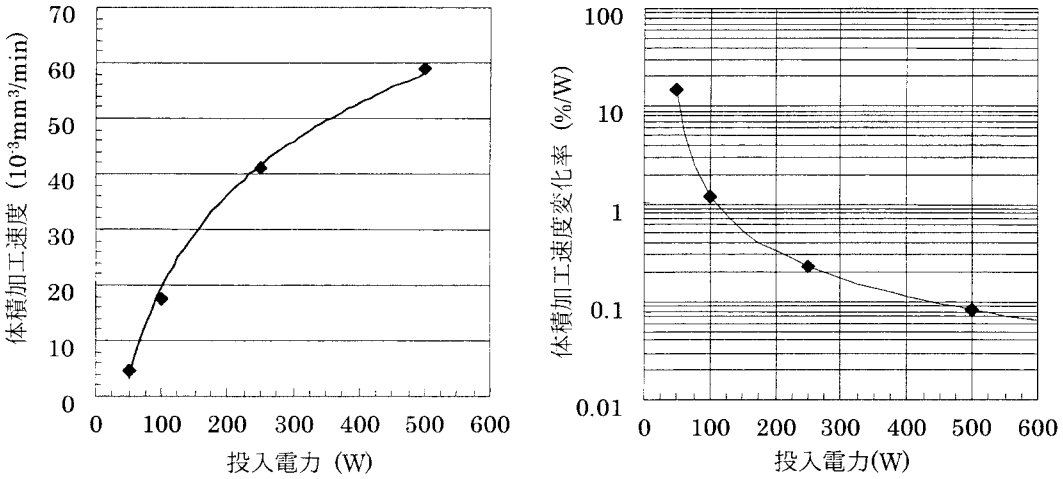
500 W と変化させて単位加工痕を作製した。投入電力 50W は、この条件でのプラズマ維持限界電力である。加工痕形状は走査型白色干渉顕微鏡（zygo 製 NewView 200 CHR）によって測定し、形状データを積分することで体積を算出した。結果を図 4.5(a)に示す。投入電力の増加とともに、体積加工速度が増加し、その増加率は減少してゆくことが分かる。体積加工速度の単位電力に対する変化率を求めるため、図 4.5(a)の結果を次の関数で近似した。

$$f(x) = 23.8\ln(x) - 90 \tag{4.1}$$

よって、求める変化率（%）は、

$$\frac{f'(x)}{f(x)} \times 100 = \frac{23.8/x}{23.8\ln(x) - 90} \times 100 \tag{4.2}$$

で表せる。図 4.5(b)に体積加工速度の単位電力に対する変化率の計算結果を示す。投入電力が 500W の時は、電力が 1W 変化しても 0.1%の体積しか変化しないが、50W の時には 14%程度も体積が変化することになる。従って、プラズマ維持限界電力付近において 1%オーダーの再現性を得るためには、0.1W オーダーで電力を調整する必要があると言える。

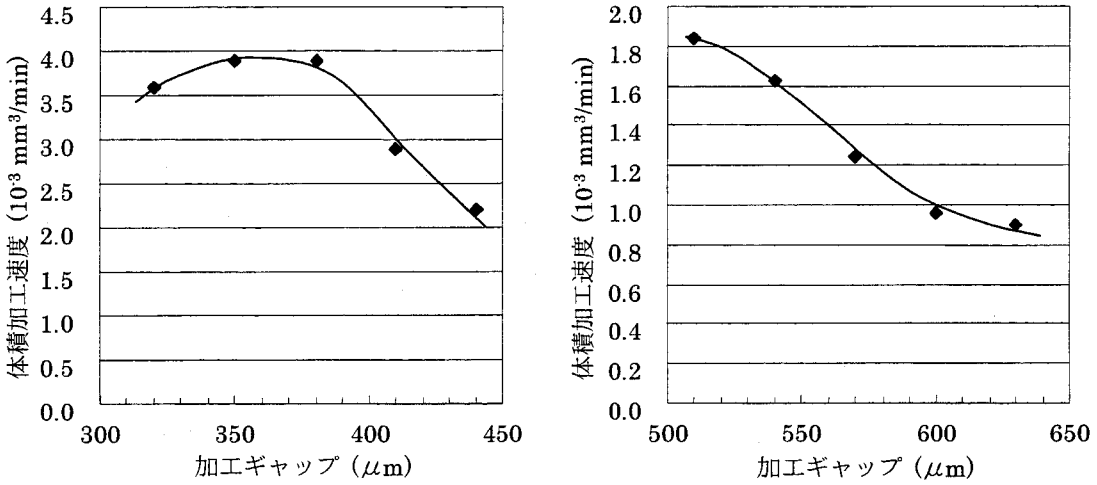


(a) 体積加工速度の投入電力依存性　(b) 体積加工速度変化率の投入電力依存性

図 4.5　体積加工速度および体積加工速度変化率の投入電力依存性

4.3.2　加工ギャップ設定精度の影響

加工ギャップの微小な変化が体積加工速度にどのように影響を与えるのかを調査した。加工条件は、超薄膜 SOI ウエハを作製する上での最終仕上げに用いると思われる、体積加工速度の遅い条件を選んだ。単位加工痕の加工を行い、走査型白色干渉顕微鏡（zygo 製 NewView 200 CHR）によって加工痕を計測し、積分値から体積を算出した。結果を図 4.6(a)(b)に示す。どちらの場合も、加工ギャップが 30μm 変化しただけで、最大で約 3 割も体積加工速度が変化することが分かった。これは、10μm の変化でも最大約 1 割の加工量の増減が起こりうることを意味しており、加工ギャップの設定は特に慎重に行う必要がある。



(a) He:CF_4:O_2=99.98:0.01:0.01、
投入電力:150 W、電極周速度:11.3 m/s

(b) He:CF_4:O_2=99.996:0.003:0.003、
投入電力:85 W、電極周速度: 4.1 m/s

図 4.6　体積加工速度の加工ギャップ依存性

4.3.3　反応ガス濃度に関する検討

反応ガスを充填するまでの手順を述べる。ウエハをセットした後、ドライ真空ポンプおよびターボ分子ポンプによって、容積約 4000 ℓのチャンバー内の空気を約半日排気する。到達真空度は約 4.0×10^{-3} Pa（3.0×10^{-5} Torr）であり、リークレートは約 0.17 Pa ℓ/s（1.3×10^{-3} Torr ℓ/s）である。その後、マスフローコントローラによって He、CF_4、O_2 を所定の混合比でチャンバーに充填する。ヘリウムの最大流量は 100 ℓ/min であるため、充填完了までに要する時間は約 40 min である。また、CF_4 と O_2 の最小流量は約 1 ℓ/min であるため、1%以下の混合比で実験を行う場合は、充填途中で CF_4 と O_2 の供給を中止し、その後はヘリウムのみを大気圧まで充填する。例えば、ヘリウムに対して CF_4 と O_2 が 0.01%であるような組成にする場合、充填開始後から 1 kPa までは 1%の混合ガスを充填し、その後 100 kPa まではヘリウムのみを充填して希釈している。1 kPa のタイミングは充填時間（約 24 秒）を参考にしながら、圧力計の指示値から実験者が判断して決定している。充填中に混入する不純物ガスの検討と、ガス濃度の再現性に関する検討を行った。

(1) 不純物ガスの検討

仮に約 0.17 Pa ℓ/s（1.3×10^{-3} Torr ℓ/s）のリークレートでガス充填中に不純物ガスが混入したとすると、大気圧まで充填後には、約 1.0 ppm の不純物が存在することになる。初期排気時の残留ガスは、大気圧に対して約 0.04 ppm であり、無視できると考えられる。初期排気後、ヘリウムのみを大気圧まで充填し、チャンバー内の不純物ガスの分析を行った。測定には、大気圧イオン化質量分析（Atmospheric Pressure Ionization Mass Spectrometry：APIMS）装置（日立東京エレクトロニクス製 UG-510P）を用いた。測定の結果、N_2 および O_2 が共に 1 ppm 程度検出され、リークレートからの見積もりとオーダー的に一致した。従って、実験に用いる反応ガス組成としては、常に ppm オーダーの不純物

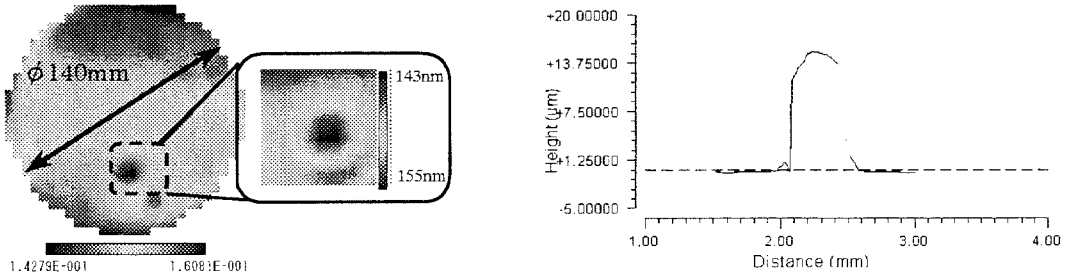
が混入することを考慮する必要がある。CF_4 や O_2 の濃度が 0.01%程度の実験であれば、不純物ガス濃度はその 1%程度であるため問題無いと考えられる。一方、CF_4 や O_2 の濃度を 1 ppm とした実験は、現状のリークレートと反応ガス充填速度では不可能であると言える。

(2) ガス濃度の再現性

反応ガス組成を $He:CF_4:O_2=99.98:0.01:0.01$ としてガス充填を行った後、チャンバー内の O_2 濃度を APIMS によって測定した。3 回充填を行った結果、測定値は、0.0146%、0.0137%、0.0136%であった。濃度の再現性としては±4%程度に収まっていることが確認された。なお、APIMS における O_2 濃度の校正は 100 ppb 以下で行われている。今回測定した 0.01% の O_2 は、100 倍希釈を行っても 1 ppm となり、APIMS における校正領域から大きく外れている。そのため絶対値の評価は行うことができない。

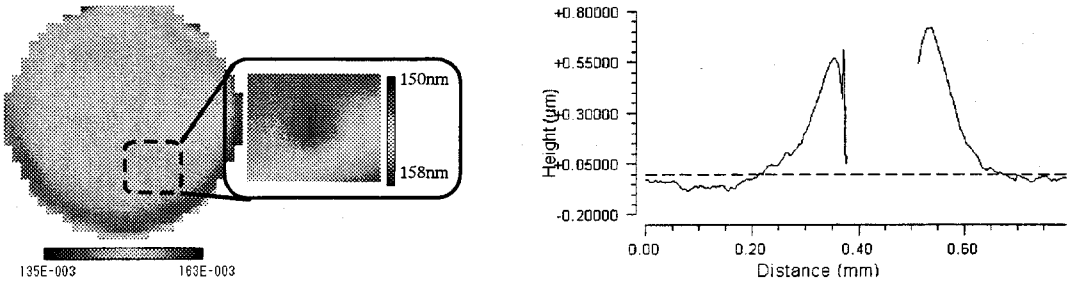
4.3.4　真空チャックプレート表面形状の影響

本装置はウエハを試料台に固定する方法として真空チャックを採用した。通常、プラズマを扱う装置は低圧で使用されるため静電チャック等が用いられるが、プラズマ CVM においては大気圧で加工を行うため、真空チャックを用いることができる。当初は、鏡面仕上げのアルミ合金板に同心円状に溝（幅 0.3 mm、深さ 0.15 mm 程度の V 溝）を数本形成し、溝内を真空ポンプにて負圧にすることでチャックを行っていた。使用開始直後には特に問題は生じなかったが、加工した SOI ウエハに直径 5 mm～15 mm 程度の斑点が確認されるようになり、実験を重ねる毎に、その数が増加した（図 4.11(a)参照)。斑点は SOI 層の厚さむらであり、斑点の領域は周りに比べて数%加工量が少ないことが分かった。その原因を調べるうちに、丁度斑点に対応するチャック面に微小な突起が存在することを見出した。図 4.7、図 4.8 に斑点（SOI 層の厚さむら）と、対応するチャック面の突起の形状を示す。なお、砥石を当てて突起を除去すると、斑点は現れなくなったことからも、斑点の原因がチャック面の微小な突起であることが確認された。



(a) SOI 層厚さ分布、斑点部はその周辺より加工量 7%減(155nm→144nm)　(b) 対応するチャックプレート表面の微小突起（高さ約 12μm）

図 4.7　チャックプレート上の微小な突起の加工量への影響（1）



(a) SOI層厚さ分布、斑点部はその周辺より加工量2%減（153nm→151nm）

(b) 対応するチャックプレート表面の微小突起（高さ約0.8μm）

図4.8　チャックプレート上の微小な突起の加工量への影響（2）

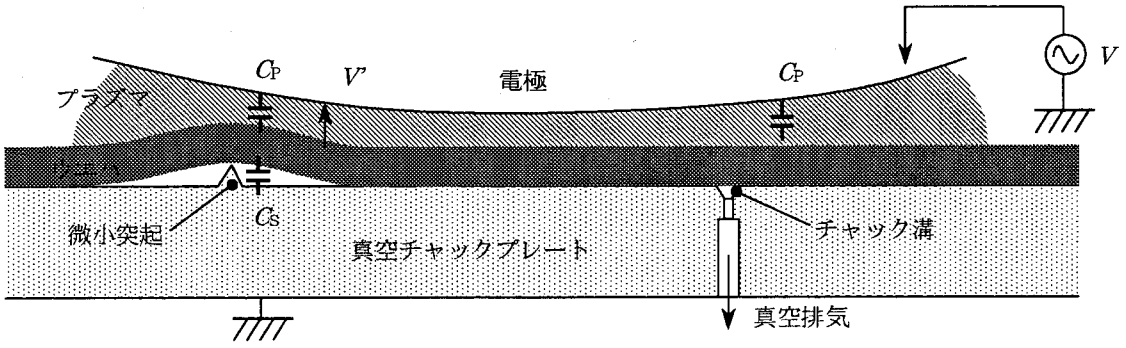


図4.9　微小突起の影響

微小突起によってなぜ斑点が現れるかを検討する。図4.9に加工中ワーク周りの模式図を示す。電極には V の電圧が印加されているとし、単位面積あたりのプラズマの容量を C_P、微小突起によって形成された間隙の容量を C_S とし、ワークと電極間には V' の電圧が印加されているとする。このとき、

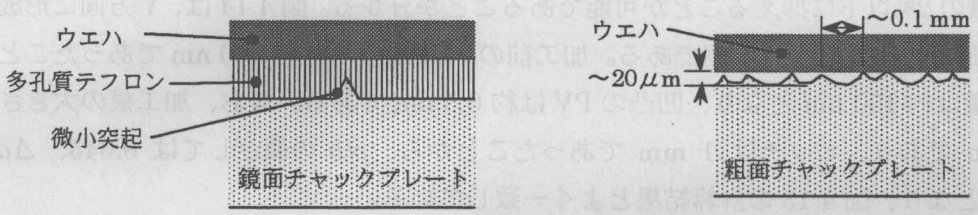
$$\frac{V'}{V}=\frac{C_S}{C_P+C_S}=\frac{1}{1+\dfrac{d}{d_G-d}\varepsilon_r} \tag{4.3}$$

となる。ただし、d は微小突起の高さ、d_G は設定加工ギャップ、ε_r はプラズマの比誘電率である。d_G=1 mm、d=0.015mm とすると、

$$\frac{V'}{V}=\frac{1}{1+0.015\varepsilon_r} \tag{4.4}$$

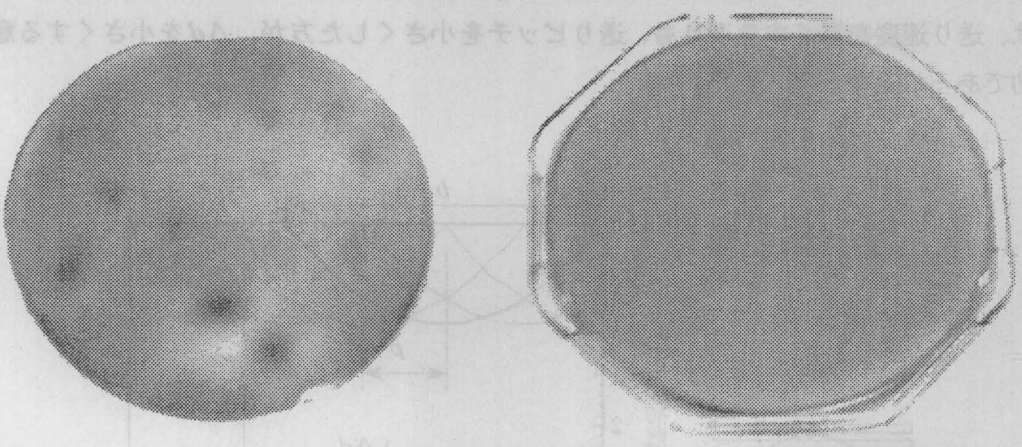
となり、プラズマが発生していない状態では1.5%程度の電圧降下でしかないが、例えばプラズマの比誘電率が10程度であったとすると、プラズマ発生時には13%もの電圧降下となることが分かり、7%程度の加工量の低下は起こりうると考えられる。なお、チャック溝の影響は見られていないため、微小な窪みに関しては、その横方向の大きさがウエハの厚さ（0.6～0.7 mm）に比べて小さいものであれば無視できると考えられる。

以上より、チャックプレートの改良を試みた。図4.10(a)に示すように、試料台にある突起によって生じる部分的な空間を無くすため、多孔質テフロンシートをチャックプレートとウエハの間に挿入した。微小突起の高さは10μm程度であるため、厚さ50μm、孔径 1μm の多孔質テフロンシートを用いた。全面加工実験を行った結果、図 4.11(b)のように、斑点は観察されなくなり、微小突起の影響を防ぐことが可能であることが分かった。また、図4.10(b)に示すように、もともとのチャックプレートの表面を微小突起の集まりであるような粗面にする案も検討した。鏡面チャックプレートの表面をサンドブラスト処理によって、空間周波数が0.1 mm 程度、20μm pv 程度の凹凸を形成した。この粗面のチャックプレートを用いて全面加工実験を行ったところ、やはり図 4.11(b)のような、良好な加工特性が得られた。



(a)多孔質テフロンを挿入　　(b) 粗面のチャックプレート

図4.10　チャックプレートの改良



(a) 多孔質テフロンシートを挿入しない場合　　(b) 多孔質テフロンシートを挿入した場合

図4.11　多孔質テフロンシートの効果

4.3.5　送りピッチの検討

数値制御加工はXYテーブルのうちX軸かY軸のどちらか一方を速度制御し、他方は一定ピッチで一定方向に送って行う。図4.12(a)のようにX方向に送り速度制御を行い、Y方向に一定ピッチ p で送ってワーク全面を走査した際に、Y方向に形成される周期 p の凹凸

について検討する。図4.4(a)の溝形状測定結果より、溝形状を次式のような二次関数で近似した。

$$f(x)=\begin{cases} d_0\left[\left(\dfrac{2}{b}\right)^2 x^2-1\right] & \left(-\dfrac{b}{2}\le x\le\dfrac{b}{2}\right) \\ 0 & \left(x<-\dfrac{b}{2},\dfrac{b}{2}<x\right) \end{cases} \tag{4.5}$$

ここで、d_0は加工溝の深さ、bは加工溝の幅、すなわち単位加工痕の幅である。この関数を用い、Y方向にpずつ送るとして各場所での加工量を算出した。なお、図4.12(b)のように、平均加工量をd_{ave}とし、極大加工量と極小加工量の差をΔdとした。加工痕の幅bに対する送りピッチpの割合p/bを変化させ、それぞれの条件で$\Delta d/d_{ave}$を算出した結果を図4.13に示す。p/bを0.1以下、すなわち加工痕の幅の1/10以下のピッチで走査することで、Δdを加工量の2%以下に抑えることが可能であることが分かる。図4.14は、Y方向に形成されたSOI層厚さのばらつきの例である。加工前のSOI層厚さは約200 nmであったことから、加工量は約150 nmとなり、凹凸のPVは約0.5 nmである。なお、加工痕の大きさは約22 mmであり、ピッチは1 mmであったことから、p/bの値としては0.045、$\Delta d/d_{ave}$=0.003となり、図4.13の計算結果とよく一致している。

例えば、SOI層厚さを60 nmから10 nmまで薄膜化加工する際に、Δdを0.1 nm程度に抑えるためには、p/bが0.03程度であればよく、16 mmの単位加工痕を使用するのであれば、送りピッチは0.5 mmとすれば良いことが分かる。また、除去すべき厚さが大きい場合は、送り速度を遅くするよりも、送りピッチを小さくした方が、Δdを小さくする意味で有効であることが示唆された。

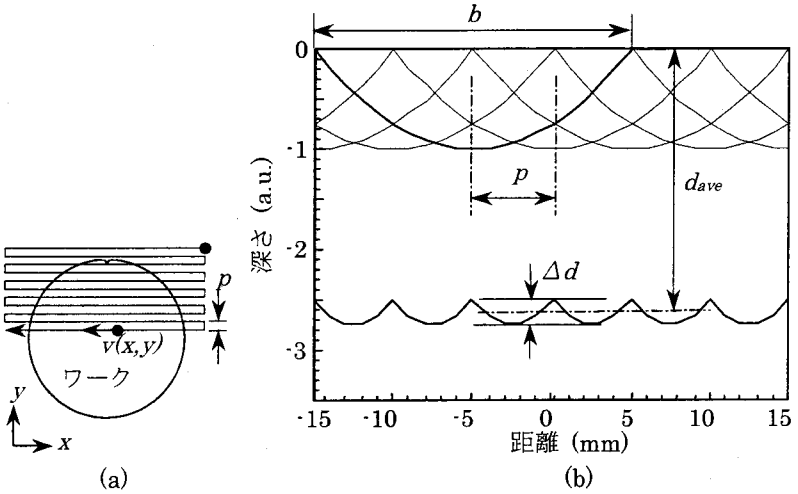


図4.12　送りピッチ周期の凹凸に関する検討

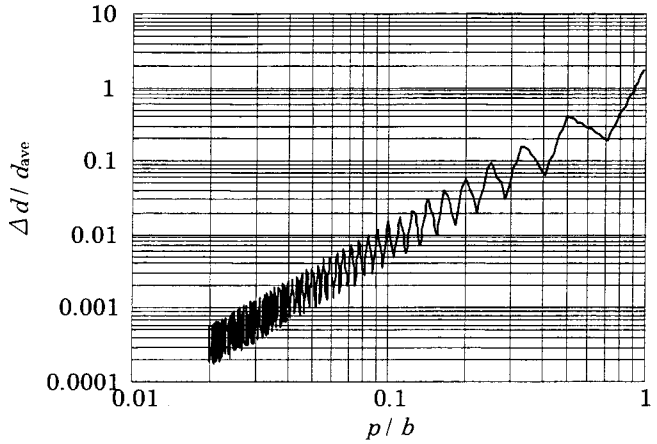


図 4.13　$\Delta d/d_{ave}$ と p/b の関係

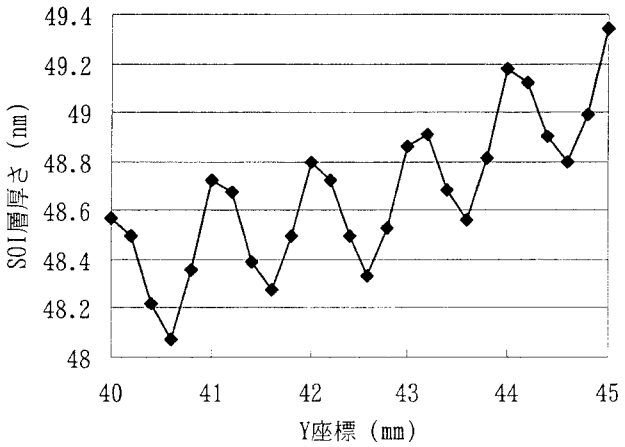


図 4.14　送りピッチ周期の SOI 層厚さばらつきの例

4.3.6　洗浄の影響

前加工面の SOI 層厚さ分布を測定するために本研究では分光エリプソメータを用いている。基本的には一度の測定に一点（正確にはプローブ光の面積）しか測定することが出来ず、ウエハ全面を測定するため、指定した格子点上を自動ステージで移動させながら繰り返し測定を行っている。そのため、測定には時間がかかり、その間にウエハ表面が汚染される可能性がある。従って、測定終了後、加工装置に搬送する前には、洗浄を行っている。高精度な加工を行うためには、洗浄によって除去される表面層の厚さを予め知っておく必要がある。

表 4.3 に示す手順の洗浄法は、全工程室温ウェット洗浄技術[117]に基づく洗浄法であり、以降、UCT 洗浄と称する。また、表 4.4 に硫酸過酸化水素水洗浄の手順を示す。これらの洗浄を行う前後での SOI 層の厚さ分布を分光エリプソメータによって測定し、差をとることで洗浄による SOI 層の除去量を求めた。なお、分光エリプソメータによる測定中の自然

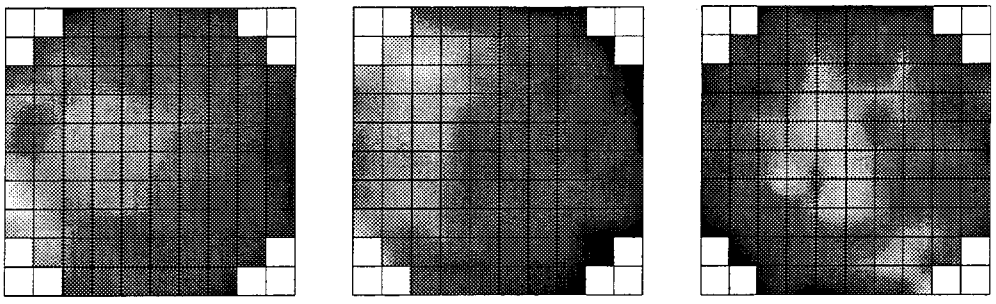
酸化膜成長の影響を避けるため、洗浄前の測定を行う前にも一度希ふっ酸洗浄を行っている。UCT洗浄を行った際の結果を図4.15に、硫酸過酸化水素水洗浄を行った際の結果を図4.16に示す。UCT洗浄では1.0～1.4 nm程度、硫酸過酸化水素水洗浄では0.8～1.0 nm程度のシリコンが除去されていることが分かる。特に、UCT洗浄においては縦型の洗浄槽を用いており、図中の右側が洗浄槽の下側であった。撹拌を行っていないものに関しては、槽の下側でエッチング量が多くなる傾向があるように思われるため、加工前洗浄にUCT洗浄を用いる場合は注意が必要である。

表4.3　UCT洗浄手順

オゾン水フロー(濃度5ppm)	10min
超純水フロー	10min
$HF/H_2O_2/H_2O$/Surfactant+Megasonic	10min
超純水フロー	10min
オゾン水フロー(濃度1ppm)	10min
超純水フロー	10min
HF(0.1%)	20min
超純水フロー	15min

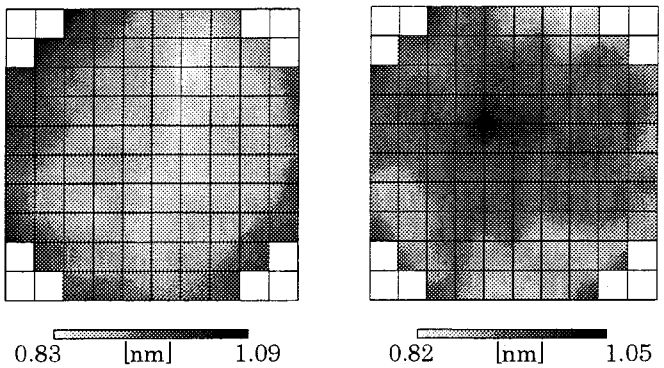
表4.4　硫酸過酸化水素水洗浄手順

超純水フロー	5min
硫酸:H_2O_2=4:1	10min
超純水フロー	10min
HF(0.5%)	1min
超純水フロー	10min
硫酸:H_2O_2=4:1	10min
超純水フロー	10min
HF(0.5%)	1min
超純水フロー	10min



(a) UCT1度目　(b) UCT2度目　(c) UCT3度目（撹拌有り）

図4.15　UCT洗浄における表面層エッチング量



(a) 硫酸過酸化水素水1度目　(b) 硫酸過酸化水素水2度目

図4.16　硫酸過酸化水素水洗浄における表面層エッチング量

また、図 4.17、図 4.18 は、SOI ウエハを希ふっ酸洗浄によって表面の酸化膜を除去し、自然酸化の過程を分光エリプソメータによって測定した結果である。時間と共に SOI 層が酸化によって薄くなっていることが分かる。前加工面洗浄後は、数時間以内に装置に搬送して初期排気を行うことで、SOI 層の自然酸化による喪失厚さを 0.1 nm 以内に抑えることが可能であることが確認された。なお、自然酸化膜の増加量が、SOI 層の減少量の 2 倍になっていないため、図 4.17 の結果は、自然酸化膜の厚さを正確に測定できていない可能性がある。

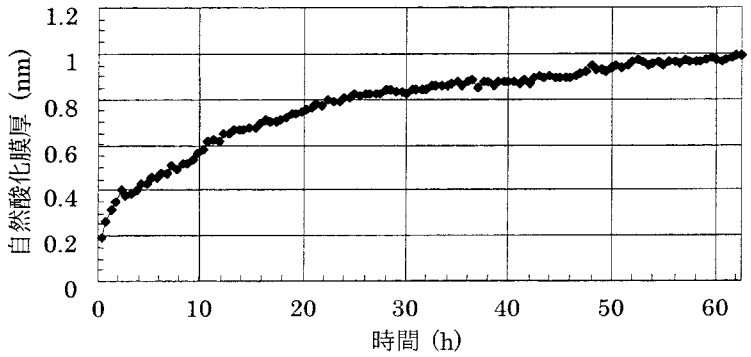


図 4.17　洗浄後の放置時間と自然酸化膜厚の関係

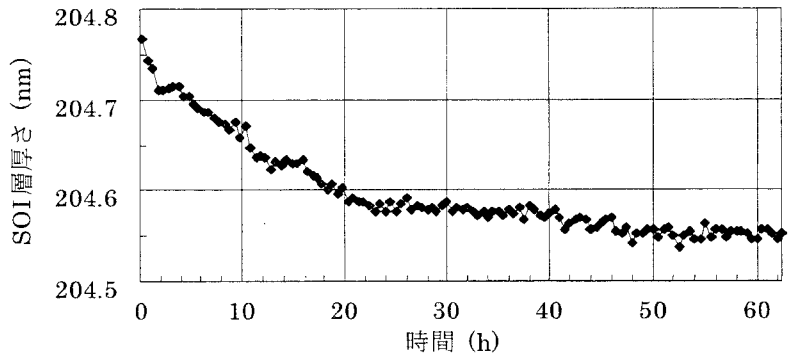


図 4.18　洗浄後の放置時間と SOI 層厚さの関係

4.3.7　全面加工における加工量の再現性

これまでに述べた項目に留意し、ウエハ全面加工における加工量の再現性を評価した。表 4.5 に示す条件にて 8 インチ SOI ウエハを一定送り速度で全面加工した。ウエハ中心部の加工量の平均値を表 4.6 に示す。測定は中央部 48mm×48mm の領域を 6mm ピッチで 81 点行った。この結果より各バッチ間の加工量のばらつきは±0.7%以内におさまっていることが分かる。また、図 4.19 に加工量分布の再現性を示す。(a)が y=0 におけるライン上の、(b)が x=0 におけるライン上の加工量分布である。加工量のばらつきの再現性は±3%以内におさまっている。加工量分布の絶対値そのものは全面で±10%程度の分布が存在するが、分

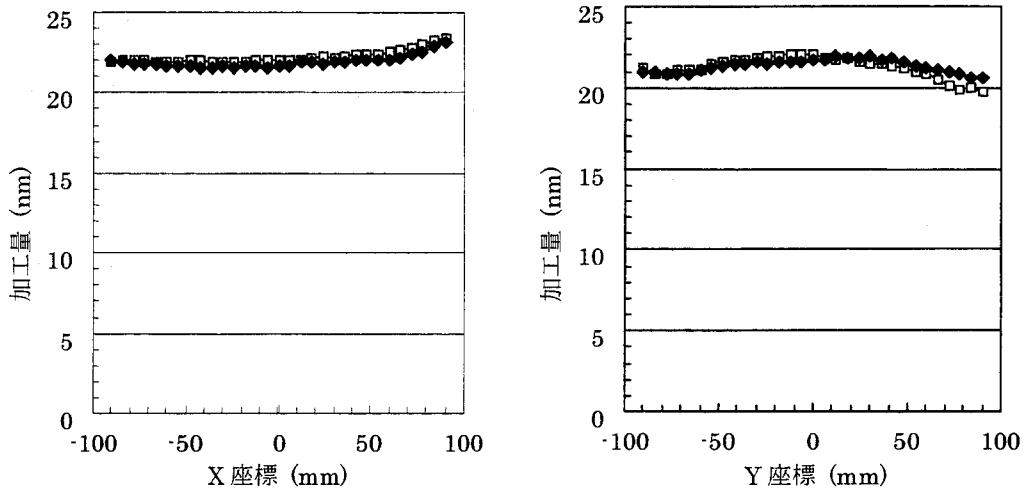
布そのものに再現性があるため、送り速度データ算出時に補正を行うことにより、分布を無くすことが可能と考えられる。以上より、加工バッチ間の再現性はウエハ中心部においては±0.7%、全面においても±3%の精度が達成できているといえる。

表 4.5　加工条件

ガス組成	$He:CF_4:O_2$ =99.996:0.003:0.003
電極周速度	10.4m/s
加工ギャップ	500μm
投入電力	100W
テーブル送り速度	400mm/min

表 4.6　加工再現性

	1回目	2回目	3回目	4回目	平均
加工量 (nm)	21.9	21.6	21.7	21.9	21.8



(a) y=0 における加工量分布　(b) x=0 における加工量分布

図 4.19　加工量面内分布の再現性

4.4　測定精度の検討

高精度な数値制御加工を行うためには、前加工面の高精度な測定が不可欠である。SOIウエハを加工対象とした場合、SOI 層の厚さ分布をウエハ全面にわたり高精度に測定する必要がある。SOI 層の厚さ測定には、反射分光法もしくは分光エリプソメトリを用いることが推奨されており[118]、本研究では 10 nm 程度の SOI 層厚さも精度良く測定可能とされている分光エリプソメトリを採用した。数値制御加工を行う上で最も重要な測定の再現性の検討、および測定値の絶対精度の検討を行った。

4.4.1　分光エリプソメトリの概要

エリプソメトリは偏光解析法とも呼ばれるが、光の偏光という特性を利用して物体上の薄膜の厚さ(数Å～数μm)や膜の物性に関係する光学定数を測定する技術である。図 4.20

に分光エリプソメトリの概要を示す。多層膜試料表面に直線偏光を斜め方向から入射させる。この偏光は反射するときに偏光の状態が変わり、その偏光量は表面上の薄膜厚さや光学定数に関係している。偏光の変化量を測定し、解析計算によって厚さや屈折率を求めるのがエリプソメトリである。偏光の変化量は Δ、Ψの 2 つで定義できる。Δは、偏光を入射面に平行な p 成分と入射面に垂直な s 成分の 2 つ成分波に分けて考えたとき、それらの間に生じる位相差である。もう 1 つの変化量Ψは、p 成分波と s 成分波で反射率が異なるために両成分波間に振幅の違いが起こり、合成した場合の主軸方向のずれを表している。多層膜構造の場合、1 波長のみによるエリプソメトリでは情報量が不足するため、白色光源とモノクロメーターによって複数の波長で測定し、解析モデルによる計算値とのフィッティングによって、各層の膜厚などの各未知数を決定する。なお、本研究で用いた装置の仕様と外観を表 4.7 と図 4.21 に示す。

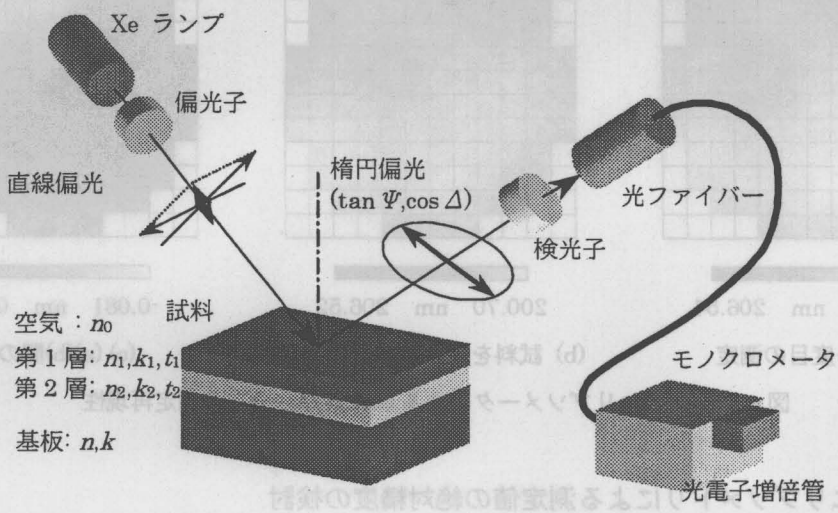


図 4.20　分光エリプソメトリの概要

表 4.7　分光エリプソメータの仕様

型式	SOPRA GES-5
測定精度	Tan Ψ :1±0.003　Cos Δ :1±0.003 （直線偏向測定時）
再現性	Ψ：±0.01°　Δ：±0.05°
光源	Xe ランプ
測定波長領域	220-900 nm
入射角	6-90°
最小スポットサイズ	約 100×350μm
自動ステージ	Rθテーブル（直径 8 インチまで測定可能）

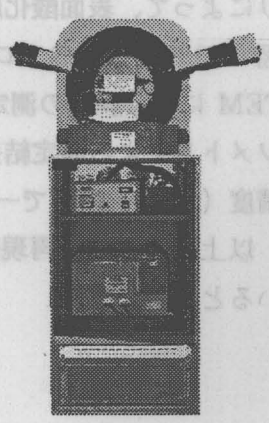
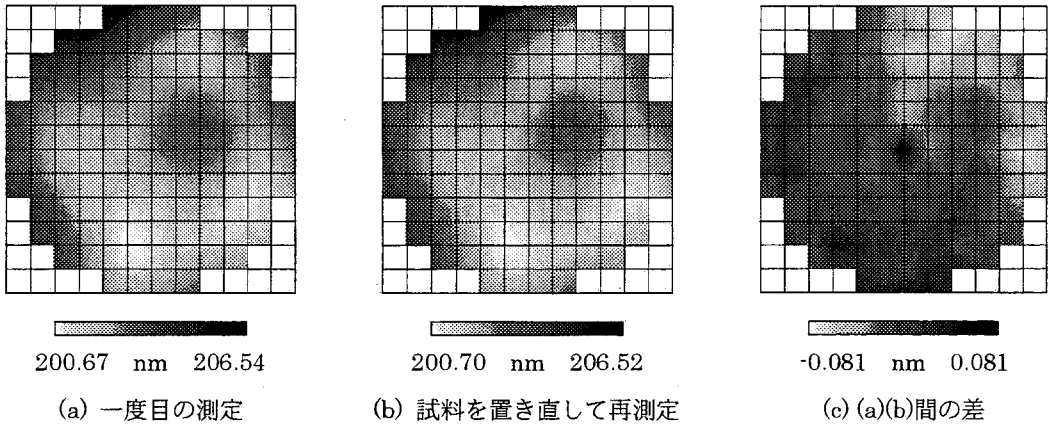


図 4.21　GES-5 の外観

4.4.2　分光エリプソメトリによる測定再現性の評価

高精度な数値制御加工を行うためには測定の再現性が最も重要である。図4.22に測定の再現性を評価した結果を示す。試料には、Smart Cut法によって作製された市販の6インチSOIウエハ(SOI / BOX = 200 nm / 400 nm)を用いた。測定領域は直径130 mmの円内で、10 mm間隔で設定した格子点上のSOI層厚さを測定した。プローブ光は直径約1 mmに絞り、入射角は75°、測定波長は300 nmから800 nmまで10 nm毎とした。なお図中の分布図では格子点間は補間を行っている。(a)は一度目の測定、(b)はその後一旦試料を外し、再度置き直して測定を行ったものである。(c)は(b)の各点の値から(a)の各点の値を引いたものである。(c)より、本測定の再現性は±0.1 nm以内であることが確認できた。



(a) 一度目の測定　(b) 試料を置き直して再測定　(c) (a)(b)間の差

図4.22　分光エリプソメータによるSOI層厚さ分布の測定再現性

4.4.3　分光エリプソメトリによる測定値の絶対精度の検討

次に、SOI層厚さ測定値の絶対精度の検討を行った。熱酸化によって表面酸化膜を成長させ、種々のSOI層厚さをもつ試料を作製した。熱酸化前のSOI層厚さは200 nmであり、熱酸化雰囲気はドライ酸素、酸化温度は1000℃とした。作製した試料は分光エリプソメトリによって、表面酸化膜厚さとSOI層厚さを測定した。熱酸化時間と各層の厚さの関係を図4.23の白抜きのプロットで示す。SOI層厚さ200 nm、120 nm、30 nmの試料は断面TEMによる膜厚の測定を行った。結果を図4.23の黒塗りのプロットで示す。分光エリプソメトリによる測定結果はSOI層膜厚30 nm～200 nm程度において、断面TEMの絶対値精度（±5%）以内で一致していることが確認できた。

以上より、測定再現性および絶対値精度とも本研究の目的に対して十分な性能を有していると判断した。

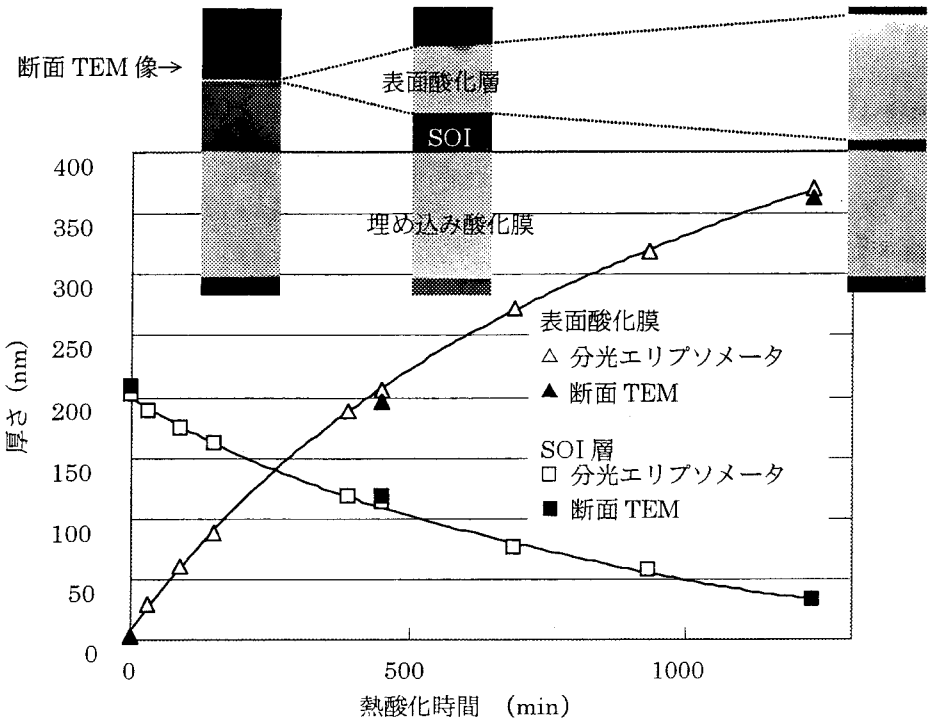


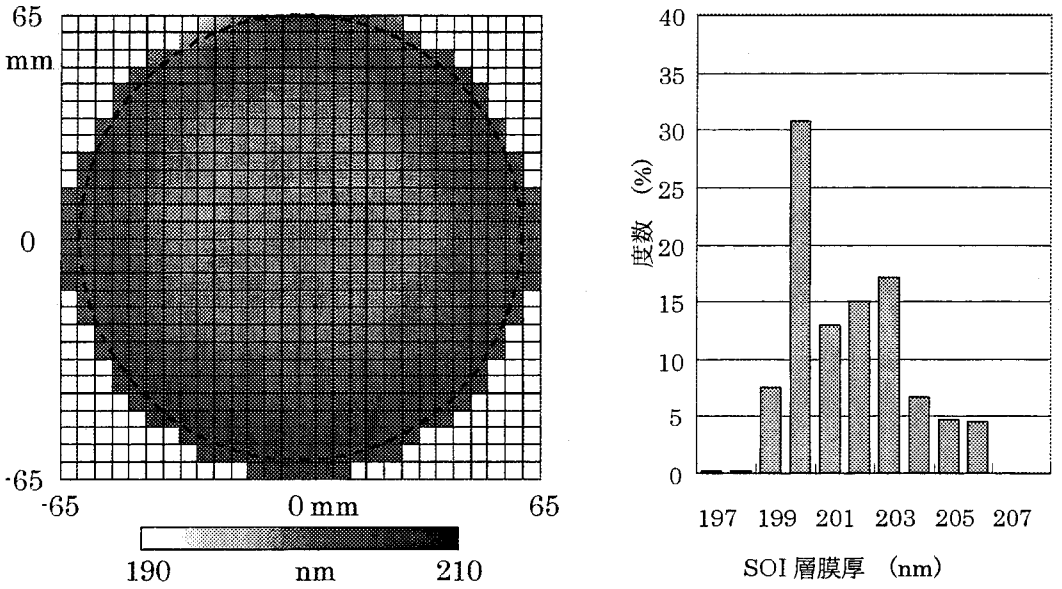
図 4.23　分光エリプソメータによる測定と断面 TEM による測定の比較

4.5　超薄膜 SOI ウエハの製作

超薄膜 SOI ウエハの製作を試みた。加工前 SOI ウエハとして、Smart Cut 法によって作製された市販の 6 インチ SOI ウエハ（SOITEC 社製 UNIBOND ウエハ）を用いた。SOI 層厚さは 204.8 nm、BOX 層厚さは 400.6 nm、SOI 層および支持基板とも、面方位は<100>、導電型は p 型、比抵抗は 14.0～22.0 Ωcm である。このウエハを薄膜化し、SOI 層厚さが 10 nm 程度である超薄膜 SOI ウエハの作製を試みた。加工条件は表 4.8 に示すとおりで、薄膜化は二回に分けて行った。送り速度データはオリフラと平行な方向に 1 mm ごとに設定し、オリフラと垂直方向の送りは 1 mm ピッチとした。加工前ウエハの SOI 層の厚さ分布を図 4.24 に、数値制御薄膜化後の SOI 厚さ分布を図 4.25 に示す。なお膜厚は 5 mm ピッチで測定した。中心より直径 120 mm の領域に注目すると、初期厚さ約 200 nm の SOI を約 13 nm に薄膜化できており、SOI 層厚さのばらつきも ±4.2 nm から ±2.0 nm へと改善できている。図 4.26 は図 4.24、図 4.25 における Y=0 上の分布を示したものである。これを見ても薄膜化と同時に厚さのばらつきが改善されており、数値制御プラズマ CVM によって SOI 層厚さを 10 nm 程度まで薄膜化できることを実証した。

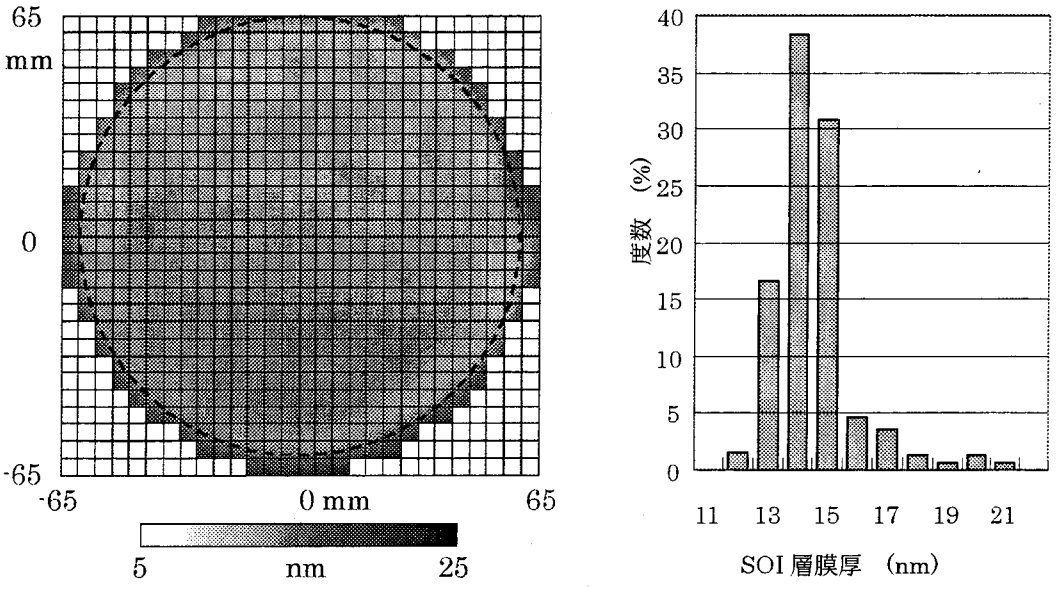
表 4.8　超薄膜 SOI ウエハ作製ための加工条件

加工パラメータ	1 回目	2 回目
反応ガス組成	$He : CF_4 : O_2 = 99.98 : 0.01 : 0.01$	
投入電力	250 W	70 W
加工ギャップ	600 μm	300 μm
電極回転速度	10.4 m/s	5.2 m/s
（電極回転数）	(1000 rpm)	(500 rpm)



(a) SOI層厚さ分布　(b) SOI層厚さの相対度数分布

図4.24　加工前SOIウエハのSOI層厚さ分布



(a) SOI層厚さ分布　(b) SOI層厚さの相対度数分布

図4.25　加工後SOIウエハのSOI層厚さ分布

なお、SOI層の厚さの均一性に関しては、10 nmの5%である±0.5 nmには及んでいないが、これは、加工量の絶対値が数値制御加工データ作成に用いた値と実際の値が異なり、計算通りに数値制御加工が行えなかったためである。後述するが、第6章第3節で作製した8インチのSOIウエハの均一性は、ほぼ全面において64nm±1nmを達成しており、特に今回と同じ中心より直径120 mmの領域に注目するならば、面内において63.8 nm ±0.4

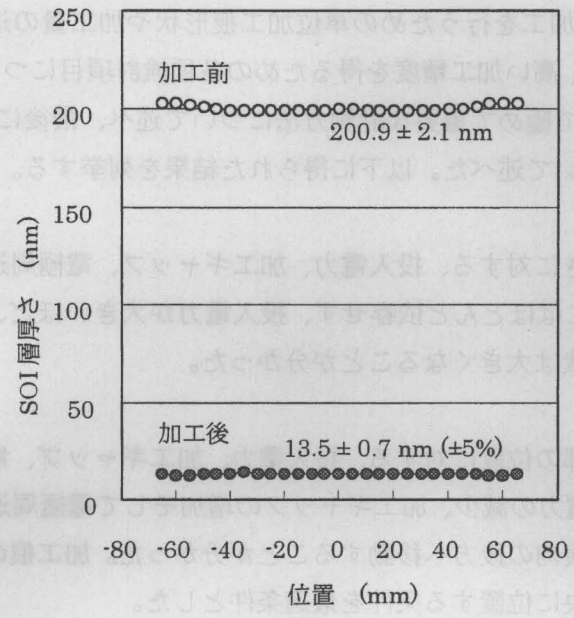


図 4.26　Y=0 における加工前後の SOI 層厚さ分布

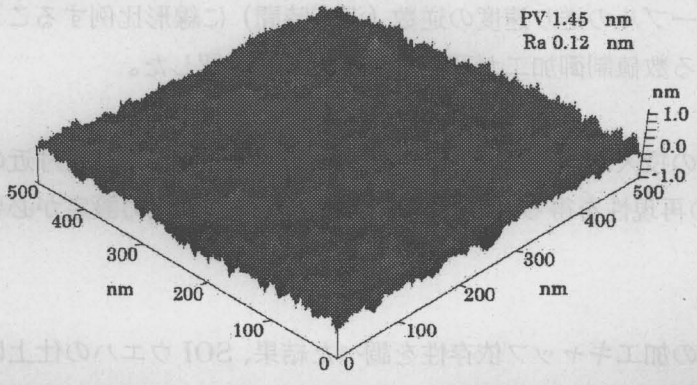


図 4.27　加工後 SOI ウエハ表面の AFM 像

nm という均一性を達成できている。従って、本加工方法は、SOI 層厚さ 10 nm±0.5 nm の超薄膜 SOI ウエハを作製できる能力を十分有していると言える。

表面粗さの評価を行った。図 4.27 は、薄膜化した SOI ウエハの表面粗さを AFM によって観察した結果である。500 nm×500 nm の測定領域において 1.45 nm p-v、0.12 nm Ra であった。これは、市販のシリコンウエハ表面と同等な粗さであり、プラズマ CVM によって表面粗さは劣化しないことが分かった。ここで、注意すべき点は、p-v の値が、SOI 層厚さの p-v の値と同等の値になっていることである。ゲートのサイズが 10 nm 程度であるような、より微細なトランジスタを集積化する際には、10 nm 程度の空間周波数においてまで、厚さのばらつきの制御が必要になる可能性がある。このような空間周波数における厚さの制御は、数値制御加工では実現できない。SOI 層と BOX 層の界面、および SOI ウエハの表面を原子単位で平滑にすることが必要になると思われる。

4.6 結言

本章では、数値制御加工を行うための単位加工痕形状や加工量の送り速度依存等の基本加工特性について述べ、高い加工精度を得るための各種検討項目について述べた。その後、数値制御加工を行う上で極めて重要な計測方法について述べ、最後に超薄膜SOIウエハの作製を試みた結果について述べた。以下に得られた結果を列挙する。

(1) 単位加工痕の大きさに対する、投入電力、加工ギャップ、電極周速度の依存性を調べた結果、電極周速度にはほとんど依存せず、投入電力が大きいほど、加工ギャップが小さいほど、加工痕形状は大きくなることが分かった。

(2) 単位加工痕の最深部の位置に対する、投入電力、加工ギャップ、電極周速度の依存性を調べた結果、投入電力の減少、加工ギャップの増加そして電極周速度の増加とともに最深部の位置は加工痕内の後方へ移動することが分かった。加工痕の対称性を重視し、最深部が加工痕の中央に位置する条件を最適条件とした。

(3) 加工速度がテーブルの送り速度の逆数（滞在時間）に線形比例することを確認し、送り速度制御による数値制御加工が可能であることを確認した。

(4) 体積加工速度の投入電力依存性を調べた結果、プラズマ維持下限付近の電力においては、1%オーダーの再現性を得るために、0.1Wオーダーでの電力設定が必要であることが分かった。

(5) 体積加工速度の加工ギャップ依存性を調べた結果、SOIウエハの仕上げ加工に用いるような体積加工速度が小さい条件においては、加工ギャップが30μm変化しただけで、最大約3割の体積加工速度の変化が起こりうることが分かった。

(6) 鏡面仕上げの真空チャックプレートの表面に高さ数μm以上突起が存在すると、チャック時にウエハが撓むことにより、一部プレートとウエハの間に間隙が生じ、その部分の加工量が減少することが分かった。

(7) 全面走査加工における送りピッチの影響についてシミュレーションによって検討した結果、送りピッチを加工痕の幅の1/20以下に設定すれば、加工量に対して0.5%以下の凹凸しか形成されないことが分かった。

(8) 加工前の洗浄時に除去されるSOI層の厚さについて検討した結果、洗浄によって1 nm前後の厚さのシリコンが除去されることが分かった。SOI層の厚さをナノメートルオー

ダーで制御する超薄膜 SOI ウエハを作製する際には、洗浄による除去量も考慮する必要があることが分かった。

(9) 一定速度送りによるウエハ全面加工を複数回行った際の加工量の再現性について検討した結果、加工バッチ間の再現性はウエハ中心部においては±0.7%、全面においては±3%であることが分かった。

(10) 分光エリプソメトリによって、SOI 層厚さを、±0.1 nm 以下の再現性で測定でき、30～200 nm の範囲において±5%以内の絶対精度で測定できることが分かった。

(11) SOI 層厚さが 200 nm である市販 6 インチ SOI ウエハを用いて数値制御薄膜化を試みた結果、直径 120 mm の範囲内において、SOI 層厚さを 13.0±2.0 nm まで薄膜化することに成功した。

第5章　プラズマCVM加工面のデバイス用基板としての評価

5.1　緒言

プラズマCVMは、プラズマ中で活性化した中性ラジカルと試料表面原子との化学反応によって除去加工が進行するため、原理的に加工面に加工変質層は形成されない。第3章で述べたとおり、SPV測定の結果では、ケミカルエッチング面と同等の表面準位密度であり、表面の結晶性は極めて良好と考えられる。しかし、デバイス用基板として見た場合、表面の結晶性が良好であることだけでなく、表面が清浄であることが要求される。パーティクルや不純物イオン等の存在は、回路形成を妨げたり、MOSトランジスタの動作を不安定にしたりするだけでなく、デバイス作製用装置を汚染する可能性がある。特に、熱酸化やアニールの際に用いる高温炉が汚染されると、二次汚染による被害は計り知れない。本章では、まず加工ウエハのパーティクルと金属汚染評価、加工表面近傍の不純物測定を行い、加工表面の汚染状況を知り、適切な洗浄方法の検討を行った。そして、MOSトランジスタの最も重要な要素であるMOS構造を試作し、C-V特性、I-V (Intensity of electricity (current) - Voltage) 特性の評価を行うことで、プラズマCVMによって加工した表面がデバイス用基板として使用できるかどうかを検討した。以下、これらについて述べる。

5.2　加工面の汚染評価

5.2.1　加工面のパーティクル測定

(1) 評価方法

表5.1に示す試料を用い、パーティクル汚染評価を行った。試料はいずれも6インチのバルクシリコンウエハである。Aは比較用で何も処理を行わないもの、Bは装置自体の汚染を調査するため、加工装置にセットして初期排気と加工ガス充填を行った後に加工を行わずに取り出したもの、そしてCは表5.2に示す条件でウエハ全面を約25 nm加工したもの、Dは加工後に表4.3に示す洗浄を行ったものである。4.3.6節で述べたとおり、この洗浄におけるシリコン表面のエッチオフ量は1.2 nm程度である。さらに、Eは裏面のパーティクル汚染を評価するための試料で、鏡面研磨面側を真空チャックで固定し加工前に取り出したものである。FはEと同様に作製した試料を表4.3の方法で洗浄を行ったものである。裏面のパーティクル自体がデバイスに影響を与えることはないが、デバイス製造装置の汚染を防ぐ意味で、評価が必要である。なお、パーティクル測定にはKLA-TENCOR製Surfscan 6420を用いた。この装置は、レーザー光を集光してウエハ表面上を走査し、その位置での散乱光強度から、その位置に存在するパーティクルの大きさを求めるものである。測定は全自動で行われる。本研究においては、東北大学ミニスーパークリーンルーム（MSCR）に設置の装置を使用した。また、簡便な測定には集光灯を用いた。これは、ハロゲンランプ等の高輝度光源からの光をウエハ表面に照射し、周囲を暗くして散乱体を目視で観察するものである。定量性には乏しいが、極めて簡便であり、粒径にして0.2μm程度以上の粒子であ

ればその存在が輝点として確認できるといわれている。

表 5.1　汚染評価用試料リスト

A	ブランクウエハ
B	加工前取り出しウエハ
C	プラズマCVMによる全面加工ウエハ
D	加工後に洗浄を行ったウエハ
E	裏面評価用ウエハ
F	裏面評価試験後に洗浄を行ったウエハ

表 5.2　汚染評価用プラズマCVM加工条件

ガス組成	$He:CF_4:O_2=99.98:0.01:0.01$
電極周速度	5.2 m/s
電極回転数	500 rpm
投入電力	70 W
ステージ送り速度	X方向:300 mm/min (加工量 25nm)
	Y方向：1 mm ピッチで送る
加工ギャップ	300 μm
加工時間	2 hour
試料	6" p-type Si ウエハ

(2) 評価結果

測定結果を図 5.1 に示す．同図より、Bにおいて粒径 0.16μm 以上のパーティクルが増加し、Cにおいては粒径 0.12μm～0.3μm 程度のパーティクルが増加している。Bにおいて増加した粒子は、もともと加工装置内部に存在したものが初期排気の際に舞い上がり、ウエハ上に付着したものと考えられ、装置内部の清掃によって改善されるものと考えられる。Cにおいて増加した粒子はプラズマ中で生成した反応生成物などの再付着と考えられ、ガス循環精製のパーティクル捕集効率を高めることで改善可能と思われる。Dにおいては、Cと比較して、粒径 0.12μm～1.2μm の全ての粒子数が概ね半減しており、洗浄方法の改善によってさらに低減が可能と考えられる。そのため、洗浄方法を表 4.4 に示す方法に変えて評価を行った。評価は集光灯による観察によって行った。加工後の未洗浄表面を観察したところ、ウエハ全面にわたり、数個/cm^2 の密度で散乱体が確認され、1 個/数 cm^2 の密度で輝度の高いものも確認された。このウエハを表 4.4 の方法で洗浄を行った結果、ウエハ全面において輝点は殆ど観察されなくなった。また、Eより、裏面のパーティクル数は表面に比べ

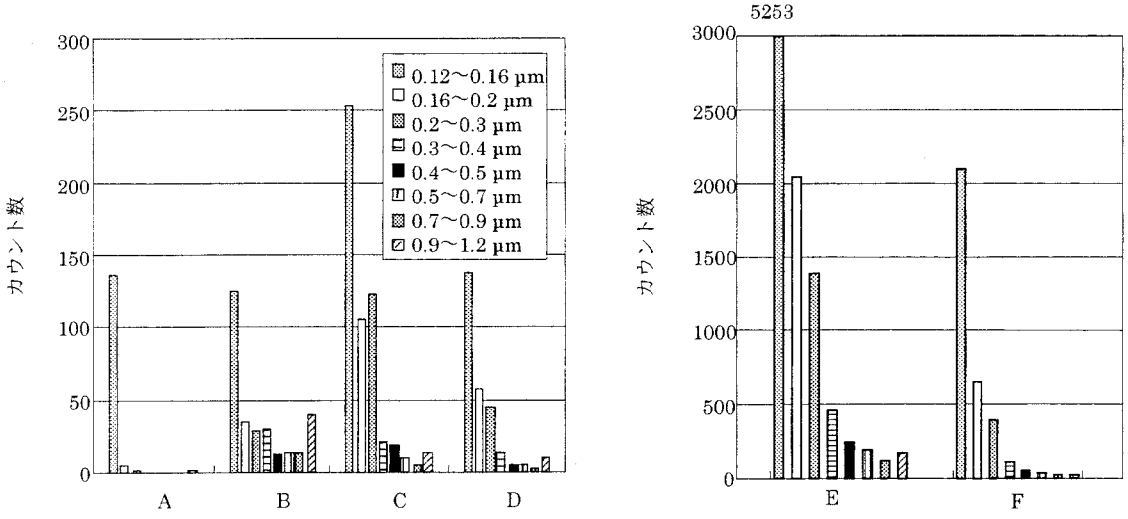


図 5.1　パーティクル数測定結果

て桁違いに大きい結果となった。しかし、Fより、洗浄によってその数は1/3に低減している。そのため、表面と同様に、表4.4に示す洗浄を行い、集光灯によって観察したところ、ウエハ全面において輝点は殆ど観察されなくなった。なお、E、Fに関しては真空チャックプレートとして、4.3.4節で述べた多孔質テフロンシートを挿入したものを用いたが、同節で述べた粗面のチャックプレートを用いた場合も、同様の結果が得られた。

5.2.2　加工面の金属汚染測定

(1) 評価方法

金属汚染はデバイスを形成する上で最も悪影響を及ぼす。デバイスそのものに対してだけでなく、デバイスを作製するための熱処理装置等を汚染するため、特に気を遣う必要がある。評価に用いた試料は表5.2と同じ処理を行ったものであり、測定には全反射蛍光X線分析装置（テクノス製 TREX 610）を用いた。この装置は、非破壊でウエハ表面の極微量不純物分析を行うものである。試料表面に全反射条件でX線を入射し、表面に存在する不純物（特に重金属）から発生する蛍光X線を固体検出器（SSD）により検出する。検出された蛍光X線は、エネルギー分散方式で解析され、不純物の種類と濃度が出力される。測定感度は、対象とする元素にもよるが、概ね 10^9 atoms/cm^2 である。本研究では、東北大学MSCRに設置の装置を使用した。なお、測定は、各ウエハに対して表5.3に示す13箇所について行った。

(2) 評価結果

表5.4〜5.7に試料AからDまでの測定結果をそれぞれ示す。各表において金属汚染が顕著な箇所には網掛けを行っている。表においてNDとあるのは検出下限値以下を示している。各元素の検出下限値は表5.4の最下段に示している。表5.5は加工直前に装置より取り出したウエハであるが、約半数の箇所で金属汚染が見られる。主な元素は鉄であり、クロムやニッケルも多く検出されている。パーティクル測定の図5.1の結果と合わせると、装置を構成している金属であるステンレスの微粉が初期排気およびガス充填の際に舞い上がり、ウエハ表面に付着したと考えることが出来る。表5.5の状態から加工を開始しているため、プラズマの熱によって金属汚染がウエハ全面に拡散する可能性があったが、加工後ウエハの結果である表5.6を見ると、表5.5の結果と変わりなく、汚染の見られない箇所も存在している。この結果は、本研究で用いている大気圧プラズマは金属の拡散を促進する熱源とはならないことを示している。表5.7は加工後に表5.1で示す洗浄を行ったウエハの測定結果であるが、金属汚染は参照用ウエハレベルにまで低減していることが分かる。以上より、プラズマCVM加工装置に入れることによって、ステンレスと思われる重金属汚染が見られ

表5.3　ウエハ面内の全反射蛍光X線分析点

No.	1	2	3	4	5	6	7	8	9	10	11	12	13
X (mm)	0	0	0	0	0	-20	-40	20	40	-30	30	-30	30
Y (mm)	20	-20	0	40	-40	0	0	0	0	30	30	-30	-30

表5.4 試料Aにおける各点の全反射蛍光X線分析結果 (10^{10} atoms/cm^2)

No.	K	Ca	Ti	Cr	Mn	Fe	Co	Ni	Cu	Zn
1	ND	ND	ND	0.2	0.1	1.3	ND	0.1	ND	ND
2	ND	ND	ND	ND	0.3	0.5	0.7	0.8	0.4	ND
3	1.0	1.0	ND	ND	ND	1.2	ND	0.0	0.5	ND
4	ND	ND	0.2	ND	0.2	0.3	ND	0.2	ND	ND
5	ND	0.9	ND	ND	0.6	0.4	0.6	0.7	ND	ND
6	ND	ND	ND	ND	ND	0.4	0.1	0.3	ND	ND
7	0.6	ND	0.2	ND	ND	0.5	ND	ND	0.1	ND
8	ND	0.3	ND	ND	0.2	0.2	0.1	0.3	ND	ND
9	ND	0.7	ND	ND	0.2	0.3	0.4	0.4	ND	ND
10	ND	56.0	8.7	ND	0.2	5.0	0.3	ND	ND	0.7
11	ND	6.4	1.0	ND	ND	1.9	0.1	0.4	ND	ND
12	ND	ND	ND	ND	0.1	ND	0.1	ND	ND	0.1
13	ND	ND	ND	ND	0.1	0.1	0.1	ND	ND	ND
ND	0.4	0.3	0.2	0.1	0.1	0.1	0.1	0.1	0.1	0.1

表5.5 試料Bにおける各点の全反射蛍光X線分析結果 (10^{10} atoms/cm^2)

No.	K	Ca	Ti	Cr	Mn	Fe	Co	Ni	Cu	Zn
1	ND	0.6	ND	ND	0.1	0.2	0.1	0.5	ND	ND
2	ND	ND	ND	0.3	0.2	0.1	0.2	0.4	ND	0.2
3	ND	ND	ND	9.1	1.0	26.6	0.4	3.5	ND	ND
4	ND	ND	ND	0.1	0.3	1.0	0.3	0.8	ND	ND
5	ND	ND	ND	7.5	1.0	23.7	0.2	3.2	ND	ND
6	ND	0.3	ND	ND	0.1	0.9	0.3	0.5	ND	ND
7	0.4	0.7	ND	1.7	0.4	6.1	0.5	1.0	ND	ND
8	ND	ND	0.2	10.1	0.8	33.6	0.2	3.7	ND	ND
9	ND	ND	ND	0.8	0.3	3.0	0.2	0.9	ND	ND
10	ND	ND	ND	ND	0.3	0.7	0.1	0.2	ND	0.1
11	ND	ND	ND	1.0	0.1	8.7	0.1	1.5	ND	0.5
12	ND	0.4	ND	0.5	0.2	0.4	0.2	0.1	ND	0.1
13	ND	ND	ND	0.3	ND	1.1	ND	0.5	ND	ND

表5.6 試料Cにおける各点の全反射蛍光X線分析結果 (10^{10} atoms/cm^2)

No.	K	Ca	Ti	Cr	Mn	Fe	Co	Ni	Cu	Zn
1	ND	0.3	ND	5.4	1.4	11.1	0.4	0.7	0.2	0.2
2	ND	ND	ND	14.1	1.0	43.0	0.8	6.1	ND	ND
3	ND	ND	ND	ND	0.2	0.2	ND	0.2	ND	ND
4	ND	3.6	ND	0.3	ND	0.3	0.3	0.3	ND	ND
5	ND	ND	ND	0.2	0.1	1.5	0.2	0.5	ND	0.1
6	ND	0.1	ND	ND	0.3	0.3	0.2	0.3	ND	ND
7	ND	0.4	ND	ND	0.5	9.3	0.2	0.3	0.1	ND
8	ND	0.0	0.7	ND	0.2	0.2	0.3	0.1	ND	ND
9	ND	8.3	1.9	0.7	0.6	9.0	0.3	0.9	ND	0.2
10	ND	1.3	ND	ND	0.3	0.5	0.2	0.4	ND	ND
11	ND	0.2	ND	ND	0.4	0.2	0.1	0.7	ND	ND
12	ND	0.0	ND	ND	0.3	0.3	0.1	0.2	ND	ND
13	0.4	0.5	ND	ND	0.0	0.5	0.2	0.1	ND	ND

表5.7 試料Dにおける各点の全反射蛍光X線分析結果 (10^{10} atoms/cm^2)

No.	K	Ca	Ti	Cr	Mn	Fe	Co	Ni	Cu	Zn
1	0.4	0.4	ND	0.7	ND	0.3	ND	0.2	ND	ND
2	ND	0.4	ND	0.5	ND	0.5	ND	ND	ND	ND
3	ND	ND	ND	0.4	0.1	0.1	ND	ND	ND	0.2
4	ND	ND	ND	0.6	0.1	0.6	ND	0.3	ND	ND
5	0.5	0.5	ND	0.4	ND	0.2	0.1	ND	ND	ND
6	ND	ND	ND	0.4	0.1	0.4	ND	ND	ND	0.1
7	ND	ND	0.2	0.2	0.1	0.2	ND	ND	ND	0.2
8	ND	ND	ND	1.0	ND	0.6	0.1	0.1	0.1	ND
9	ND	ND	ND	1.3	0.2	ND	ND	ND	ND	ND
10	ND	ND	0.4	0.1	ND	0.1	ND	ND	ND	ND
11	12.1	7.1	ND	0.6	ND	1.3	ND	ND	ND	1.0
12	ND	ND	0.3	0.3	ND	0.2	ND	ND	ND	ND
13	ND	ND	0.6	0.5	ND	0.5	ND	ND	ND	ND

表5.8 試料Eにおける各点の全反射蛍光X線分析結果 (10^{10} atoms/cm^2)

No.	K	Ca	Ti	Cr	Mn	Fe	Co	Ni	Cu	Zn
1	ND	ND	0.2	0.1	ND	0.7	ND	0.1	ND	ND
2	ND	ND	ND	0.3	0.1	0.3	ND	0.2	0.1	0.1
3	ND	0.4	0.2	0.2	0.1	0.8	ND	ND	ND	0.3
4	ND	ND	ND	ND	ND	0.3	ND	ND	0.7	ND
5	ND	0.5	ND	0.3	0.3	0.1	ND	0.2	ND	0.2
6	ND	0.3	ND	ND	0.1	ND	ND	0.1	0.2	ND
7	ND	3.7	ND	ND	0.2	0.1	ND	0.1	ND	0.1
8	ND	0.9	0.3	0.1	0.1	0.5	ND	0.1	ND	0.3
9	ND	ND	ND	ND	ND	0.5	ND	0.2	ND	0.1
10	ND	0.8	0.7	0.3	ND	0.3	ND	ND	ND	0.1
11	ND	0.4	0.4	0.8	1.0	9.4	ND	0.8	ND	0.1
12	ND	1.8	ND	0.1	0.4	16.0	ND	ND	ND	5.6
13	0.4	ND	ND	ND	ND	0.3	ND	0.1	ND	ND

表5.9 試料Fにおける各点の全反射蛍光X線分析結果 (10^{10} atoms/cm^2)

No.	K	Ca	Ti	Cr	Mn	Fe	Co	Ni	Cu	Zn
1	ND	ND	ND	0.2	0.1	ND	0.1	0.2	ND	0.3
2	ND	0.7	ND	0.3	ND	ND	0.1	ND	ND	ND
3	ND	ND	0.2	0.2	ND	ND	ND	ND	ND	0.1
4	ND	ND	ND	ND	0.1	ND	0.1	0.2	ND	0.4
5	ND	1.1	ND	ND	ND	ND	ND	0.3	ND	ND
6	ND	ND	0.3	ND	0.1	ND	ND	0.2	ND	ND
7	ND	0.4	ND	0.3	0.1	0.2	ND	0.1	ND	0.1
8	0.9	ND	ND	0.2	ND	ND	ND	ND	ND	ND
9	ND	ND	ND	0.2	ND	ND	ND	0.1	ND	0.1
10	ND	ND	0.3	0.1	ND	ND	ND	ND	ND	ND
11	ND	0.3	ND	ND	ND	ND	0.1	ND	0.3	0.4
12	ND	ND	0.3	ND	0.2	ND	ND	0.1	ND	0.2
13	ND	ND	0.6	ND	ND	0.1	ND	ND	ND	ND

るが、通常の洗浄によって容易に除去できるレベルであることが分かった。また、表 5.8、表 5.9 に試料 E、F の測定結果を示すが、裏面の汚染に関しても、洗浄を行うことにより容易に除去できるレベルであることが分かった。

なお、全反射蛍光 X 線分析の感度の問題で検出されなかったが、ステンレスと同様、装置の構成材料であるアルミニウムの汚染も当然あると考えられる。しかし、アルミニウムは鉄やニッケルに比べてシリコン中における拡散定数が小さいため、加工中の拡散は起こりにくいと考えられる。低感度ではあるがアルミニウムの測定も可能とされている、理学電機製 TXRF 300 を用いて、表 5.1 の A、B、C に準ずる試料の測定を行った。装置は、理学電機大阪分析センター内の装置を使用した。結果をそれぞれ表 5.10、表 5.11、表 5.12 に示す。なお、表 5.10 には各元素の検出下限値も併記した。表 5.11 より、やはり装置に入れることでアルミニウム粉末による汚染が確認されたが、表 5.12 より、プラズマに曝された後も、ウエハ全面に汚染が広がることは起こらないことが確認された。アルミニウムに関しても、鉄やニッケルと同様に、加工後の洗浄によって除去されると考えられる。

表 5.10 試料 A における各点の TXRF300 による測定結果 (10^{10} atoms/cm^2)

No.	Al	K	Ca	Ti	Cr	Fe	Ni	Cu	Zn
1	ND	ND	4.8	ND	ND	ND	ND	ND	ND
2	ND	ND	3.2	ND	ND	ND	ND	ND	ND
3	ND	ND	3.9	ND	ND	ND	ND	ND	ND
4	ND	ND	4.2	ND	ND	ND	ND	ND	ND
5	ND	ND	3.8	ND	ND	ND	ND	ND	ND
6	ND	ND	2.8	ND	ND	ND	ND	ND	ND
7	ND	ND	2.9	ND	ND	ND	ND	ND	ND
8	ND	ND	2.7	ND	ND	ND	ND	ND	ND
9	ND	ND	9.3	ND	ND	1.7	ND	ND	2.5
10	ND	ND	3.1	ND	ND	ND	ND	ND	ND
11	ND	ND	3.1	ND	ND	ND	ND	ND	ND
12	ND	ND	3.7	ND	ND	ND	ND	ND	ND
13	ND	ND	3.2	ND	ND	ND	ND	ND	ND
ND level	28.0	3.1	2.0	0.7	0.3	0.1	0.1	0.2	0.4

表 5.11 試料 B における各点の TXRF300 による測定結果(10^{10} atoms/cm^2)

No.	Al	K	Ca	Ti	Cr	Fe	Ni	Cu	Zn
1	ND	ND	2.0	ND	ND	ND	ND	ND	ND
2	614.4	ND	4.1	ND	0.8	0.8	ND	7.8	ND
3	ND	ND	3.2	ND	ND	ND	ND	ND	ND
4	ND	ND	3.6	ND	ND	0.4	ND	ND	ND
5	ND	ND	4.5	ND	ND	ND	ND	ND	ND
6	155.6	ND	3.6	ND	1.1	2.4	0.6	ND	ND
7	ND	ND	2.7	ND	0.7	1.4	0.3	ND	ND
8	ND	ND	3.2	ND	ND	ND	ND	ND	ND
9	ND	ND	2.4	ND	ND	ND	ND	ND	ND
10	338.0	ND	4.5	ND	1.3	5.5	0.7	ND	ND
11	ND	ND	3.7	ND	ND	ND	ND	ND	ND
12	ND	ND	3.9	ND	ND	ND	ND	ND	ND
13	ND	ND	3.6	ND	ND	ND	ND	ND	ND

表 5.12 試料 C における各点の TXRF300 による測定結果(10^{10} atoms/cm^2)

No.	Al	K	Ca	Ti	Cr	Fe	Ni	Cu	Zn
1	ND	ND	4.8	ND	ND	ND	0.3	ND	ND
2	ND	ND	3.3	ND	ND	0.5	0.2	ND	ND
3	ND	ND	2.5	ND	0.7	1.8	0.3	ND	ND
4	ND	ND	4.3	ND	ND	ND	ND	ND	ND
5	1372.2	ND	6.5	ND	0.9	629.9	ND	1.5	5.1
6	ND	ND	2.6	ND	1.5	4.2	0.7	ND	ND
7	ND	ND	1.8	ND	ND	0.3	ND	ND	ND
8	62.8	46.6	31.3	1.2	1.6	8.9	0.9	ND	59.9
9	78.6	ND	31.9	3.4	4.1	15.3	1.2	ND	60.4
10	ND	ND	2.8	ND	ND	ND	ND	ND	ND
11	ND	ND	2.4	ND	0.9	2.2	0.4	ND	ND
12	60.5	132.3	48.1	2.1	ND	3.6	1.0	1.0	2.8
13	ND	ND	2.8	ND	ND	0.6	0.3	ND	1.8

5.2.3　加工表面層の SIMS による不純物測定

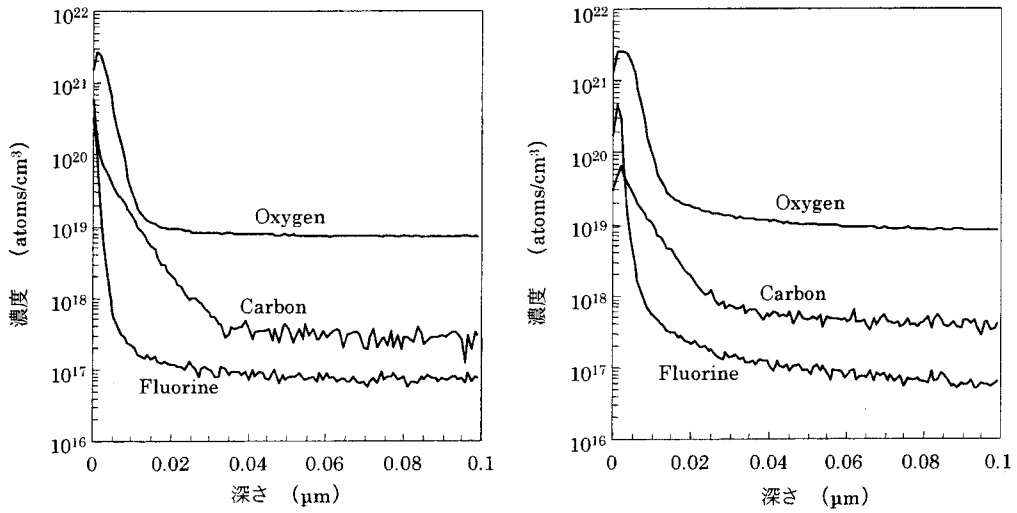
(1) 評価方法

二次イオン質量分析(Secondary Ion Mass Spectroscopy：SIMS)を用いて、加工表面層の元素分析を行った。SIMS は表面にイオンビームを照射して表面原子をスパッタし、放出された二次イオンを質量分析することによって表面の元素分析を行うことが可能である。評価は、材料科学技術振興財団の ATOMIKA 製 SIMS4500 を用いた。一次イオンとして Cs^+ を 1 kV で加速して用い、スパッタレートは約 0.17 nm/s、測定領域は 75μm×106μm である。評価に用いた試料は表 5.2 と同じ条件でウエハの半分を加工したものであり、加工部を加工面、未加工部を参照面として評価した。

(2) 評価結果

図 5.2(a)と図 5.2(b)に参照面と加工面の C、O、F の測定結果を示す。C に関しては参照面、加工面とも 0.03μm 付近まで検出されているが、両者に顕著な差は見られず、プラズマ中のイオンによって C が打ち込まれているとは考えにくい。O に関しては加工面の方がより深いところまで検出されており、加工面の方が表面酸化膜が厚いと考えられる。O のプロファイルの面積を計算して原子数を算出し、酸化膜厚に換算した値は、分光エリプソメトリによる表面酸化膜厚測定の結果とよく一致した。F に関しても加工面の方が深いところまで検出されているが、テールのひき方が O とよく似ているため、表面酸化膜中に取り込まれている可能性が高いと考えられる。この表面酸化膜は洗浄によって容易に除去されるため、この F も洗浄によって除去されると考えられる。なお、未加工面にも F が検出されているのは、表面に水分が多く吸着しており、F と同じ質量数を持つ $^{18}OH^-$ が測定されているためと考えられ、加工面において増加した分のみが F と考えられる。結局、加工面には F を含んでいると思われる酸化膜が形成されていること以外、参照面と顕著な違いは見られず、C 原子や F 原子の打ち込み現象は確認されなかった。

また、本研究においてはプラズマ発生用電極にアルミナ溶射を施した電極を用いている。電極と試料表面はプラズマを介して 1 mm 程度の距離に対向しているため、試料表面の Al



(a) 参照面のSIMS測定結果　(b) 加工面のSIMS測定結果

図5.2　SIMS測定結果

汚染の懸念がある。そこで、Alに関しても同様にSIMSによる測定を行った。一次イオンはO_2^+を1 kVで加速して用い、スパッタレートは約0.07 nm/s、測定領域は66μm×93μmである。同様に、加工部と未加工部を比較したが、両者とも検出下限(2×10^{17} atoms/cm^3)以下であり、Alによる汚染は確認されなかった。

5.2.4　加工表面層のXPSによる不純物測定

(1) 評価方法

X線光電子分光（X-ray Photoelectron Spectroscopy：XPS）によって加工表面の評価を行った。XPSは、試料表面にX線を照射して表面原子の内殻電子を励起し、光電効果によって放出した光電子のエネルギー分光測定から、表面の元素組成分析や化学結合状態の解析等が可能である。また、試料表面をスパッタしながら測定することによって固体表面から内部の深さ方向の組成分布を測定することが出来る。用いた装置は、東北大学MSCRに設置の島津製作所製ESCA-1000Sである。スパッタには2keVで加速したArイオン用いた。評価用試料は表5.2の条件で全面を加工した6インチのシリコンウエハ、および加工したウエハを東北大学MSCR内において表5.13に示す洗浄を行ったウエハを用いた。

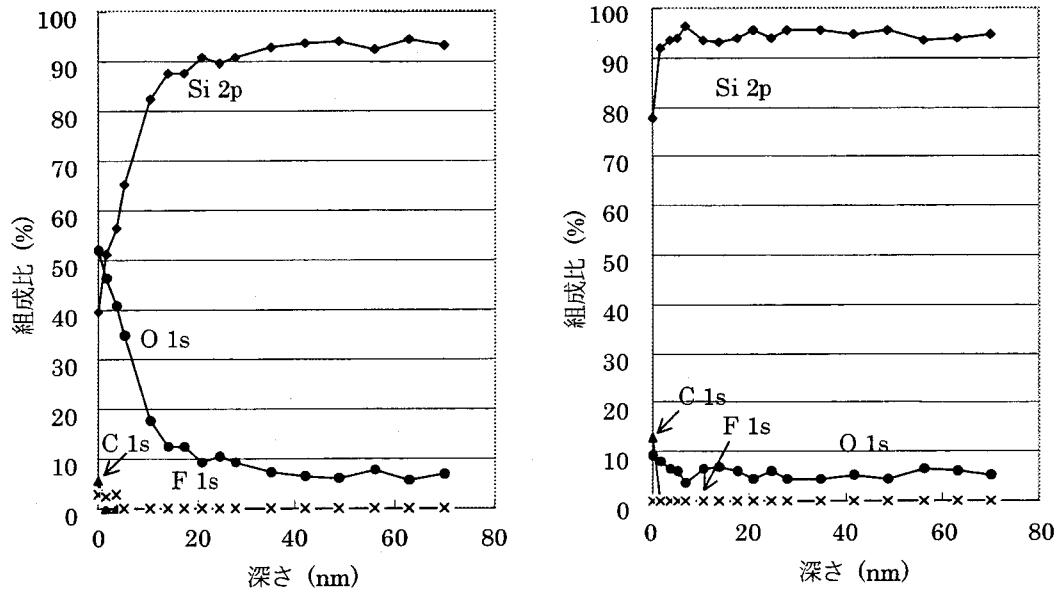
表5.13　室温洗浄手順

オゾン水フロー	10 min
水素水＋メガソニック	10 min
FPM ($HF:H_2O_2:H_2O$=0.3:0.5:99.2)	2 min
水素水＋メガソニック	10 min

(2) 評価結果

図5.3(a)および図5.3(b)に加工ウエハ、加工後洗浄ウエハの測定結果を示す。図5.3(a)より、加工面は表面層のシリコン濃度が低下し、酸素濃度が上昇していることから、酸化膜が形成されていると言える。また、表面層には微量のFが存在していること、Cの検出は再表面のみであることが分かる。また、図5.3(b)より、酸化膜の洗浄を行うことで、微量のFも検出されなくなっており、Fは加工表面に形成された酸化膜中にのみ存在することが分かる。

本研究で用いている大気圧高周波プラズマにおいては、プラズマ中のイオンのエネルギーが小さいため、加工中に表面に吸着したCF_x系の分子に高エネルギーのイオンが衝突してCやFを基板内部に潜り込ませるような現象は起こらないことが確認された。



(a) 加工面のXPS測定結果　　(b) 加工面洗浄後のXPS測定結果

図5.3　XPS測定結果

5.3　加工面のMOSダイオードによる評価

これまでの汚染評価によって、プラズマCVM加工表面にはパーティクル汚染はあるものの、金属汚染や表面層への不純物の打ち込みが無いことが確認できた。従って、MOSデバイス作製における致命的な汚染は無いと判断し、MOSデバイスにおいて最も重要なMOS構造の試作評価を行った。以下、直径33 mmウエハに形成したMOSダイオードのC-V特性、および6インチウエハに形成したMOSダイオードのI-V特性について述べる。

5.3.1　直径33mmウエハに形成したMOSダイオードのC-V特性評価

(1) 評価方法

図5.4に示す構造のMOSダイオードを試作した。主要な試作工程を表5.14に示す。実際には各工程間に幾度もの洗浄を行っている。試作は、東北大学スーパークリーンルーム(SCR)およびMSCRにて行った。試作に用いたウエハは、表5.2の条件にて全面を約25nm除去加工した6インチバルクシリコンウエハ((100),n-type, Pドープ, 1~2Ωcm)、および

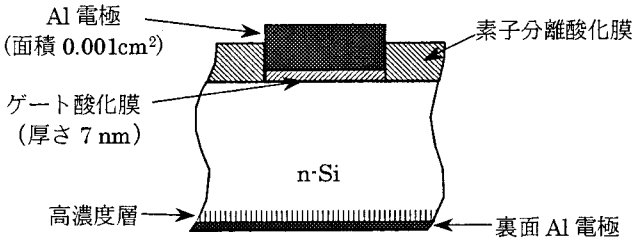


図5.4　試作したMOSダイオードの概略

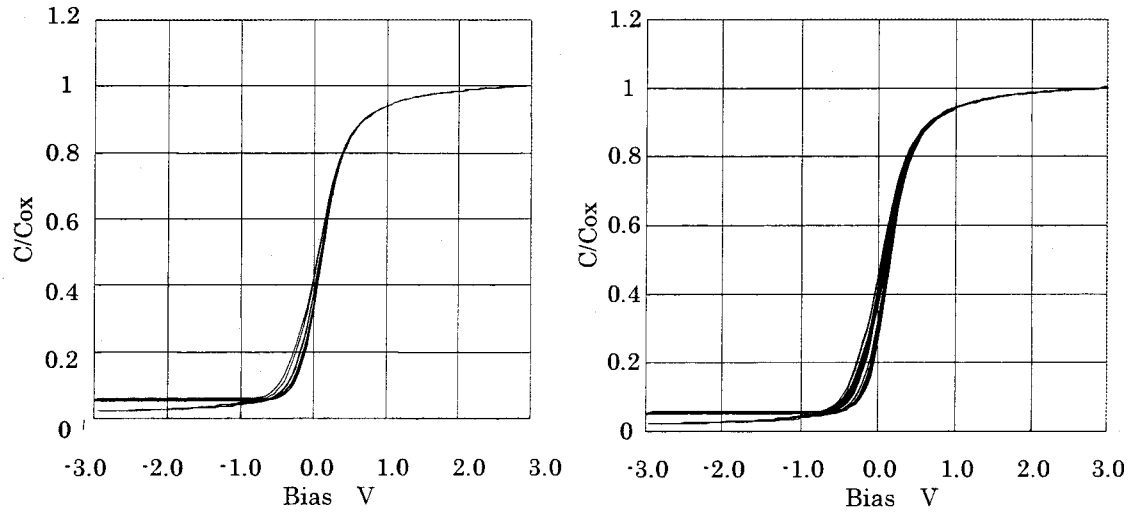
表5.14　MOSダイオードの主な製作工程

	工程	主な内容
1	くりぬき	保護用化学酸化膜形成（SPM洗浄(H_2SO_4:H_2O_2=4:1))
		くりぬき（HNO_3:HF:CH_3COOH=18kg:3kg:1kg, 40 min)
2	素子分離用酸化膜形成	熱CVD酸化膜成膜形成（30 min @ 400℃)
3	裏面高濃度層形成	裏面に熱CVD PSG膜成膜形成（15 min @ 400℃)
		ドライブインアニール（熱処理炉 30 min@ 1000℃（N_2=2 ℓ/min))
4	裏面PSG膜剥離	表面レジスト塗布（OFPR800)
		裏面エッチング(50%HF:40%NH_4F=50cc:550cc)
		レジスト剥離（SPM洗浄（H_2SO_4:H_2O_2=4:1))
5	素子分離	表面レジスト塗布
		露光（マスクアライナ)
		現像（NMD-3 , 70 s @ 23℃)
		熱CVD酸化膜エッチング（LAL-800 , 10 min)
6	ゲート絶縁膜形成	APM洗浄（NH_4OH:H_2O_2:H_2O=10cc:200cc:1000cc)
		保護用化学酸化膜形成（HOT H_2O_2)
		ゲート絶縁膜形成（熱処理炉 10 min @ 900℃（酸化膜厚 7 nm))
7	Al電極成膜	表面Al蒸着
		裏面熱酸化膜剥離（DHF1滴(HF:H_2O=10cc:500cc))
		裏面Al蒸着
8	Al電極形成	裏面レジスト塗布
		表面レジスト塗布
		露光(マスクアライナ)
		現像（NMD-W, 70 s @ 23℃)
		Alエッチング(燐硝酢酸(H_2PO_3:HNO_3:CH_3COOH:H_2O= 400cc:25cc:50cc:25cc, 8～15min)
		レジスト剥離（剥離液-104(フェトルトリクレン) 10 min @ 80～90℃)
9	シンタリング	シンタリング（熱処理(N_2/H_2=1.8 ℓ/min/0.2 ℓ/min) 30 min @ 400℃)

比較用の参照ウエハである。主要工程の概要を説明する。まず、6インチのウエハから、直径33 mmのウエハをウェットエッチングによってくりぬく。これは、デバイス作製のための装置や洗浄治具が直径33 mmのウエハ用として構成されているからである。その後、裏面電極との電気接触を良好にするため、裏面よりリンを拡散させて裏面の抵抗率を下げ、RCA洗浄の後、熱酸化によってゲート酸化膜を形成した。その後、表裏両面にアルミニウムを真空蒸着し、マスクアライナによるリソグラフィーによってゲート電極を形成した。最後に素子が安定に動作するように水素アニール処理を行った。ゲート酸化膜厚は7 nmとし、評価に用いたゲート電極の面積は1.0×10^{-3} cm^{2}である。

2) 評価結果

参照ウエハでは20個の、加工ウエハでは36個のダイオードの高周波C-V測定を行った。図 5.5(a)に参照ウエハ上、図 5.5(b)に加工ウエハ上に形成した全てのMOSキャパシタのC-V特性を示す。図 5.5(a)(b)より、両者の特性にヒステリシスは見られず、ゲート酸化膜中に可動電荷や酸化膜トラップ電荷が存在しないことが分かる。また、0 V付近の立ち上がり部分に注目しても、両者で立ち上がり位置や傾きの相違が見られないことから、固定酸化膜電荷量や界面トラップ電荷量に関しても、両者で有為な差はないことが分かる。従って、プラズマCVM加工面には、通常のシリコンウエハ表面と同程度の品質を有するゲート酸化膜を形成することが可能であることが分かった。



(a) 参照ウエハ　(b) プラズマCVM加工ウエハ

図5.5　MOSダイオードのC-V特性

5.3.2　6インチウエハに形成したMOSダイオードのI-V特性評価

(1) 評価方法

次に、より薄いゲート酸化膜を用いたMOSダイオードを作製し、そのI-V特性を評価し

た。表5.2の条件にて6インチバルクシリコンウエハ（(100),n-type, Pドープ, 1~2Ωcm）の半分を約25nm除去加工して同一のウエハ上に加工部と未加工部を設けた。表4.3の手順で洗浄を行った後、直ちに熱酸化によってゲート酸化膜を形成した。その後、アルミニウムを真空蒸着し、シャドウマスクを用いた真空蒸着によってゲート電極を形成した後、裏面の酸化膜を除去してアルミニウムを蒸着し、MOSダイオードを作製した。ゲート酸化膜厚は2.5nmとし、ゲート電極の面積は7.85×10^{-3} cm^{2}である。加工部、未加工部とも、それぞれ27個のダイオードを作製した。図5.6に試作したMOSダイオードの構造の概要を、表5.15に主な製作工程を示す。

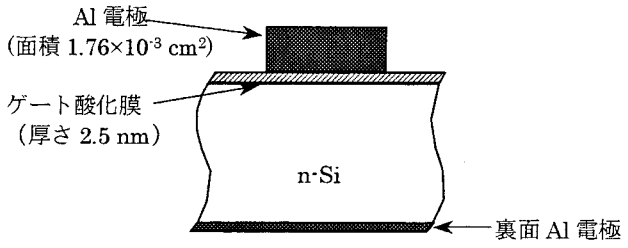


図5.6　試作したMOSダイオードの概略

表5.15　MOSダイオードの主な製作工程

	工程	主な内容
1	ゲート絶縁膜形成	熱酸化（超清浄極薄酸化膜形成装置）
2	Al電極形成	シャドウマスクを用いた真空蒸着 （穴径：1mm）
3	裏面Al電極蒸着	裏面酸化膜除去（1% HF 裏面に滴下） 真空蒸着

(2) 評価結果

図5.7(a)に未加工部上、図5.7(b)に加工部上に形成したMOSキャパシタのI-V特性を示す。両図を比較すると、絶縁耐圧およびリーク電流に関して両者に有為な差は見られず、両者のゲート酸化膜の膜質に顕著な差は見られないことが確認できた。ゲート酸化膜形成前には表4.3に示す洗浄を1度行ったのみであり、加工面は洗浄によって約1.2 nmしか除去されていない。また、酸化膜の形成にはその膜厚のおよそ半分のシリコン層が必要であるため、ゲート酸化膜は加工表面から深さ約1.2 nm～2.5 nmの領域に存在したシリコン原子によって形成されたものである。このような、加工表面に極めて近い領域においても、デバイスの動作特性に影響を及ぼすレベルの汚染や欠陥が存在しないことが確認できた。

以上、MOSキャパシタを用いたC-V、I-V特性評価から、加工によってデバイス特性が損なわれる現象は確認されず、加工ウエハ表面は通常のULSI用ウエハ表面と同等の品質を有していることが分かった。

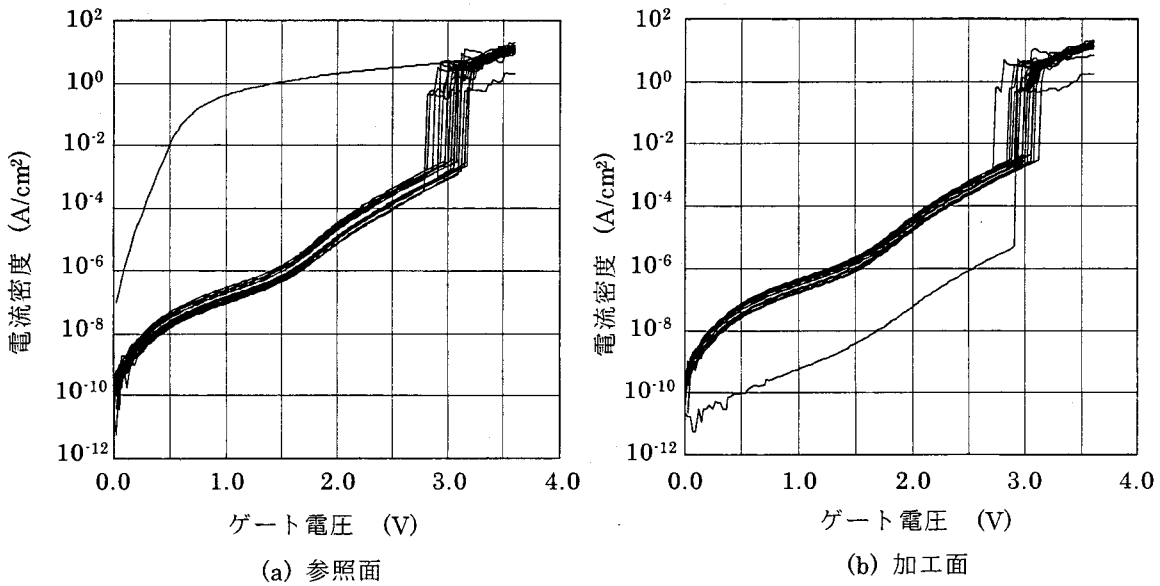


図5.7　MOSダイオードのI-V特性

5.4　結言

本章では、プラズマCVM加工ウエハのパーティクルと金属汚染評価、加工表面近傍の不純物測定を行い、MOSトランジスタの最も重要な要素であるMOS構造を試作し、その特性評価によって、プラズマCVM加工面がMOSデバイス用基板として使用できるかどうかを検討した。本章で得られた結果をまとめる。

(1) パーティクル汚染評価、金属汚染評価を行った結果、主な汚染は装置構成部品から生じたと思われる金属微粉によるものであり、初期排気および加工ガス充填中に汚染されることが分かった。これらの金属原子は加工中にウエハ中に拡散することは無く、加工後の洗浄によって除去できることが分かった。

(2) 表面不純物元素分析を行った結果、低圧プラズマエッチングで問題となるCやFの打ち込み現象は確認されず、加工面の結晶性は良好であると考えられる。

(3) プラズマCVMによって加工を行ったバルクウエハ上にMOSダイオードを形成し、I-V、C-V特性評価を行った。その結果、特性は参照用ウエハ上に形成したMOSダイオードの特性と一致し、ゲート酸化膜やシリコンと酸化膜の界面にデバイス特性が損なわれる汚染や欠陥が、加工によってもたらされないことが確認された。つまり、プラズマCVM加工面はMOSデバイス用基板として用いることが可能であるといえる。

第 6 章　超薄膜 SOI ウエハを用いた高性能 SOI デバイスの実現に向けて

6.1　緒言

前章までに、数値制御プラズマ CVM によって良好な SOI 層厚さ均一性をもつ超薄膜 SOI ウエハが製作可能であり、一方で、プラズマ CVM による加工においては加工表面に汚染や欠陥がもたらされること無く、良好な MOS 構造を形成できることが確認された。本章では、数値制御プラズマ CVM によって作製した超薄膜 SOI ウエハを用いて、高性能な超薄膜 SOI デバイスを実現するための準備として、薄膜化した SOI ウエハを用いた MOS トランジスタの試作を行った結果について述べる。その後、超薄膜 SOI ウエハ上に超薄膜 SOI デバイスを形成する際の、デバイス製造技術面からの問題点を述べ、今後の展望を述べる。

6.2　直径 33 mm SOI ウエハを用いた MOSFET の試作と評価

6.2.1　試作目的

プラズマ CVM 加工面に形成した MOS ダイオードが正常な特性を示したことから、MOS トランジスタの最も重要な要素であるゲート酸化膜直下のチャネル部に関しては問題無く機能することが予想される。そこで、ソースやドレインを形成し、完全な MOS トランジスタとして正常に動作することを確認するために、未加工の SOI ウエハと加工を行った SOI ウエハ上に同じ構造の MOS トランジスタを試作し、両者の特性を比較することを試みた。

6.2.2　試作した MOSFET の概要

加工前 SOI ウエハとして、市販 6 インチ貼り合わせ SOI ウエハ（キヤノン製 ELTRAN SOI ウエハ）を用いた。SOI 層厚さは 100 nm、BOX 層厚さは 100 nm、SOI 層および支持基板とも、面方位は<100>、導電型は p 型、比抵抗は 10～20 Ωcm である。数値制御プラズマ CVM によって SOI 層の厚さを約 80 nm に薄膜化し、未加工の参照用ウエハと同時

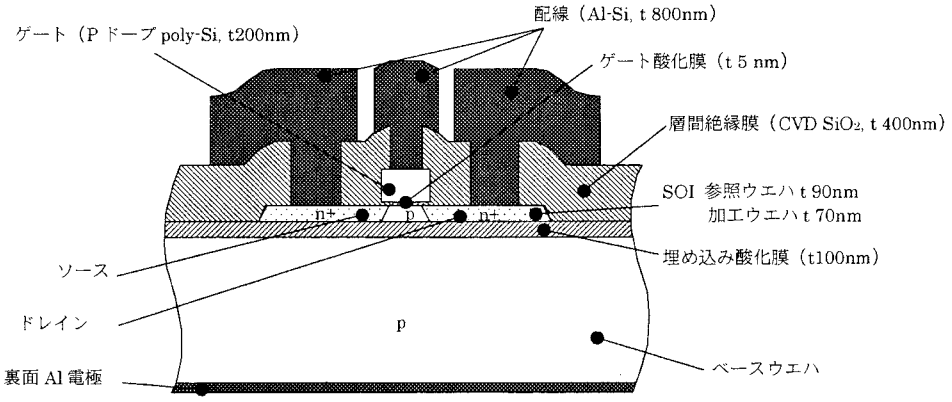


図 6.1　試作した MOSFET の構造の概略

表 6.1　nMOSFETの主な作製工程

	工程	主な内容
1	くりぬき	くりぬき用保護酸化膜形成（APCVD 13 min @ 300℃）
		くりぬき（HNO_3:HF:CH_3COOH=18 kg:3 kg:1 kg, 40 min）
2	位置合わせマーク形成	レジスト塗布（TSMR-9800-25cp）
		露光（ステッパー）
		現像（NMD-W , 70 s）
		エッチング（RIE, CF_4:H_2=48:8 sccm, 0.3 Pa, 24 min）
		レジスト除去
3	素子分離（MESA）	犠牲酸化（ドライ酸化, 5 min @ 900℃）
		レジスト塗布（TSMR-V50-35cp）
		露光（ステッパー）
		現像（NMD-W , 70 s）
		犠牲酸化膜エッチング（LAL-800, 30 sec）
		レジスト除去
		SOI層エッチング（NMD-W）
		犠牲酸化膜エッチング
4	ゲート絶縁膜形成	RCA洗浄
		プレオキサイド形成（O_3+超純水）
		ゲート絶縁膜形成（ウェット酸化 15 min @ 900℃（酸化膜厚 5 nm））
5	Poly-Siゲート形成	CVD（H_2:Si_2H_6:0.511%PH_3/H_2=260:67:200 sccm）（厚さ 200 nm）
		レジスト塗布（TSMR-V50-10cp）
		露光(マスクアライナ)
		現像（NMD-W, 70 s）
		Poly-Siエッチング（ECRプラズマ, Cl_2/H_2=30%, 3 min）
6	S/D形成	S/Dイオン注入（As^+ 25 keV, 2×10^{15} ions/cm^2）
		アニール（N_2 2 ℓ/min 20 min @ 900℃）
7	層間絶縁膜形成	NSG（ドープ無しシリカガラス）成膜（APCVD, 15 min @ 400℃）
8	裏面Poly-Si除去	表面レジスト塗布（OFPR-800）
		Poly-Siエッチング（HF:HNO_3:H_2O=5:300:300, 1 min）
		レジスト除去
9	コンタクトホール形成	レジスト塗布（TSMR-V50-35cp）
		露光（ステッパー）
		現像（NMD-W , 70 s）
		NSGエッチング（RIE, CF_4:H_2=97:14 sccm, 0.3 Pa, 27 min）
		アッシング（O_2雰囲気, 5 min @ 150℃）
		レジスト除去
10	配線成膜	Al-Si スパッタリング（30 min, 800nm）
11	裏面電極形成	裏面Al蒸着
12	配線形成	レジスト塗布（TSMR-CR-B2）
		露光（ステッパー）
		現像（NMD-W , 70 s）
		Al-Siエッチング（RIE, $SiCl_4$=25 sccm, 25 min）
		アッシング（O_2雰囲気, 5 min @ 150℃）
		レジスト除去
13	シンタリング	シンタリング（熱処理 Ar/H_2=1.8:0.2 ℓ/min,　30 min @ 400℃）

に MOSFET を作製した。図 6.1 に試作した MOSFET の構造の概略を示す。また、表 6.1 に MOSFET の主な作製手順を示す。表 6.1 では、レジストのベーク工程や検査工程、各工程間に入る洗浄工程等は省略した。なお、作製工程中の洗浄やゲート酸化膜形成等によって、SOI 層厚さが 10 nm 程度減少するため、MOSFET 完成時の SOI 層の厚さは、加工したウエハが約 70 nm、参照用ウエハが約 90 nm となる。

6.2.3　試作した MOSFET の評価

図 6.2(a)(b)に、参照ウエハおよびプラズマ CVM 加工ウエハに作製した n チャネル MOSFET に対して、ゲート電圧に対するドレイン電流の変化をそれぞれ 3 箇所づつ測定した結果を示す。測定したトランジスタのゲート長は 1μm、ゲート幅は 10μm、ゲート酸化膜厚は 5 nm である。この測定において着目するところは、トランジスタがオフ状態のドレイン電流（リーク電流）と、立ち上がり部の傾きの急峻さである。この傾きの逆数は S 値（サブスレッショルド係数）と定義されており、ドレイン電流を一桁増加させるのに必要なゲート電圧を意味している。S 値が小さいほど立ち上がりが急峻であり、良好なスイッチング特性が得られる。これらに関して、加工ウエハと参照ウエハにおいて比較した結果を表 6.2 にまとめる。トランジスタがオフ状態のドレイン電流は共に 10^{-15}～10^{-13}A で違いが見られず、S 値も共に 65 mV/dec 程度の理想値に近い良好な値を示している。すなわち、プラズマ CVM によって SOI 層を薄膜化した SOI ウエハには、MOSFET の特性を劣化させる汚染や欠陥は存在しないことが実証できた。

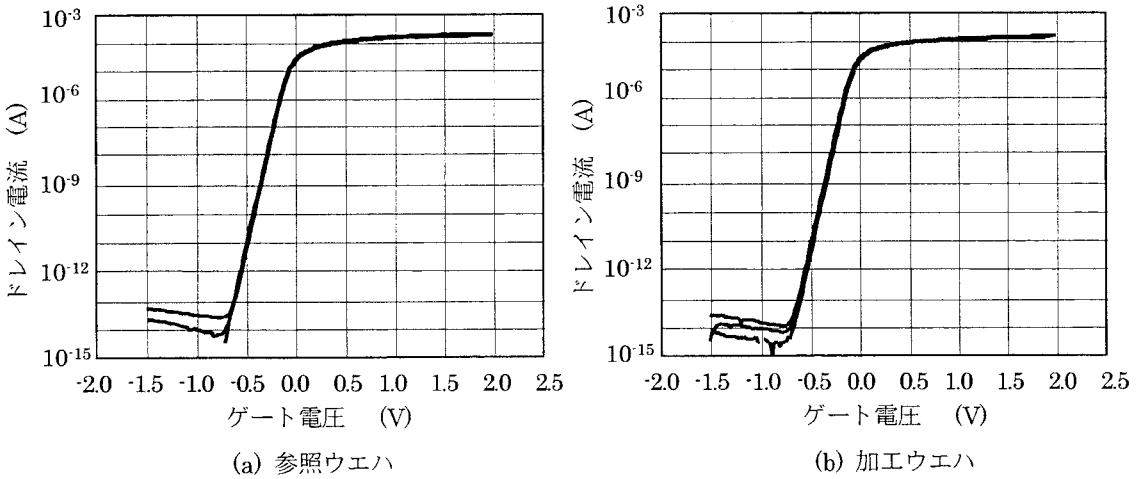


図 6.2　加工ウエハおよび参照ウエハに試作した MOSFET の I_D-V_G 特性

表 6.2　リーク電流と S 値の比較

	リーク電流 (A)	S 値 (mV/dec)		
P-CVM 加工ウエハ	10^{-15}～10^{-13}	65.9	65.2	64.7
参照ウエハ	10^{-15}～10^{-13}	64.6	64.8	65.3

6.3　8インチSOIウエハを用いたMOSFETの試作と評価

6.3.1　試作目的

現在、一般に市販されている薄膜SOIウエハのSOI層の厚さは0.1μm程度が主流である。一方、0.35μmプロセスにおいて完全空乏型のMOSFETを作製するためには、ゲート下のシリコン層の厚さは50 nm程度である必要があり、微細化が進むにつれて更に薄いシリコン層が必要になる。現在、実用化されている完全空乏型MOSFETプロセスでは、0.1μm程度のSOI層を熱酸化調整によって60 nm程度まで薄膜化した後、デバイス作製を開始する。デバイス作製中の洗浄や犠牲酸化によってSOI層厚さは10 nm程度減少するため、最終的には50 nm程度の厚さを有するデバイスが完成する。熱酸化調整とは、SOI層表面のシリコンを熱酸化によって酸化し、希ふっ酸洗浄によって酸化膜を除去することで、SOI層を薄膜化する方法である。熱酸化技術は均一性に優れており、8インチウエハ全面で形成される酸化膜の厚さばらつきは1%程度以内であるため、熱酸化調整によってSOI層厚さのばらつきが増加することはほとんどない。しかし、SOI層厚さのばらつきの絶対値が向上することはありえないため、SOI層は、厚さばらつきの絶対値が維持されたまま薄膜化される。すなわち、熱酸化調整を行えば、ばらつきの絶対値を厚さで割った値である、厚さの均一性は劣化する。

そこで、薄膜化と同時に均一化を行うことのできる数値制御プラズマCVMを、熱酸化調整の代わりに用いることを試みた。評価のポイントは、プラズマCVMによって加工したSOIウエハが集積回路用基板として製造ラインにおいて問題なく使えるか、という点と、SOI層の厚さが均一であることによって、デバイス特性の面内におけるばらつきが改善されるか、の二点である。

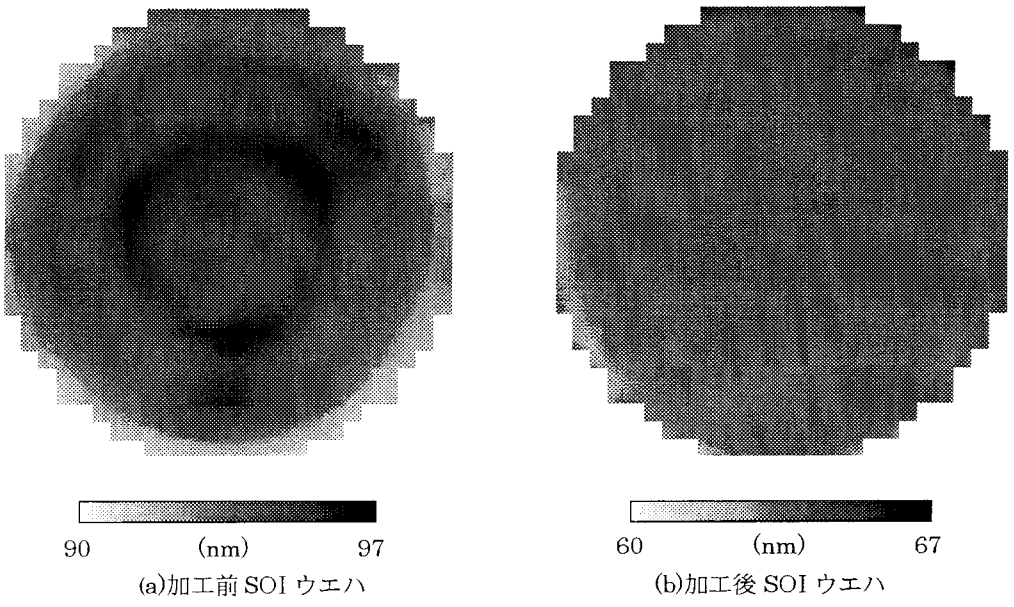
6.3.2　試作用SOIウエハの加工

薄膜化を行うSOIウエハとして、市販8インチ貼り合わせSOIウエハ（キヤノン製ELTRAN SOIウエハ）を用いた。SOI層厚さは95 nm、BOX層厚さは100 nm、SOI層および支持基板とも、面方位は<100>、導電型はp型、比抵抗は10～20 Ωcmである。SOI層厚さ分布の測定点は直径190 mmの円内における7 mmピッチの格子点上560点とした。数値制御プラズマCVM加工は表6.3に示す条件で行った。加工前後のSOI層厚さ分布を図6.3(a)および(b)に示す。加工前に存在した同心円状の分布が、数値制御加工によって良好に均一化されたことが分かる。また、図6.4(a)および(b)はSOI層厚さの相対度数分布を図示したものである。加工後のウエハは、面内の9割以上の測定箇所において、SOI層厚さが64 nm±1 nm(±1.5%)の範囲に入っており、ナノメートルオーダーで制御された数値制御加工が実現できている。また、このウエハの中央部6インチの領域に注目すると、63.8 nm± 0.5 nmとなっており、SOI層厚さが10 nmのSOIウエハに要求されている均一性である±0.5 nmを実現している。均一性に優れるSIMOXウエハにおいても、面内の厚さばらつきは±2 nm程度であり、得られた均一性は極めて良好である。なお、一般に薄膜SOI

ウエハに要求されるSOI層厚さの均一性は±5%であり、加工前のSOIウエハでも十分にその要求は満たしている。

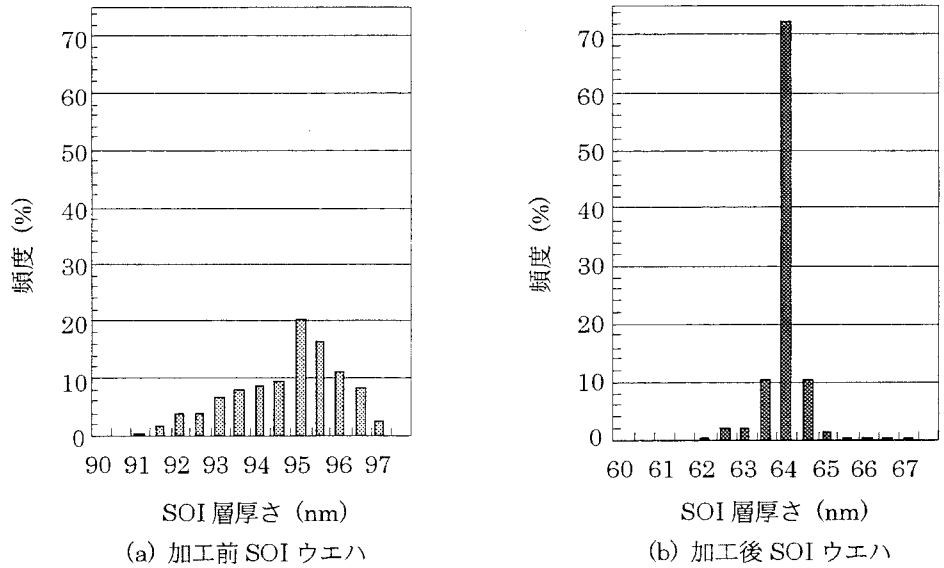
表6.3 数値制御プラズマCVM加工条件

ガス組成	$He:CF_4:O_2=99.99:0.005:0.005$
電極周速度	5.2 m/s
投入電力	200 W
加工ギャップ	300 μm



(a)加工前SOIウエハ　(b)加工後SOIウエハ

図6.3　SOI層厚さ分布測定結果(直径190mm内の560点で測定)



(a) 加工前SOIウエハ　(b) 加工後SOIウエハ

図6.4　SOI層厚さの相対度数分布

6.3.3　試作したMOSFETの概要

プラズマCVMによって薄膜化した8インチSOIウエハ、および熱酸化調整によって薄膜化した参照用SOIウエハを半導体集積回路製造ラインに投入し、MOSFETを試作した。試作したMOSトランジスタの構造の概略を図6.5に示す[24)119)]。最小寸法0.35μmのプロセスを用い、ゲート酸化膜厚は7 nm、ゲートにはポリシリコンを用い、ゲート下のシリコン層の厚さは50 nmとして完全空乏型を実現している。短チャネル効果の抑制と寄生バイポーラトランジスタの動作を抑制するため、チャネル両端部に高濃度層をもたせたチャネルプロファイルを採用した[120)]。また、ソース・ドレイン領域のシート抵抗を低減するために、薄膜$TiSi_2$サリサイド（SALICIDE：Self-ALIgn-siliCIDE）プロセスを適用した[121)]。

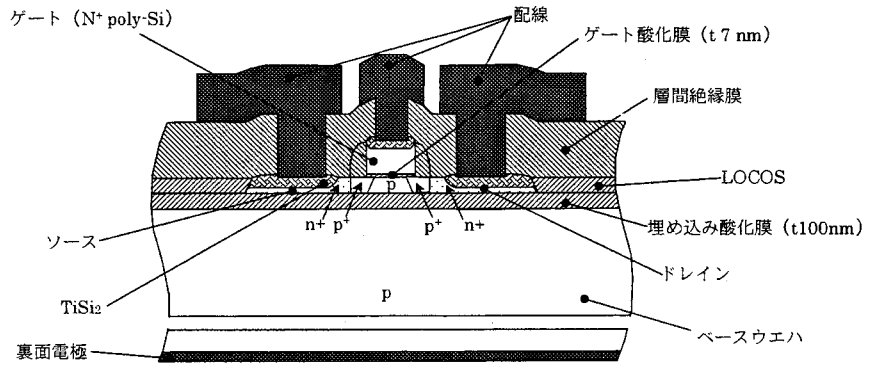


図6.5　試作したnMOSFETの構造の概略

6.3.4　試作したMOSFETの評価

図6.6に試作した集積回路の外観を、図6.7に、ゲート長0.35μm、ゲート幅10μmのnMOSFETにおけるドレイン電流のゲート電圧依存性を示す。リーク電流、立ち上がりの急峻さとも、両者で差は見られず、共に良好な特性が得られた。他のゲート長、ゲート幅のトランジスタに関しても同様の結果が得られた。また、pMOSFETに関してもゲート長、ゲート幅によらず、特性に差は見られなかった。すなわち、ウエハ全面にわたり、清浄度と結晶性が良好であり、プラズマCVMによって加工したウエハは半導体集積回路用基板として製造ラインにおいて問題なく使用できることが確認された。

図6.8(a)に、ゲート長1μm、ゲート幅10μmのnMOSFETのしきい値を、ウエハ面内に存在する62個のトランジスタについて測定した結果の相対度数分布を示す。プラズマCVM加工ウエハ、参照用ウエハとも、ばらつきは十分小さく実用上問題無い。分布の半値幅はプラズマCVM加工ウエハの方が小さいように思われるが、両ウエハとも、各トランジスタ近傍のSOI層厚さとしきい値電圧の関係をプロットした際、両者の間に明確な相関関係が見られなかったため、しきい値のばらつきの原因がSOI層厚さのばらつきとは言えない。これは、今回試作を行ったデバイス構造においては、しきい値電圧がSOI層厚さのばらつきの影響を受けにくいように、しきい値調整用のチャネルドーピングのプロファイル

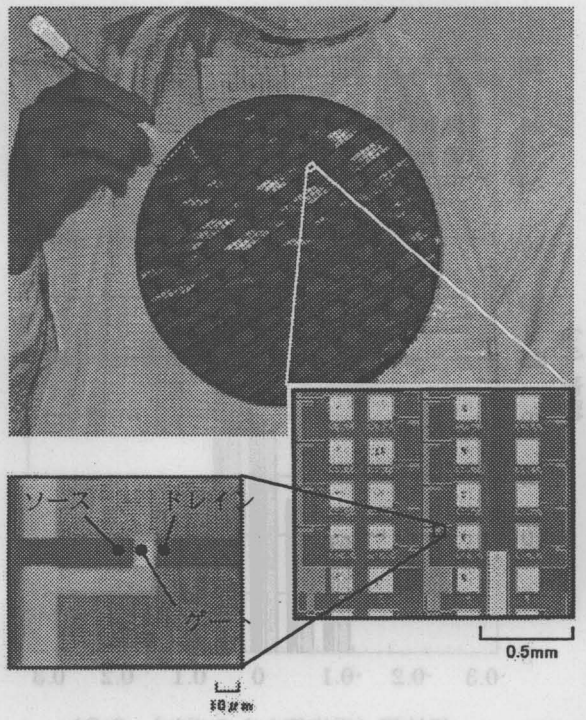


図6.6　試作したデバイスの外観

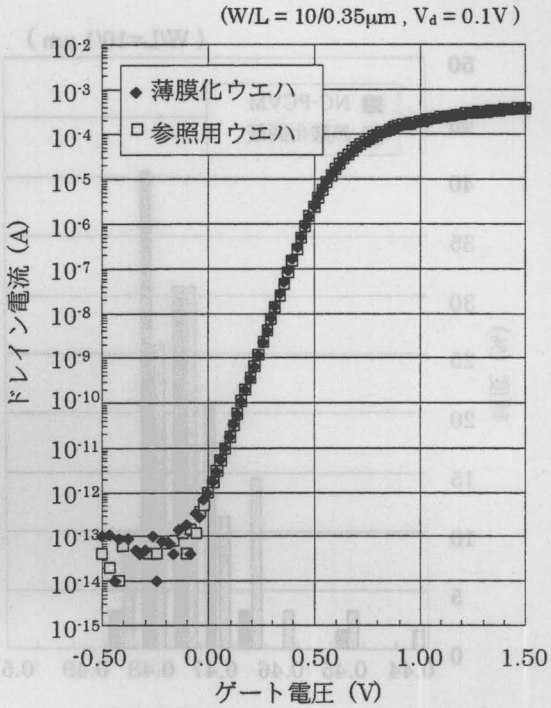
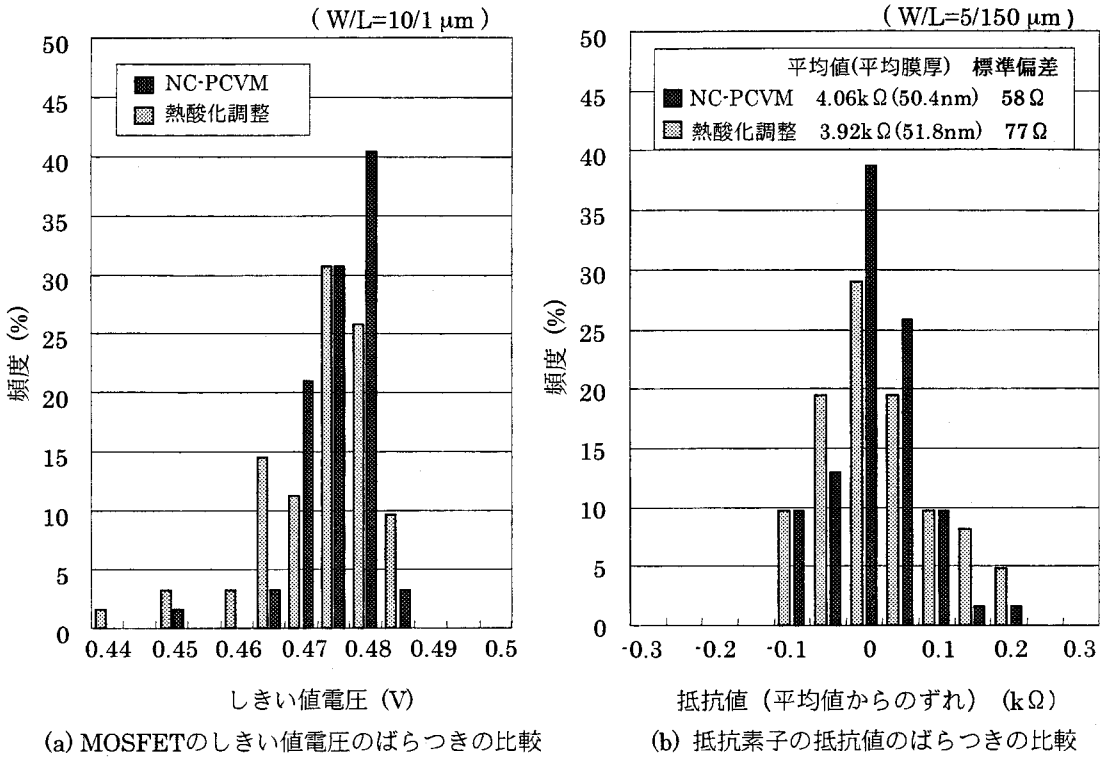


図6.7 nMOSFETのサブスレッショルド特性の比較

を最適化しているためと思われる[122]。実際、両者のウエハではSOI層厚さの平均値が1.5 nm程異なっているにもかかわらず、しきい値の絶対値はほぼ一致しており、1.5 nm程度の厚さのばらつきはしきい値に影響していない。従って、しきい値ばらつきの主な原因はSOI層厚さ以外であると考えられ、プラズマCVMによって均一なSOI層厚さ分布が得られたことで、しきい値のばらつきが改善されたとは結論できない。しかし、チャネルドーププロファイルの最適化によるしきい値ばらつきの改善法は、より薄いSOIデバイスにおいても適用可能とは限らない。プラズマCVMによってSOI層を均一化したウエハは、少なくとも熱酸化調整ウエハと同等のしきい値ばらつきを有しており、より薄いSOIデバイスにおいて、極めて有用と思われる。

また、図6.8(b)は、ソース・ドレイン領域と同様のイオン注入を行って作製した抵抗素子の抵抗値のばらつきを測定した結果の相対度数分布である。両者のウエハにおいて抵抗の絶対値が若干異なるのは、前述のとおりSOI層の平均厚さが約1.5 nm異なるためである。標準偏差を比較すると、熱酸化調整ウエハを用いたものが77Ωであるのに対して、プラズマCVM加工ウエハを用いたものは58Ωとなっており、明らかに素子特性のばらつきが改善されている。SOI層厚さと抵抗値をプロットした際、両者の間には明確な相関関係が見られており、この差は有為であると言える。

以上より、プラズマCVMによって加工したSOIウエハは集積回路用基板として製造ラインにおいて問題なく使えると断言でき、プラズマCVMは、加工面の結晶性や清浄度を損なわない、優れた加工法であることが確認された。さらに、抵抗素子においては面内のSOI



(a) MOSFETのしきい値電圧のばらつきの比較　(b) 抵抗素子の抵抗値のばらつきの比較

図6.8　しきい値電圧および抵抗値のばらつきの比較

層厚さのばらつきが改善することによって抵抗値のばらつきが改善されている。プラズマCVMによって作製されるSOI層厚さの均一性に優れたSOIウエハは、今後開発が待たれる超薄膜SOIデバイス用の基板として、極めて有用と考えられる。

6.4　超薄膜SOIデバイス製造技術の問題点と今後の展望

プラズマCVMによって加工したウエハはデバイス製造ラインにおいても使用可能であることが示された。一方、第4章より、プラズマCVMによって超薄膜SOIウエハの作製は可能である。極めて薄くて均一なSOIウエハを用いることによって、しきい値のばらつきや、短チャネル効果を抑制できることから、超薄膜SOIウエハを用いて高性能な超薄膜SOIデバイスを試作する準備は整ったかのように思われる。しかし、高性能な超薄膜SOIデバイスを作製するためには、デバイス構造およびデバイス作製プロセスにおいて、いくつかの重要な問題が残されている。最大の問題点は、ソースおよびドレインも超薄膜になることである。極めて薄いSOI層に高濃度に不純物イオンを注入して再結晶化する技術および、極めて薄いソース・ドレインのサリサイド技術、極めて薄いソース・ドレインに対して突き抜けることなくコンタクトホールを形成する技術、等が困難とされている。そして、これらの技術が確立されたとしても、極めて薄いソース・ドレインの寄生抵抗に阻まれ、高性能なトランジスタの実現は不可能である。現在、ソースおよびドレインのシリコ

ン層は厚く保ち、ゲート下のシリコン層のみ超薄膜であるようなデバイス構造の研究が行われている。ソース・ドレインを選択エピタキシャル成長によってせり上げる方法（Elevated S/D, Raised S/D）や、チャネル部のみを薄くする方法（Recessed Channel）等が検討されている。また、現在の MOS トランジスタにおけるしきい値の調整はチャネル部への不純物ドープによって行われているため、チャネル部のシリコン層が薄くなるにつれて、より高濃度のドープが必要になる。その結果、酸化膜－シリコン界面でのバンドの曲がりが急勾配になり、界面におけるキャリアの散乱の影響が顕著になり、モビリティが低下する。そこで、チャネル部は真性半導体とし、ゲート電極の材料を選ぶことによってしきい値電圧の調整を行う方法も検討されている。

このように、単に超薄膜 SOI ウエハを用いれば高性能なデバイスが作製できるのではなく、超薄膜 SOI ウエハに見合ったデバイス構造やデバイス作製プロセスが伴って初めて高性能なデバイスが実現する。本研究によって、極めて薄くて均一な超薄膜 SOI ウエハは製作可能になった。高性能な超薄膜 SOI デバイスを実現するデバイス作製技術を切望する。

6.5　結言

本章では、数値制御プラズマ CVM によって作製した超薄膜 SOI ウエハを用いて、高性能な超薄膜 SOI デバイスを実現するための準備として、薄膜化した SOI ウエハを用いた MOS トランジスタの試作を行った結果について述べた。以下に得られた結果をまとめる。

(1) プラズマ CVM によって加工を行った SOI ウエハの一部に MOSFET を試作した。未加工のウエハに試作した MOSFET と特性を比較したところ、リーク電流、サブスレッショルド係数ともに有為差は見られず、プラズマ CVM 加工面は、通常の ULSI 用ウエハ表面と同等の品質を有していることが分かった。

(2) デバイス作製のために加工した市販 8 インチ SOI ウエハの加工後の SOI 層厚さ分布は、面内の 9 割以上の測定箇所において、64 nm±1 nm(±1.5%)の範囲に入っており、ナノメートルオーダーで制御された数値制御加工が実現できた。また、このウエハの中央部 6 インチの領域に注目すると、その均一性は 63.8 nm± 0.5 nm を達成しており、SOI 層厚さが 10 nm の SOI ウエハに要求されている均一性である±0.5 nm を、本加工方法によって実現できることが確認できた。

(3) 数値制御プラズマ CVM によって薄膜化した 8 インチ SOI ウエハおよび熱酸化調整によって薄膜化した 8 インチ SOI ウエハを半導体デバイス製造ラインに投入し、ウエハ全面に完全空乏型 SOI MOSFET を試作した。両者のウエハ上に試作したデバイスのリーク電流、サブスレッショルド係数、しきい値ばらつきは一致しており、共に良好な値を示した。これより、プラズマ CVM によって加工した SOI ウエハは集積回路用基板と

して製造ラインにおいて問題なく使えると言え、プラズマCVMは、加工面の結晶性や清浄度を損なわない、優れた加工法であることが確認された。さらに、抵抗素子においては面内のSOI層厚さのばらつきが改善することによって抵抗値のばらつきが改善されており、プラズマCVMによって作製されるSOI層厚さの均一性に優れたSOIウエハは、今後開発が待たれる超薄膜SOIデバイス用の基板として、極めて有用と考えられる。

第7章　総括

高速かつ低消費電力の半導体集積回路を実現する基板としてSOIウエハが注目されている。本論文は、純化学的な加工法であり加工表面に歪層を形成しない加工法でありながら、機械加工に匹敵する加工能率と制御性を有するプラズマCVMを、次世代半導体集積回路用基板として求められている超薄膜SOIウエハの製作に応用すべく研究開発された成果をまとめたものである。

第1章では、本研究の背景と目的を述べた。

第2章では、SOIウエハの用途であるSOI MOSデバイスに関して、その動作原理や特徴を、従来のMOSデバイスと比較を行いながら述べた。MOSデバイスの高速化・低消費電力化が素子の微細化によって実現されていることを述べ、近い将来、SOI層の厚さが10 nm程度であるような超薄膜SOIウエハが必要となることを述べた。さらに、現状の代表的なSOIウエハの製作方法、SIMOX法、貼り合わせ研磨法、PACE法、Smart Cut法、およびELTRAN法について概説し、現段階では、SOI層の厚さが10 nm程度で、厚さの均一性が±5%であるような超薄膜SOIウエハを作製する方法が確立されていないことを述べた。

第3章では、機械加工に置き換わる全く新しい概念の化学的加工法として、高能率性と優れた空間制御性を併せ持つプラズマCVMを提案し、加工原理やその特徴について述べ、その高いポテンシャルを示した。さらに、そのポテンシャルを活かすべく、X線ミラー等の超高精度光学素子や次世代半導体集積回路用基板等を作製するための、数値制御プラズマCVM加工装置の開発について述べた。以下に要約する。

(1) 大気圧プラズマを用いたプラズマCVMの加工原理を示し、その特徴について述べた。また、本加工法を太陽電池のパターニングや、非球面レンズの加工に応用した例を示した。

(2) プラズマ発生用の電極として、回転電極を用いることを提案した。電極を高速に回転させることにより、電極と加工物との間に形成される非常に狭い加工ギャップ（数百μm）に対して、高効率な反応ガスの供給、ならびに反応生成物の排出を行なうことができる。また、プラズマはワークと対向した部分のみに局所的に発生し、残りの部分においては雰囲気ガスとの相互作用により冷却されるため、大電力の投入が可能となり、加工能率を大幅に向上させることができる。本方式は、大気圧下で顕著となるガスの粘性を積極的に利用したものであり、大気圧プラズマならではの方法である。

(3) 回転電極の応用例として、内周刃ブレードを用いた切断加工、円筒型電極を用いたポリシング加工、および球型（円盤型）電極を用いた数値制御形状加工を提案し、それぞれの加工装置の実例を示した。

(4) 各種機能材料（石英ガラス、単結晶シリコン、モリブデン、タングステン、シリコンカ

ーバイド、ダイヤモンド）に対して、数μm～数百μm／minの高加工速度を得ることに成功した。特に、石英ガラス、シリコンに対しては機械加工におけるラッピングに匹敵する加工速度を実現した。

(5) 各種加工法によって研磨した単結晶シリコンの表面に形成されるバンドギャップ内の欠陥密度を、SPVスペクトロスコピーにより評価した。その結果、プラズマCVM加工を行った表面の欠陥密度は、機械研磨やアルゴンイオンスパッタリング等の物理的な加工法によって得られた加工面と比べて2桁以上小さく、化学的な加工法であるケミカルエッチング面と同等の低欠陥密度であることが分かった。

(6) 加工量がプラズマの滞在時間に比例することを利用した数値制御加工理論と、それを用いた加工プロセスについて述べ、プラズマの滞在時間を決定するワークの送り速度分布を導出するためのプログラムの開発を行った。

(7) 平面、ならびに非球面形状を有する光学素子の加工が可能な、6軸 $(X, Y, Z, \theta_x, \theta_y, \theta_z)$ 制御の数値制御プラズマCVM加工装置を開発した。

(8) プラズマ発生用の回転電極、ならびにワークテーブルの軸受には、チャンバ内のプロセスガスを作動ガスとする気体軸受を適用した。このことにより、パーティクルの発生や、潤滑油等の有機物汚染のない清浄な加工雰囲気を実現した。また、回転電極の振れ精度は約5μm、ワークテーブルの真直度はX軸で約0.1 μm、Y軸で約0.45 μmが得られた。

(9) プラズマ発生用の円盤型回転電極の表面には、プラズマ溶射により酸化アルミニウム（アルミナ）の皮膜を形成した。誘電体膜の形成により、電極表面からの二次電子放出によるアーク放電を抑制し、高密度の大気圧下において低温で安定したプラズマを維持することに成功した。また、アルミナはフッ素系の反応ガスに対して耐食性が高いので、長時間安定に電極を使用することが可能である。

(10) プロセスガス中のパーティクル、反応生成物等の不純物を除去するとともに、反応ガス濃度およびプロセスガスの温度を一定に維持する機構を有する、ガス循環精製システムを開発した。本システムを用いることにより、プロセスガスの温度変動を±0.1 ℃以内に制御することができた。

(11) プラズマに投入する電力を一定にし、加工特性を安定化させるための高周波電力供給システムの開発を行なった。本システムはインピーダンス整合用の低損失半同軸型空洞共振器、回転電極周囲の電界シールドカバーから構成される。電界シールドカバーを適用することにより、ワークテーブルの移動に伴うプロセスチャンバ内のインピーダンスの変動を抑制し、安定した電力供給を実現した。

第4章では、数値制御加工を行うための単位加工痕形状や加工量の送り速度依存等の基本加工特性について述べ、高い加工精度を得るための各種検討項目について述べた。その後、数値制御加工を行う上で極めて重要な計測方法について述べ、超薄膜SOIウエハの作製を試みた結果について述べた。以下に得られた結果をまとめる。

(1) 単位加工痕の大きさに対する、投入電力、加工ギャップ、電極回転速度の依存性を調べた結果、電極回転速度にはほとんど依存せず、投入電力が大きいほど、加工ギャップが小さいほど、加工痕形状は大きくなることが分かった。

(2) 単位加工痕の最深部の位置に対する、投入電力、加工ギャップ、電極回転速度の依存性を調べた結果、投入電力の減少、加工ギャップの増加そして電極回転速度の増加とともに最深部の位置は加工痕内の後方へ移動することが分かった。加工痕の対称性を重視し、最深部が加工痕の中央に位置する条件を最適条件とした。

(3) 加工速度がテーブルの送り速度の逆数（滞在時間）に線形比例することを確認し、送り速度制御による数値制御加工が可能であることを確認した。

(4) 体積加工速度の投入電力依存性を調べた結果、プラズマ維持下限付近の電力においては、1%オーダーの再現性を得るために、0.1W オーダーでの電力設定が必要であることが分かった。

(5) 体積加工速度の加工ギャップ依存性を調べた結果、SOI ウエハの仕上げ加工に用いるような体積加工速度が小さい条件においては、加工ギャップが 30μm 変化しただけで、最大約 3 割の体積加工速度の変化が起こりうることが分かった。

(6) 鏡面仕上げの真空チャックプレートの表面に高さ数μm 以上突起が存在すると、チャック時にウエハが撓むことにより、一部プレートとウエハの間に間隙が生じ、その部分の加工量が減少することが分かった。

(7) 全面走査加工における送りピッチの影響についてシミュレーションによって検討した結果、送りピッチを加工痕の幅の 1/20 以下に設定すれば、加工量に対して 0.5%以下の凹凸しか形成されないことが分かった。

(8) 加工前の洗浄時に除去される SOI 層の厚さについて検討した結果、洗浄によって 1 nm 前後の厚さのシリコンが除去されることが分かった。SOI 層の厚さをナノメートルオーダーで制御する必要の有る超薄膜 SOI ウエハを作製する際には、洗浄による除去量も考慮する必要があることが分かった。

(9) 一定速度送りによるウエハ全面加工を複数回行った際の加工量の再現性について検討した結果、加工バッチ間の再現性はウエハ中心部においては±0.7%、全面においては±3%程度であることが分かった。

(10) 分光エリプソメトリによって、SOI 層厚さを、±0.1 nm 以下の再現性で測定でき、30～200 nm の範囲において±5%以内の絶対精度で測定できることが分かった。

(11) SOI 層厚さが 200 nm である市販 6 インチ SOI ウエハを用いて数値制御薄膜化を試みた結果、直径 120 mm の範囲内において、SOI 層厚さを 13.0±2.0 nm まで薄膜化することに成功した。

第 5 章では、プラズマ CVM 加工ウエハのパーティクルと金属汚染評価、加工表面近傍の不純物測定を行い、MOS トランジスタの最も重要な要素である MOS 構造を試作し、その

特性評価によって、プラズマCVM加工面がMOSデバイス用基板として使用できるかどうかを検討した。以下に得られた結果をまとめる。

(1) パーティクル汚染評価、金属汚染評価を行った結果、主な汚染は装置構成部品から生じたと思われる金属微粉によるものであり、初期排気および加工ガス充填中に汚染されることが分かった。これらの金属原子は加工中にウエハ中に拡散することは無く、加工後の洗浄によって除去できることが分かった。

(2) 表面不純物元素分析を行った結果、低圧プラズマエッチングで問題となるCやFの打ち込み現象は確認されず、加工面の結晶性は良好であると考えられる。

(3) プラズマCVMによって加工を行ったバルクウエハ上にMOSダイオードを形成し、I-V、C-V特性評価を行った。その結果、特性は参照用ウエハ上に形成したMOSダイオードの特性と一致し、ゲート酸化膜やシリコンと酸化膜の界面にデバイス特性が損なわれる汚染や欠陥が、加工によってもたらされないことが確認された。つまり、プラズマCVM加工面はMOSデバイス用基板として用いることが可能であるといえる。

第6章では、数値制御プラズマCVMによって作製した超薄膜SOIウエハを用いて、高性能な超薄膜SOIデバイスを実現するための準備として、薄膜化したSOIウエハを用いたMOSトランジスタの試作を行った結果について述べた。以下に得られた結果をまとめる。

(1) プラズマCVMによって加工を行ったSOIウエハの一部にMOSFETを試作した。未加工のウエハに試作したMOSFETと比較したところ、リーク電流、サブスレッショルド係数ともに一致しており、プラズマCVM加工面は、通常のULSI用ウエハ表面と同等の品質を有していることが分かった。

(2) デバイス作製のために加工した市販8インチSOIウエハの加工後のSOI層厚さ分布は、面内の9割以上の測定箇所において、64 nm±1 nm(±1.5%)の範囲に入っており、ナノメートルオーダーで制御された数値制御加工が実現できた。また、このウエハの中央部6インチの領域に注目すると、その均一性は63.8 nm± 0.5 nm を達成しており、SOI層厚さが10 nmのSOIウエハに要求されている均一性である±0.5 nmを、本加工方法によって実現できることが確認できた。

(3) 数値制御プラズマCVMによって薄膜化した8インチSOIウエハおよび熱酸化調整によって薄膜化した8インチSOIウエハを半導体デバイス製造ラインに投入し、ウエハ全面に完全空乏型SOI MOSFETを試作した。両者のウエハ上に試作したデバイスのリーク電流、サブスレッショルド係数、しきい値ばらつきは一致しており、共に良好な値を示した。これより、プラズマCVMによって加工したSOIウエハは集積回路用基板として製造ラインにおいて問題なく使えると言え、プラズマCVMは、加工面の結晶性や清浄度を損なわない、優れた加工法であることが確認された。さらに、抵抗素子においては面内のSOI層厚さのばらつきを改善することによって抵抗値のばらつきが改善されており、プラズマCVMによって作製されるSOI層厚さの均一性に優れたSOIウエ

ハは、今後開発が待たれる超薄膜 SOI デバイス用の基板として、極めて有用と考えられる。

以上を総括すると、本研究によって得られた成果は、次の3項目に集約される。

(1) 直径8インチのウエハまで加工することが可能な、数値制御プラズマ CVM 加工システムを開発した。

(2) 数値制御プラズマ CVM によって、市販 SOI ウエハの SOI 層を 10 nm 程度まで薄膜化できることを実証した。

(3) 数値制御プラズマ CVM によって加工した8インチウエハは、半導体デバイス製造ラインで使用可能であることを実証した。

現在、SOI 層厚さが 10 nm 程度である超薄膜 SOI ウエハ上にデバイスを形成する技術は種々の要素技術を開発中の段階である。本研究によって作製可能となった超薄膜 SOI ウエハが、その性能を十分に発揮できる時が早期に到来することを願って止まない。

参考文献

1) 前川繁登：デバイスの高速化，低消費電力化を実現する SOI の最新技術動向，電子材料，1999 年 6 月号，22-30.

2) 長広恭明，木村雅秀：急速に広がる SOI　システム LSI の参加条件へ，日経マイクロデバイス，2002 年 6 月号，39-47.

3) The International Technology Roadmap For Semiconductors 2001 edition, Front End Processes, 7.

4) 特許：ラジカル反応による無歪精密加工方法，登録番号 2521127.

5) Y. Mori, K. Yamamura, K. Yamauchi, K. Yoshii, T. Kataoka, K. Endo, K. Inagaki and H. Kakiuchi : Plasma CVM (Chemical Vaporization Machining) : An Ultra Precision Machining Technique Using High-pressure Reactive Plasma, Nanotechnology, 4 (1993) 225.

6) 森 勇藏, 山内和人, 山村和也, 佐野泰久:プラズマ CVM の開発, 精密工学会誌, 66 (2000) 1280-1285.

7) W. G. Vincenti and C. H. Kruger, Jr. : Introduction to Physical Gas Dynamics,John Wiley & Sons, New York, (1965).

8) 岸野正剛 著：半導体デバイスの物理，丸善(1995).

9) 岸野正剛，小柳光正 著：VLSI デバイスの物理，丸善(1986).

10) C. G. B. Garrett and W. H. Brattain, Phys. Rev., 99 (1955) 376.

11) W. Shockley, Proc. IEEE, 40 (1952) 1365.

12) W. Fichtner, H. W. Pötzl, Int. J. Electron., 46 (1979) 33.

13) 桜井貴康 編：低消費電力，高速 LSI 技術，リアライズ (1998) 60.

14) 土屋敏章 著：SOI CMOS デバイスの基礎と応用，リアライズ (1999).

15) R. H. Dennard et al.: IEEE JSSC, SC-9 (1974) 256.

16) 堀田厚生 著：入門技術解説 半導体の基礎理論，技術評論社 (2000)255.

17) H. S. Lee: Solid State Electron., 16 (1973) 1407.

18) S. Ogura, et al.: IEEE Trans. Electron Devices, ED-27 (1980) 1359.

19) K. Kim, H-S. Kim, and J. W. Park: ECS Proc., 96-3 (1996) 382.

20) T. C. May and M. H. Woods: IEEE Trans. Electron Devices, 26 (1979)2.

21) W. R. McKee et al.:IEEE Int. Reliability Physics Symp.,(1996) 1.

22) 大見忠弘，新田雄久監修：SOI の科学，リアライズ (2000) 第 3 章.

23) K. Ueda, K. Nii, Y. Wada, I. Takimoto, S. Maeda, T. Iwamatsu, Y. Yamaguchi, S. Maegawa, K. Mashiko, and H. Hamano: IEEE ISSCC, San Francisco (1997) 288.

24) 米丸政司，豊岡　有，生田英二，新井博昭，仲　敏男，上田多加志，鍵沢　篤：シャープ技報，71 (1998) 35.

25) 日経マイクロデバイス，2002 年 6 月号，52-55.

26) 日経マイクロデバイス，2002 年 6 月号，48-51.

27) Y. Omura, K. Kurihara, Y. Takahashi, T. Ishiyama, Y. Nakajima, and K. Izumi: IEEE Electron Devices Lett., 18 (1997) 190.

28) S. Takagi, J. Koga, and A. Toriumi: IEDM International Electron Devices Meeting (1997) 219.

29) H. M. Manasevit, and W. I. Simpson, J. Appl. Phys., 35 (1964) 1349-1351.

30) H. I. Smith, and D. C. Flanders: Appl. Phys. Lett., 32 (1978) 349.

31) K. Imai: Solid-State Electron., 24 (1981) 159.

32) M. W. Geis, D. A. Antoniadis, D. J. Silversmith, R. W. Mountain, and H. I. Smith: Appl. Phys. Lett., 37 (1980) 454.

33) B. R. Appleton, and G. K. Celler, Eds.: Laser and Electron Beam Interactions with Solids, North-Holland, New York (1982).

34) T. Yonehara, Y. Nishigaki, H. Mizutani, S. Kondoh, K. Yamagata, T. Noma, and T. Ichikawa: Appl. Phys. Lett., 52 (1998) 1231.

35) K. Izumi, M. Donken, and H. Ariyoshi, Electron. Lett., 14 (1987) 593.

36) S. Nakashima and K. Izumi: J. Mater. Res., 8 (1993) 523.

37) S. Nakashima, T. Katayama, Y. Miyamura, A. Matsuzaki, M. Kataoka, D. Ebi, M. Imai, K. Izumi, and N. Ohwada: J. Electrochem. Soc., 143 (1996) 244.

38) M. Shimbo, F. Furukawa, F. Fukuda, and K. Tanazawa, J. Appl. Phys., 60 (1986) 2987.

39) J. B. Lasky, Appl. Phys. Lett., 48 (1986) 78.

40) P. B. Mumola, G. J. Gardopee, T. Ferg, A. M. Ledger, P. J. Clapis and P. E. Miller : Proc. 2nd Int. Symp. On Semiconductor Wafer Bonding Science, Technology, and Applications (The Electrochem. Soc.), Pennington, NJ, PV93-29 (1993) 410.

41) P. B. Mumola, G. J. Gardopee, D. P. Mathur, and O. Siniaguine: Proc. 3rd Int. Symp. On Semiconductor Wafer Bonding Science, Technology, and Applications (The Electrochem. Soc.), Reno, PV95-7 (1995) 28.

42) A. Van Veen, et al.: MRS Symposium Proceedings, 107 (1988) 449.

43) M. Bruel: Electron. Lett., 31 (1995) 1201.

44) T. Yonehara, K. Sakaguchi, and N. Sato: Appl. Phys. Lett., 64 (1994) 2108.

45) D. W. Sweeney, R. Hudyma, H. N. Chapman and D. Shafer, Proc. SPIE 3331 (1998) 2.

46) 森 勇藏, 津和秀夫, 杉山和久：EEM (Elastic Emission Machining) の基礎研究 (第1報)－極微小弾性破壊の概念とその可能性－, 精密機械, 43 (1977) 542.

47) 森 勇藏, 井川直哉, 奥田徹, 杉山和久：EEM (Elastic Emission Machining) による超精密数値制御加工法, 精密機械, 46 (1980) 1537.

48) 森 勇藏, 山内和人, 遠藤勝義：極限精密加工技術, 精密工学会誌, 57 (1991) 36.

49) 松永正久, 井田一郎, 小川智哉, 高須新一郎編：エレクトロニクス用結晶材料の精密加工技術,サイエンスフォーラム (東京) (1985) 577-584.

50) J. W. Coburn and Harold F. Winters : Plasma Etching – A Discussion of Mechanisms, J. Vac. Sci. Technol., 16 (1979) 391-403.

51) G. S. Oehrlein, R. M. Tromp, J. C. Tsang, Y. H. Lee and E. J. Petrillo : Near-Suface Damage and Contamination after CF_4/H_2 Reactive Ion Etching of Si, J. Electrochem. Soc. 132 (1985) 1441-1447.

52) X. C. Mu, S. J. Fonash, G. S. Oehrlein, S. N. Chakravarti, C. Parks and J. Keller：A Study of $CC\ell F_3/H_2$ Reactive Ion Etching Damage and Contamination Effects in Silicon, J. Appl. Phys. 59 (1986) 2958-2967.

53) K. Kurosawa, Y. Horiike, H. Okano and K. Okamura, Proc. of 2nd Symp. on Dry Process (IEE of Japan), Tokyo (1980) 43.

54) 森　勇藏, 佐野泰久, 木山精一, 中野真吾, 堂本洋一, 山本恵章, 津田信哉, 中野昭一：プラズマＣＶＭ法による集積型ａ－Ｓｉ太陽電池の高速パターニングに関する研究（I），1995 年春季第 42 回応用物理学関係連合講演会講演予稿集, (1995) 850.

55) 森　勇藏，佐野泰久，木山精一，中野真吾，堂本洋一，山本恵章，津田信哉，中野昭一：集積型ａ－Ｓｉ太陽電池のプラズマＣＶＭ法による高速パターニングに関する研究」，精密工学会 1995 年度関西地方定期学術講演会講演論文集，(1995) 9-10.

56) 中野真吾，篠原　亘，堂本洋一，平野　均，樽井久樹，木山精一，津田信哉，佐野泰久，山村和也，森　勇藏：プラズマＣＶＭによる集積型ａ－Ｓｉ太陽電池の高速パターニングに関する研究（II）」,1996 年秋季第 57 回応用物理学関係連合講演会講演予稿集，(1996) 740.

57) 中野真吾，堂本洋一，平野　均，樽井久樹，木山精一，中野昭一，佐野泰久，山村和也，森　勇藏：プラズマＣＶＭによる集積型ａ－Ｓｉ太陽電池の高速パターニングに関する研究，1997 年度精密工学会秋季大会学術講演会講演論文集，(1997) 190.

58) 中野真吾，堂本洋一，平野　均，樽井久樹，木山精一，佐野泰久，山村和也，森　勇藏：プラズマＣＶＭによる集積型ａ－Ｓｉ太陽電池の高速パターニングに関する研究（III）,1998 年春季第 45 回応用物理学関係連合講演会講演予稿集，(1998) 917.

59) 中野真吾，堂本洋一，平野　均，樽井久樹，木山精一，津田信哉，中野昭一，佐野泰久，山村和也，森　勇藏：集積型ａ－Ｓｉ太陽電池のプラズマＣＶＭによる高速パターニングに関する研究（II）―プラズマ発生領域の制御による加工領域の微小化―,1998 年度関西地方定期学術講演会講演論文集，(1998) 3.

60) Shingo NAKANO, Yoichi DOMOTO, Hisaki TARUI, Seiichi KIYAMA, Yasuhisa SANO, Kazuya YAMAMURA and Yuzo MORI：High-speed Patterning of Integrated-Type a-Si Solar Cell Submodules by Plasma CVM」, Proceedings of the 9th International Conference on Production Engineering, Osaka (1999) 543-548.

61) K.Nemoto, T.Fujii, N.Goto, H.Takino, N.Shibata, K.Yamamura, Y.Mori：Mirror Fabricated with Nonaxisymmetric Surface Profile for Laser Beam Forming and Wavefront Correction, CLEO'96, CtuT7, (1996)

62) K.Nemoto, T.Fujii, N.Goto, H.Takino, T.Kobayashi, N.Shibata, K.Yamamura, Y.Mori：Influence of Fabrication Precision on Laser Beam Forming by Fabricated Optics」,3rd LBOC, (1996)

63) Koshichi Nemoto, Takashi Fujii, Naohiko Goto, Hideo Takino, Teruki Kobayashi, Norio Shibata, Kazuya Yamamura, Yuzo Mori：Laser beam intensity profile transformation with a fabricated mirror」,Appl. Opt., 36 (1997) 551-557.

64) 瀧野日出雄，柴田規夫，伊藤博，小林輝紀，田中宏明，海老正美，山村和也，森　勇藏：プラズマＣＶＭによる光学面の創成―第１報：パイプ電極を用いた数値制御プラズマＣＶＭ装置の開発―，1997

年度精密工学会秋季大会学術講演会講演論文集，(1997) 187.

65) 瀧野日出雄，柴田規夫，伊藤博，小林輝紀，田中宏明，海老正美，谷口美樹，山村和也，佐野泰久，森勇藏：プラズマＣＶＭによる光学面の形状創成—第２報:パイプ電極プラズマＣＶＭ装置による非球面加工，1998 年度精密工学会春季大会学術講演会講演論文集，(1998) 513.

66) Hideo Takino, Norio Shibata, Hiroshi Itoh, Teruki Kobayashi, Hiroaki Tanaka, Masami Ebi, Kazuya Yamamura, Yasuhisa Sano and Yuzo Mori : Plasma Chemical Vaporization Machining (CVM) for Fabrication of Optics, Jpn.J.Appl.Phys.37 (1998) L894-L896.

67) Hideo Takino, Norio Shibata, Hiroshi Itoh, Teruki Kobayashi, Hiroaki Tanaka, Masami Ebi, Kazuya Yamamura, Yasuhisa Sano and Yuzo Mori : Computer numerically controlled plasma chemical vaporization machining using a pipe electrode for optical fabrication, Appl. Opt., 37 (1998) 5198-5210.

68) 瀧野日出雄，柴田規夫，伊藤博，小林輝紀，伊藤　博，根本幸七，藤井　隆，後藤直彦，山村和也，佐野泰久，森　勇藏：マイクロ電極を用いたプラズマ CVM による複雑形状光学面の創成加工，1999 年度精密工学会春季大会学術講演会講演論文集，(1999) 422.

69) Hideo TAKINO, Norio SHIBATA, Teruki KOBAYASHI, Hiroshi ITOH, Hiroaki TANAKA, Akihiro KOIKE, Katsuhiko NAKANO, Kazuya YAMAMURA, Yasuhisa SANO and Yuzo MORI : Plasma Chemical Vaporization Machining with a Pipe Electrode for Large Optics, Proceedings of the 9th International Conference on Production Engineering, Osaka (1999) 219-224.

70) 瀧野日出雄，柴田規夫，伊藤博，小林輝紀，田中宏明，海老正美，山村和也，佐野泰久，森勇藏：パイプ電極プラズマ CVM による光学平面の創成加工，精密工学会誌，65(1999)，1650-1651.

71) 瀧野日出雄，荒　健一，柴田規夫，山村和也，佐野泰久，森　勇藏：先端半球ロッド電極を用いたプラズマ CVM による光学面の加工，2000 年度精密工学会春季大会学術講演会講演論文集，(2000) 191.

72) 森　勇藏，山内和人，山村和也，佐野泰久：Plasma CVM(Chemical Vaporization Machining)における NC 加工に関する研究　—NC 加工用高速回転電極の試作とその加工特性—，1996 年度精密工学会春季大会学術講演会講演論文集，(1996) 1141-1142.

73) 森　勇藏，山内和人，山村和也，佐野泰久：Plasma CVM(Chemical Vaporization Machining)における切断加工に関する研究　—切断加工用高速回転電極の試作とその加工特性—，1996 年度精密工学会春季大会学術講演会講演論文集，(1996) 1143-1144.

74) 森　勇藏，山内和人，山村和也，佐野泰久：Plasma CVM(Chemical Vaporization Machining)におけるポリシング加工に関する研究（第１報）—ポリシング加工用高速回転電極の試作とその加工特性—，1996 年度精密工学会春季大会学術講演会講演論文集，(1996) 1145-1146.

75) 森　勇藏，山村和也，佐野泰久，石川俊夫，岡本利樹，足立真士：数値制御プラズマＣＶＭ加工装置の開発(第１報)，1997 年度精密工学会秋季大会学術講演会講演論文集，(1997) 186.

76) Yuzo MORI, Kazuya YAMAMURA and Yasuhisa SANO : Development of Numerically Controlled Plasma CVM(Chemical Vaporization Machining) System for Fabrication of Ultra Precision Optical Devices, Proceedings of the 9th International Conference on Production Engineering, Osaka (1999), 213-218.

77) Yuzo MORI, Kazuya YAMAMURA and Yasuhisa SANO : Slicing of Functional Materials by

Plasma CVM(Chemical Vaporization Machining), Proceedings of the 9th International Conference on Production Engineering, Osaka (1999), 225-230.

78) M. J. Druyvesteyn and F. M. Penning : Rev. Mod Phys. 12 (1940) 87-174.

79) 山内和人, 杉山和久, 稲垣耕司, 山村和也, 佐野泰久, 森 勇藏 : SPV (Surface Photo-voltage) スペクトロスコピーによる超精密加工表面評価法の開発, 精密工学会誌, 66, 4, (2000) 630-634.

80) K. Germanova et al. : An improved Apparatus for Surface Photovoltage Studies with a Bi-morphous Piezoelectric Kelvin Probe, J. Phys. E : Sci. Instruments 20 (1987) 73.

81) G.D.Watkins and J.W.Corbett : Defects in Irradiated Silicon. I. Electron Spin Resonance of the Si-A Center, Phys. Rev., 121 (1961) 1001.

82) J. W. Corbett, G. D. Watkins, R. M. Chrenko and R.S.McDonald : Defects in Irradiated Silicon. II. Infrared Absorption of the Si-A Center, Phys. Rev., 121 (1961) 1015.

83) 瀧野日出雄, 小林輝紀, 山本貴広, 柴田規夫, 五明由夫, 杉崎克巳 : 2000 年度精密工学会秋季大会学術講演会講演論文集 (2000) 477.

84) M. Fruit, A. Schindler and T. Hänsel : Ion Beam Figuring of SiC Mirrors Provides Ultimate WFE Performances for Any Type of Telescope, Proc. SPIE 3739 (1999) 142-154.

85) A. Schindler : 9th International Conference on Production Engineering (1999) Osaka での発表から.

86) M. Weiser : Quantitative investigations of the removal of glass material by low energy ion beams with the use of optical interferometry, Nucl. Instrum. Methods B80/81 (1993) 1174-1177.

87) K. B. Becker : Fabrication Technologies for "Perfect" Optics, Proceedings of 9th International Conference on Production Engineering (1999) 51-60.

88) M. Weiser, J. Fröschke, H. Handschuh, M. Jülich, M. Mayer and G. Seitz : Aspherical Surfaces at 100pm Accuracy, Proceedings of 9th International Conference on Production Engineering (1999) 61-66.

89) G. Derst, H. Handschuh, M. Schmit and K. Werner : Fabrication and Metrology of high quality synchrotron mirrors in the sub-arcsec regime, Proc. SPIE 3152 (1997) 51-58.

90) 安藤学, 根岸真人, 瀧本雅文, 出口明信, 嶋崎忠弘, 中村宣夫, 鳴海廣治, 山本碩徳 : 超平滑研磨技術の開発 (第 6 報) - 非球面光学素子の加工, 1994 年度精密工学会秋季大会学術講演会講演論文集 (1994) 709-710.

91) 片桐創一, 伊東昌昭, 瀬谷英一, 森山茂夫 : 加工力の動的制御による非球面ミラーの加工, 1996 年度精密工学会秋季大会学術講演会講演論文集 (1996) 69-70.

92) 新宮克喜, 安平宣夫, 上田修治 : 三次元曲面光学部品の精密加工技術, National Technical Report 39 (1993) 26-32.

93) 山下一博, 笹子勝, 野村登, 新宮克喜, 持田省郎, 上田修治 : 超精密生産技術大系 第 2 巻 実用技術 フジ・テクノシステム (東京) (1994) 1005-1010.

94) 鈴木浩文, 原成一, 松永博之 : 非球面創成研磨に関する研究 - 研磨措置の開発 - , 精密工学会誌 59 (1993) 1713-1718.

95) 鈴木浩文, 小寺直, 島野裕樹 : 非球面創成研磨に関する研究 (第 2 報) - 非軸対象非球面形状の研磨

加工－，精密工学会誌 60 (1994) 827-831.

96) 鈴木浩文，小寺直，中筋智明，太田努，庄司克雄：単結晶 Si レンズの非球面創成研磨に関する研究，精密工学会誌 63 (1997) 1280-1284.

97) D. Flamm, T. Hänsel, A. Schindler, A. Nickel and H. J. Thomas：Reactive Ion Beam Etching – a Fabrication Process for the Figuring of Precision Aspheric Optical Surfaces in Fused Silica, Proc. SPIE 3739 (1999) 167-175.

98) D. Bollinger, G. Gallatin, J. Samuels, G. Steinberg, C. Zarowin：Rapid, Non-Contact Optical Figuring of Aspheric Surfaces with Plasma Assisted Chemical Etching (PACE), Proc. SPIE 1333 (1990) 44-57.

99) Steven J. Hoskins：Aspheric surface figuring of fused silica using plasma assisted chemical etching, Proc. SPIE 2542 (1995) 220-230.

100) G. Boehm, W. Frank, A. Schindler, A. Nickel, H. J. Thomas, F. Bigl and M. Weiser：Plasma Jet Chemical Etching – a Tool for the Figuring of Optical Precision Aspheres, Proceedings of 9th International Conference on Production Engineering (1999) 231-236.

101) S. D. Jacobs, D. Golini, Y. Hsu, B. E. Puchebner and D. Strafford：Magnetorheological finishing：a deterministic process for optics manufacturing, Proc. SPIE 2576 (1995) 372-382.

102) W. Kordonski, D. Golini, P. Dumas and S. Hogan：Magnetorheological suspension-based finishing technology, Proc. SPIE 3326 (1998) 527-535.

103) D. Golini：Precision Optics Manufacturing Using Magnetorheological Finishing (MRF), Proceedings of 9th International Conference on Production Engineering (1999) 132-137.

104) O. W. Fähnle, H. van Brug and H. J. Frankena：Fluid jet polishing of optical surfaces, Appl. Opt. 37 (1998) 6771-6773.

105) F. W. Preston：The theory and design of plate glass polishing machines, J. Soc. Glass Technol., 11 (1927) 214-256.

106) R. Aspden, R. McDonough and F. R. Nitchie, Jr：Computer Assisted Optical Surfacing, Appl. Opt., 11 (1972) 2739-2747.

107) 根岸真人，安藤学，瀧本雅文，出口明信，中村宣夫：非球面光学素子の超平滑研磨技術に関する研究（第２報）－修正研磨における滞留時間の計算方法－，精密工学会誌, 62 (1996) 408-412.

108) Koyo ENGINEERING JOURNAL, 145 (1994) 12-23.

109) 山元賢二，林田一徳，西村允：Koyo ENGINEERING JOURNAL, 145 (1994) 110-116.

110) 十合晋一：気体軸受 －設計から製作まで－，共立出版 (1984).

111) 大阪富士工業株式会社のパンフレットより

112) UCS 半導体基盤技術研究会編：超高純度ガスの科学，Surface Science Technology Ser. No.2，リアライズ社 (1993).

113) 大見忠弘 編著:ガスサイエンスが拓くプロダクトイノベーション，リアライズ社 (1996).

114) 中島将光：マイクロ波工学，森北出版 (1986).

115) N. Marcuvitz：Principles of Microwave Circuits，McGraw-Hill (1951) Chap.8.

116) N. Marcuvitz：Waveguide Handbook.，McGraw-Hill (1951).

117) Tadahiro Ohmi :Total Room Temperature Wet Cleaning for Si Substrate Surface, J. Electrochem. Soc., 143 (1996) 2957-2964.

118) 日本電子工業振興協会：SOI ウェーハ標準仕様（JEIDA-50-1998）

119) UCS 半導体基盤技術研究会 編、大見忠弘、新田雄久 監修：SOI の科学、リアライズ社 (2000) 第 3 章第 4 節.

120) A. O. Adan et al. :Channel-Drain Lateral Profile Engineering for Advances CMOS on Ultra-Thin SOI Technology, IEEE Intern. SOI Conf., (1996) p.101.

121) K. Azuma et al. :Application of Ti salicide process on ultra-thin SIMOX wafer, IEEE Intern. SOI Conf., (1995) p.30.

122) A. O. Adan, T. Naka, S. Kaneko, D. Urabe, K. Higashi, Y. Fukushima, S. Takamatsu, S. Hideshima, and A. Kagisawa : An Advanced Shallow SIMOX/CMOS Technology for High Performance Portable Systems, IEICE Trans. Electron., E80-C (1997).

謝辞

本研究を遂行するにあたり、終始御指導、御鞭撻を賜りました大阪大学大学院工学研究科 森　勇藏教授に深甚の謝意を表します。また、本論文をまとめるにあたり、その内容について御検討いただくとともに、懇篤なる御校閲ならびに適切なる御教示を賜りました、大阪大学大学院工学研究科 森田瑞穂教授、山村和也助教授に心より感謝の意を表します。また、数々の御教示を賜りました、大阪大学大学院工学研究科 芳井熊安教授、片岡俊彦教授、広瀬喜久治教授、青野正和教授、遠藤勝義教授、梅野正隆教授（現 福井工業大学）に厚く感謝の意を表します。

本研究を遂行する過程において、終始適切な御指導、御助言を賜りました大阪大学大学院工学研究科 山内和人助教授、垣内弘章助教授、安武　潔助教授、後藤英和助教授、中野元博助教授、島田尚一助教授、桑原裕司助教授、有馬健太助手、稲垣耕司助手、打越純一助手、竹内昭博氏、高知工業高等専門学校機械工学科 杉山和久教授、大阪電気通信大学工学部電子機械工学科 安　弘教授に心から感謝の意を表しますとともに、多くのご指導を賜りました精密科学教室の諸先生方に深く感謝いたします。

数値制御プラズマ CVM 加工システムの開発において多大なる御協力をいただきました、明昌機工株式会社 赤田浩三社長、岡本利樹氏、足立真士氏、セントラルエンジニアリング株式会社 市丸広志氏、大阪富士工業株式会社 吉江茂樹氏、西河　中氏、三井英伯氏、株式会社田中製作所 田中宏明社長、田中真史氏、株式会社竹内電化 内海秀夫氏、岩崎彰夫氏に深く感謝の意を表します。また、本研究を遂行する過程において、適切なる御助言と御協力をいただきました、科学技術振興事業団兵庫研究室研究主任 石川俊夫氏、ならびに財団法人大阪科学技術センター プラズマ CVM 応用技術研究会殿に深く感謝の意を表します。

加工面のデバイスによる評価におきまして多大なる御協力および御指導を賜りました、東北大学未来科学技術共同研究センター 大見忠弘教授、東北大学大学院工学研究科 須川成利教授、小谷光司助教授に深く感謝いたしますとともに、評価実施におきまして労を惜しまず御協力いただきました、斉藤祐司氏、大嶋一郎氏、北野真史氏をはじめとする東北大学大見研究室の修了生ならびに在籍中の関係諸兄諸氏に深く感謝いたします。

8 インチ SOI ウエハへのデバイス試作におきまして多大なる御協力をいただきました、シャープ株式会社 IC 事業本部 和田栄氏、古宮秀雄氏、川村昭男氏、沖　一郎氏、伊左次晃司氏、五月女栄宏氏をはじめとする関係諸氏に深く感謝致します。

なお、本研究の一部は、科学技術振興事業団ならびに文部省科学研究費補助金（COE 形成基礎研究費 08CE2004）の援助を受けて行われました。ここに深く感謝いたします。

また、本研究の実施にあたり御協力をいただきました川嶋祥之氏、上島洋輝氏、秋原孝氏をはじめとする大阪大学大学院工学研究科精密科学専攻森研究室の修了生ならびに在籍中の諸氏に、そして同森田研究室修了生の岡崎達也氏、奥山敦氏、在籍中の森田諭氏、篠崎昭仁氏に、心から感謝いたします。

最後に、大学における日々の研究活動において、両親と妻子の終始変わらぬ暖かい励ましがあったことを記し、感謝いたします。