

Title	高速論理回路素子とその応用に関する研究
Author(s)	大村, 皓一
Citation	
Issue Date	
Text Version	none
URL	<a href="http://hdl.handle.net/11094/29600">http://hdl.handle.net/11094/29600</a>
DOI	
rights	
Note	

*Osaka University Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名・(本籍)	大 村 皓 一 おおむらこういち
学位の種類	工 学 博 士
学位記番号	第 1 4 2 1 号
学位授与の日付	昭 和 4 3 年 3 月 2 8 日
学位授与の要件	工 学 研 究 科 通 信 工 学 専 攻 学 位 規 則 第 5 条 第 1 項 該 当
学位論文名	高 速 論 理 回 路 素 子 と そ の 応 用 に 関 す る 研 究
論文審査委員	(主査) 教 授 喜 田 村 善 一 (副査) 教 授 青 柳 健 次 教 授 笠 原 芳 郎 教 授 板 倉 清 保 教 授 加 藤 金 正 教 授 牧 本 利 夫 教 授 藤 沢 和 男 教 授 宮 脇 一 男 教 授 尾 崎 弘

### 論 文 内 容 の 要 旨

本論文は、高速論理回路素子とその応用に関する研究を6章にまとめたものである。

第1章は、高速デジタル回路技術の発展と現状を概観し、問題点を述べて本研究の立場を明らかにし併せてその概略を紹介している。

第2章では、トランジスタ (TR) デジタル回路動特性解明の基礎となる、TR 過渡応答解析法としての電荷制御法を TR の非線形性を考慮し得るように拡張することを述べている。ここでは合金接合形 TR を対象に注入効率低下、電界効果、ベース幅変調等非線形性の主な原因を電荷制御定数と結びつけ、その動作点依存性を明らかにし、さらに動作点依存性の小さな新しいパラメータを定義し測定法を与えている。またこの非線形電荷制御モデルによるスイッチ時間評価法を与え、実測と比較して解析の妥当性を確かめている。

第3章では、ヒステリシスをもつしきい値論理素子として特徴づけられる、TR とエサキダイオード (ED) を組合せた形式の新しい高速論理基本回路 (EDTL) を提案している。まず、回路構成、特長、論理機能を述べ、回路の最悪値直流設計法を与え、アナログシミュレーションによって回路過渡応答への各素子パラメータの影響を明らかにし、さらに実験的にその高速性、安定性を確かめている。

第4章は、EDTL を利用する高速パルス回路の構成と実験について述べている。まず基本回路を電磁遅延線と組合せた新しい高速単安定回路の構成、つづいて種々の形式の高速計数回路の構成をそれぞれ提案し、実験によってこれらは従来のものにくらべ高速性、安定性、実装上の問題等の点ですぐれた特長をもつことを明らかにしている。

第5章では、高速デジタル回路に適するいわゆる Speed-Independent 論理方式デジタル回路を回路的立場から検討している。まず基本的な非同期式情報伝送路 (非同期遅延線) をとりあげこれを

Hazard なしの論理回路で実現する方向から考察し，2，3 の実際的回路構成を与え，とくに EDTL によれば高速化，単純化し得ることを実験例と併せて述べている。さらに非同期遅延線が直列形エラストイック記憶装置に適することを指摘し，この応用における非同期遅延線の動特性を明らかにしている。また情報の順序変換機能をもつ非同期遅延線を提案し PCM 交換用 Delay Cord への応用を述べ，最後に応答信号を用いる非同期式計算機制御回路の構成を検討し，これが EDTL を利用して高速，単純化できることを述べている。

第6章では，本論文の成果を総括的に検討し今後の課題を述べて結論としている。

## 論文の審査結果の要旨

本論文の成果を要約すれば，以下のごとくである。

まず，合金接合形トランジスタを対象とし，その非線形性を考慮しうるように電荷制御法を拡張することを述べ，高速論理回路の解析に不可欠である，トランジスタの大振幅過渡応答解析に新しい手法を提供している。

つづいて，エサキダイオードとトランジスタを組合せた論理基本回路の新しい機能を見出し，これをヒステリシスをもつしきい値論理素子として特徴づけ，その設計法を提案し実験とあわせてこれがきわめて高速かつ実用的な回路であることを検証している。

さらに，この論理基本回路の応用について考察し，新しい高速単安定回路，高速計数回路の構成を見出している。これらの応用は，基本回路の高速性を利用するとともに高速度動作が容易になるよう構成されており，とくに計数回路の実験結果によれば現在わが国で実用的に得られているもっとも高速の計数回路となっている。

また，さきの論理基本回路が多数決論理素子あるいはゲート論理形式を用いても実現されることを考察し，半導体集積回路による実現に適した形式の回路であることをあきらかにしている。

最後に，将来の情報処理の高速化のために必須の手段であると見られる非同期式情報伝送処理にさきの論理基本回路がきわめて適当したものであることを指摘し，特色ある非同期式情報遅延線および電子計算機制御回路の構成法をあきらかにし，その実験結果をのべている。

以上のべたごとく，本論文は情報処理装置に用いられる基本論理回路の高速化の手段およびその応用回路について新しい着想を実用化の段階にまで到達せしめたものであって，超高速情報伝送・処理の技術の分野に貢献するところが大である。

よって本論文は博士論文として十分な価値があるものと認める。