

Title	FET直接位相再生器の設計法
Author(s)	小牧, 省三; 栗田, 修; 目見田, 正
Citation	電子情報通信学会論文誌. B. 1978, J61-B(10), p. 896-903
Version Type	VoR
URL	<a href="https://hdl.handle.net/11094/3131">https://hdl.handle.net/11094/3131</a>
rights	copyright©1978 IEICE
Note	

*Osaka University Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/>

Osaka University

## FET 直接位相再生器の設計法

正 員 小 牧 省 三<sup>†</sup>      正 員 栗 田 修<sup>†</sup>      正 員 目 見 田 正<sup>†</sup>

## FET Direct Phase Regenerator Design

Shozo KOMAKI<sup>†</sup>, Osamu KURITA<sup>†</sup> and Tadashi MEMITA<sup>†</sup>, Regular Members

あらまし 本論文ではひ素ガリウム電界効果トランジスタ (GaAs MES FET) を用いた直接位相再生器について、ゲートバイアスに対する局部発振波電力、利得ならびにゲート電流の関係を明らかにし、局部発振波電力を最小にするゲートバイアスが存在することを示す。又、FET 等価回路定数と直接位相再生器諸特性の関係を示し、直接位相再生器に適した FET の選定法を明らかにする。解析の結果を用いた直接位相再生器の設計法について考察し、その設計例を示した。試作を行った結果、実験で得られた諸特性は理論値から予想される値に等しく、設計法が妥当であることを確認した。最後に、本試作器を用いた動特性の実測によって、クロック周波数 200MHz の PSK 波に対して良好な位相再生効果が得られることを示した。

## 1. ま え が き

本論文は FET を用いた直接位相再生器の設計法を述べたものである。デジタル位相変調波 (PSK 波) の中継には、従来、受信波を検波した後、識別・再生し、変調器を用いて再び PSK 波を得る検波再生方式が広く使用されている。これに対し、受信波を搬送波のまま識別・再生することが可能な直接位相再生器を使用すれば、検波器、変調器が不要となり、中継器の小形化・簡易化を図ることができる。

直接位相再生器にはこれまで、エサキダイオードなどを用いたパラメトリック増幅器が使用されてきた<sup>(1)~(5)</sup>。これに対し、3 端子素子であり近年マイクロ波領域増幅素子として実用化が進んでいるひ素ガリウム電界効果トランジスタ (GaAs MES FET) を用いれば、入出力信号の分離が容易な直接位相再生器を実現できることが分かり、原理的動作の確認が行われている<sup>(6)</sup>。

FET 直接位相再生器は、入力信号 (位相を  $+\phi$  と表示すると、それと同期し、一定位相を有する 2 通倍搬送波とをゲート接合の非線形を用いて周波数混合し、差周波数信号 (位相は  $-\phi$  となる) を発生させ、 $+\phi$  位相および  $-\phi$  位相を有する信号の振幅を等しくするこ

とによって実現できる。従って、2 信号を等しくするという条件の下に FET 混合器を設計する必要があるが、このような場合についての検討はこれまで十分にされていない。

そこで本論文では、まず FET 等価回路を用いた解析を行い、FET 直接位相再生器のゲートバイアス電圧に対する所要局部発振波電力、ゲート電流、利得の関係を明らかにする。次にこれらの関係を用い、設計法について考察し、実際の FET を用いた設計例を示す。

## 2. FET 直接位相再生器の特性

FET を用いた 2 相直接位相再生器は、雑音などによって生じる信号中の 0 及び  $\pi$  以外の位相成分を除去する部分 (以下位相リミタと呼ぶ) と、その際生ずる振幅変動を除去する振幅リミタとから構成される。本論文においては位相リミタに関して解析を行う。

FET 位相リミタの構成例を図 1 に示す。図において、ゲート端子には入力信号および局部発振波となる 2 通倍波を印加し、ゲート・ソース間にあるショットキー接合を利用して周波数混合を行い、差周波数信号  $V_{\phi}$  を発生させる。この信号は、ゲートにかかる入力信号成分  $V_{i\phi}$  に対し、周波数は同じであるが位相が逆転している。 $V_{i\phi}$ 、 $V_{\phi}$  は同時に増幅され、ドレイン端子から取り出される。その際、両信号の振幅を等しくすると、出力位相は 0 あるいは  $\pi$  に固定され位相リミ

<sup>†</sup> 電電公社横須賀電気通信研究所、横須賀市  
Yokosuka Electrical Communication Laboratory, N. T. T.,  
Yokosuka-shi, 238-03 Japan  
論文番号: 昭 53-513[B-142]

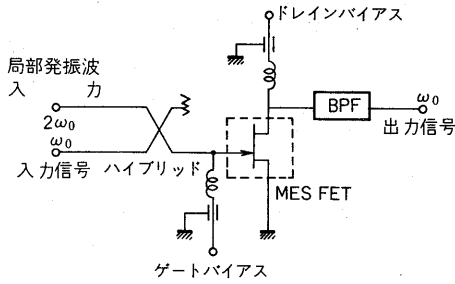


図1 FETを用いた位相リミタ  
Fig.1-Phase limiter using an MES FET.

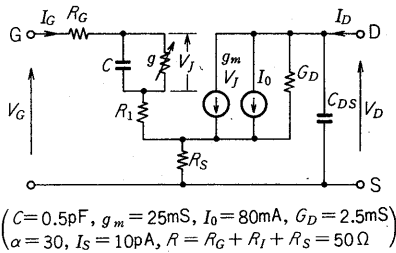


図2 FETの等価回路  
Fig.2-MES FET phase limiter equivalent circuits.

タが実現できる。

さて、FET位相リミタの動作を図2のFET等価回路を用いて解析する(付録A・1参照)。FET位相リミタはゲートバイアスを正の領域で動作させるため、ゲート接合を接合容量Cと接合コンダクタンスgの並列回路で表す。又、解析を容易にするため容量変化を無視する。接合電圧が零の場合のドレイン電流を $I_0$ で示す。 $I_0$ を等価回路に入れた理由は、 $I_0$ 及び $R_S$ によるゲートバイアスへの帰還効果を考慮して解析を行うためである。

図2に示した等価回路定数を用いて、接合電圧 $V_{+φ}$ 、 $V_{-φ}$ を求めた結果を図3に示す。図から接合局部発振波電圧 $V_1$ の増加に従い $V_{-φ}$ は増加し、ある値(ここでは $V_1 = 0.7V$ )で最大となり、更に $V_1$ を増加すると $V_{+φ}$ が減少することが分かる。又、 $V_{+φ}$ は $V_1$ の増加と共に単調に減少し、 $V_1 = 0.7V$ より若干高い電圧で $V_{+φ}$ 、 $V_{-φ}$ が一致し、この領域で位相リミタが実現できる。更に $V_1$ を増加した場合、同様に位相リミタを実現できるが、変換損が増加し不利になることが分かる。従って、位相リミタを実現する場合には、十分な位相再生効果を得る範囲内でできる限り低い $V_1$ を選ぶことが望ましい。一方、位相再生効果は、振幅比 $m = V_{+φ}/V_{-φ}$ によって表示することができ、 $0.95 \leq m \leq 1.05$ で良好な位相

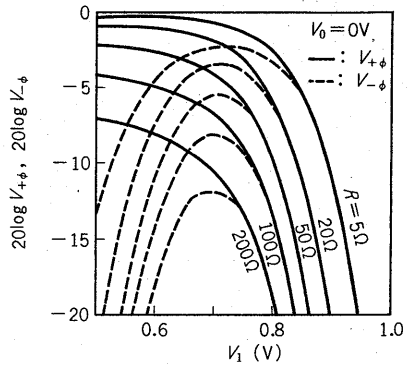


図3 接合電圧 $V_{+φ}$ 、 $V_{-φ}$   
Fig.3-Junction voltage  $V_{+φ}$ 、 $V_{-φ}$ .

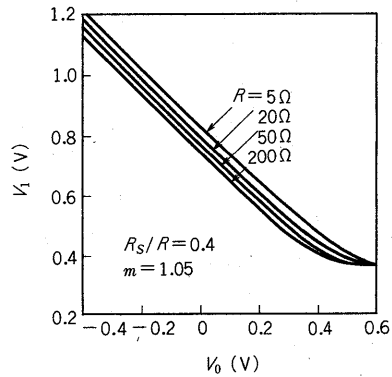


図4 FET位相リミタの接合バイアス電圧 $V_0$ と接合局部発振波電圧 $V_1$ との関係  
Fig.4-Relation between  $V_0$  and  $V_1$ , when  $m = 1.05$ .

再生効果を得ることができることが明らかにされている<sup>(6)</sup>。このため、以下では $m = 1.05$ の位相リミタに関して解析を行う。

図3では接合バイアス電圧 $V_0$ を固定し接合局部発振波電圧 $V_1$ を変数と仮定したが、逆に $V_1$ を固定し $V_0$ を変化した場合にも図3と同様な特性が得られ<sup>(6)</sup>、ある $V_0$ で $m = 1.05$ となる。すなわち、位相リミタの接合バイアス $V_0$ と局部発振波電圧 $V_1$ にはある関係が存在し、独立に選ぶことができない。例えば図4には、 $m = 1.05$ の位相リミタにおける $V_0$ と $V_1$ の関係を示すが、図から $V_1 > 0.4V$ の領域では $V_0 + V_1$ が一定となることが分かる。又、抵抗 $R$ (ゲート・ソース間抵抗 $R_G + R_I + R_S$ )を増加させることによっても $V_0 + V_1$ を低下できる。これは図3に示したように抵抗 $R$ が大きい場合には損失が増加し、より低い $V_1$ で $m = 1.05$ となることに起因していると考えられる。

位相リミタの回路的性質をより明確にするため、接

合バイアス \$V\_0\$, 接合局部発振波電圧 \$V\_1\$ を用いてゲートバイアス \$V\_G\$, 所用局部発振波電力 \$P\_L\$, 変換利得 \$G\_{mix}\$, ゲート電流 \$I\_G\$ を求める。いま, 図2のFET等価回路においてゲート接合をショットキー接合であると仮定すると, 接合電流 \$i\_j\$ と接合電圧 \$v\_j\$ の関係は次式で与えることができる。

$$i_j = I_S (e^{\alpha v_j} - 1) \quad (1)$$

又, \$v\_j\$ は小信号成分を無視すると次式で与えられる。

$$v_j = V_0 + V_1 \cos 2\omega_0 t \quad (2)$$

但し, \$\omega\_0\$ は入力信号角周波数である。従って, ゲート端子電流 \$i\_G\$ は次式となる。

$$\begin{aligned} i_G &= i_j + j 2\omega_0 C V_j \\ &= I_S \{ e^{\alpha(V_0 + V_1 \cos 2\omega_0 t)} - 1 \} + j 2\omega_0 C V_1 \cos 2\omega_0 t \\ &= I_S \{ e^{\alpha V_0} (I_0(\alpha V_1) + 2 \sum_{n=1}^{\infty} I_n(\alpha V_1) \cos 2n\omega_0 t) \\ &\quad - I_0 + j 2\omega_0 C V_1 \cos 2\omega_0 t \} \end{aligned} \quad (3)$$

但し, \$I\_n(\cdot)\$ は \$n\$ 次変形ベッセル関数を示す。これより, ゲート電流の直流成分 \$I\_G\$ 並びに局部発振波成分 \$I\_{GLOC}\$ は,

$$\left. \begin{aligned} I_G &= I_S \{ e^{\alpha V_0} \cdot I_0(\alpha V_1) - 1 \} \\ I_{GLOC} &= 2 I_S e^{\alpha V_0} I_1(\alpha V_1) + j 2\omega_0 C V_1 \end{aligned} \right\} \quad (4)$$

又, ゲート端子電圧の直流成分 \$V\_G\$ 並びに局部発振波成分 \$V\_{GLOC}\$ は, 図2より

$$\left. \begin{aligned} V_G &= R I_G + V_0 + R_S (I_0 + g_m V_0) \\ V_{GLOC} &= R I_{GLOC} + V_1 + k g_m R_S V_1 / (1+k) \end{aligned} \right\} \quad (5)$$

ここで両式の第3項はドレイン電流のソース抵抗 \$R\_S\$ による帰還効果を示し, ドレイン端子に接続される負荷によって変化する。ドレイン端子には, 定電圧電源が接続されているため, 直流負荷は短絡とみなすことができる。又, 局部発振周波数 \$2\omega\_0\$ に対しては, \$k G\_D\$ なる負荷を仮定した。すなわち短絡の場合 \$k = \infty\$, 整合負荷の場合 \$k = 1\$, 開放の場合 \$k = 0\$ である。

式(4), (5)を用いると局部発振波電力 \$P\_L\$ は,

$$\begin{aligned} P_L &= \frac{1}{2} \operatorname{Re}(V_{GLOC} \cdot I_{GLOC}^*) \\ &= \frac{1}{2} [R \{ (2 I_S e^{\alpha V_0} I_1(\alpha V_1))^2 + (2\omega_0 C V_1)^2 \} \\ &\quad + \left( 1 + \frac{k}{k+1} g_m R_S \right) V_1 \cdot 2 I_S e^{\alpha V_0} I_1(\alpha V_1)] \end{aligned} \quad (6)$$

又, ゲート端子入力信号電力 \$P\_{in}\$ は, ゲート端子電圧 \$V\_{sig}\$ 及びゲート電子負荷インピーダンスを \$Z\_L\$ として

$$P_{in} = \frac{1}{2} |V_{sig}|^2 \cdot \operatorname{Re}(1/Z_L) \quad (7)$$

更に, ドレイン端子出力信号電力 \$P\_{out}\$ は次式となる。

但し, ドレイン端子は信号角周波数 \$\omega\_0\$ において整合終端されているものと仮定する。

$$\begin{aligned} P_{out} &= \frac{1}{2 G_D} (I_{Dmix}/2)^2 \\ &= \frac{1}{8 G_D} |g_m V_{Jmix}|^2 \end{aligned} \quad (8)$$

従って, 変換利得 \$G\_{mix}\$ は

$$\begin{aligned} G_{mix} &= P_{out}/P_{in} \\ &= \frac{g_m^2 |V_{Jmix}|^2}{4 G_D |V_{Gsig}|^2 \cdot \operatorname{Re}(1/Z_L)} \\ &= \frac{g_m^2 |K_{21} + K_{22} k_1|^2}{4 G_D \cdot \operatorname{Re}(1/Z_L)} \end{aligned} \quad (9)$$

ここで \$K\_{21}, K\_{22}\$ は電圧変換行列 \$K\$ の要素, \$k\_1\$ はイメージ整合時の入力信号電圧 \$V\_{Gsig}\$ と変換電圧 \$V\_{Gmix}\$ の比で, それぞれ式(A.8), (A.6)で示される。

図5は, 所要局部発振波電力 \$P\_L\$ の計算結果の一例で, 実線は \$k = \infty\$ (\$2\omega\_0\$ においてドレイン短絡), 破線は \$k = 0\$ (\$2\omega\_0\$ においてドレイン開放) の場合を示す。図から次のことが分かる。①ドレイン端子を開放した場合の方が局部発振波電力が小さくなる。これは, ソース抵抗 \$R\_S\$ による帰還をドレイン端子を開放することによってなくすることができるためである。②ゲートバイアス電圧 \$V\_G\$ を増加させることにより所要局部発振波電力 \$P\_L\$ は減少し, ある値で最小となり, その値以上にゲートバイアス電圧 \$V\_G\$ を増加させた場合は逆に所要局部発振波電力が増加する。すなわち, ゲートバイアス \$V\_G\$ には局部発振波電力 \$P\_L\$ を最小にする最適値が存在することが分かる。これは, ゲートバイアス \$V\_G\$ の大小によって次のように説明できる。\$V\_G\$ の小さい場合は, 接合インピーダンスが直列抵抗 \$R\$ に対して十分高く, 局部発振波の大部分が接合に印加する。従って, \$V\_0\$ を増加することによって \$V\_1\$ は減少し(図4参照), 局部発振波電力 \$P\_L\$ が減少する。これに対し, ゲートバイアス \$V\_G\$ の大きい場合は, 接合インピーダンス低下が大きく, 接合電圧 \$V\_1\$ は低下しても接合における消費電力は低下しない。更に, 直列抵抗によって消費される電力も接合で消費される電力に比べ無視できなくなり \$P\_L\$ が増加する。③ゲートバイアスを上に示した最適値に選んだ場合, 所要局部発振波電力の最小値は, 直列抵抗 \$R\$ によって変化し, \$R = 50 \Omega\$ 程度で最小となる。これは, 図4に示したように, \$R\$ の増加によって \$V\_1\$ が減少することによるものである。

図6はゲート電流 \$I\_G\$ の計算例を示す。先に述べた最適ゲートバイアス以下ではゲート電流の増加は緩や

かで、10 mA 前後の値となる。

変換利得  $G_{mix}$  の計算例を図7に示す。図より  $V_G$  を一定にした場合には、 $R$  が大きいほど利得が高いことが分かる。更に、図中の○印は局部発振波電力を最小にした場合の利得を示す。このような条件の下では  $R$  が大きいほど利得が低下することが分かる。

### 3. 設計例

前章での解析結果を参考にし、実際に位相リミタを設計する際の手順を整理すると以下ようになる。①まず、FETの等価回路定数を測定し、ゲートバイアス、所要局部発振波電力、利得、ゲート電流などを求める。②この結果を用いてゲートバイアス並びに所要局部発振波電力を決定し、動作条件を定め、利得ゲート電流などを明らかにする。③上述の方法で定めたゲートバイアス並びに局部発振波電力を与えてFETのインピーダンスの実測を行い、入出力整合回路の設計を行う。④試作した後、特性の測定を行い、設計値どおりの特性が得られることを確認する。

以下に実際のFET(2SK85)を用いた設計例を示す。

#### (i) FETの選定ならびに等価回路定数の測定

位相リミタに使用するFETを選定するためには等価回路定数が変化した場合について考察する必要があるが、等価回路定数が多数存在するため、計算結果を定量的に表示することは複雑となる。従って、ここではその影響を表1のように定性的に示した。この結果、以下のことが分かる。① $\alpha$ は大きいほど良い。② $C$ 、 $R_S$ 、 $G_D$ は小さいほど良い。③ $R$ には $P_L$ を最小にする値が存在する。この $R$ はある程度大きい方が良く、利得を重視する一般の増幅器の場合とは異なった選定法となる。④ $g_m$ は小さいほど $P_L$ を小さくできるが、利得は減少する。⑤ $I_s$ 、 $I_0$ は任意に選ぶことができる。

FETを位相リミタとして使用する場合は、 $\alpha$ 及び $R$ の実測を行う必要があり、これらはゲート端子静特性から決定できる<sup>(7)</sup>。図8はゲート端子静特性を示し、実線はドレイン端子開放時、破線はドレインバイアス3V時の実測値、二点鎖線は $\alpha=30$ のダイオード電流、破線は $R=50\Omega$ 、 $\alpha=30$ の理論値を示す。これより $\alpha=30$ 、 $R=50\Omega$ であることが分かる。但し直列抵抗 $R$ は、ドレインバイアスを加えた場合の値で、ドレイン端子開放時の $R=4\Omega$ に比べ大幅に増加している。この理由は現在のところ不明ではあるが、ドレインバイアスを加えた場合、ショットキー接合空乏層の形状が変化するためか、FETのチャネルにおけるキャリアの飽和のためゲート電流が流れにくくなるためであると考えられる。従ってFETを位相リミタとして使用する場合、直列抵抗はドレイン開放時の値に比べ、1けた程度大きくなっているといえる。

又、 $\alpha$ 、 $R$ 以外の等価回路定数も同様に実測が可能であり、2SK85について実測した結果を図2に示した。この値は現在得られる小信号用FETの典型的な値であり、本章で述べる設計例はほかのFETについてもあてはめることができる。

#### (ii) ゲートバイアス並びに局部発振波電力

ゲートバイアス、局部発振波電力は図5を用いて決定することができる。 $R=50\Omega$ の場合、ゲートバイアスを $V_G=1V$ 程度に選べば局部発振波電力を最小にすることができ、 $P_L=12\sim 13\text{ dBm}$ となる。又、この動作点を選んだ場合、図6及び図7よりゲート電流 $I_G=5\text{ mA}$ 、変換利得 $G_{mix}=3\text{ dB}$ が得られる。

#### (iii) Sパラメータの実測

入出力端子の整合回路を設計するためには、Sパラメータの実測を行う必要がある。この値は、ゲートバイアス又は局部発振波レベルによって変化する。例えば、図9は局部発振波電力を変化させた場合の $S_{11}$ の

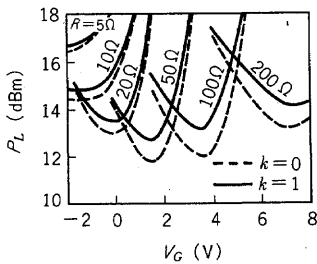


図5 所要局部発振波電力  $P_L$   
Fig.5-Local oscillator power.

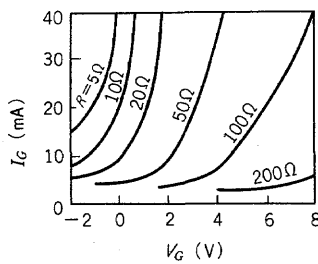


図6 ゲート電流  $I_G$   
Fig.6-Gate current.

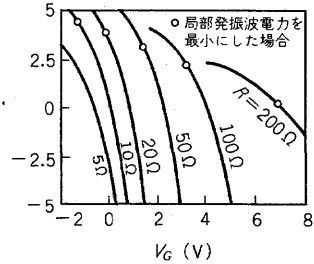
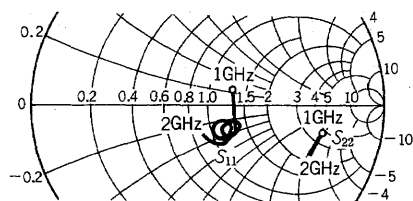


図7 利得  $G_{mix}$   
Fig.7-Conversion gain.

理論値および実測を示し、 $S_{11}$  が大きく変化することが分かる。従って、ここでは(ii)で定めたゲートバイアス及び局部発振波電力を与えて  $S$  パラメータの実測を行

表1 等価回路定数の増加に対する位相リミタ諸定数の変化

等価回路定数	局発レベル	利得	ゲートバイアス
	$P_L$	$G_{mix}$	$V_G$
$\alpha$	↘	↗	↘
$I_S$	ほぼ変化なし	ほぼ変化なし	ほぼ変化なし
$C$	↗	↘	↗
$I_0$	変化なし	変化なし	↗
$g_m$	↗	↗	↘
$G_D$	変化なし	↘	変化なし
$R$	↘	↘	↗
$R_S$	↗	↘	↗



( $V_G=1V, P_L=10dBm$ )

図10 Sパラメータ実測結果

Fig.10-Measured S-parameters of the MES FET phase limiter.

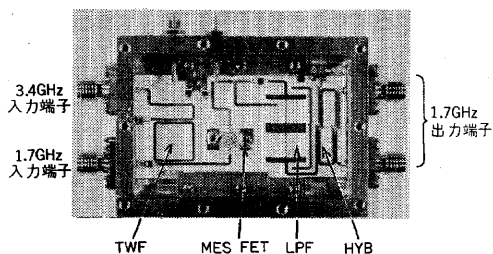


図11 FET 位相リミタ

Fig.11-Fabricated phase limiter.

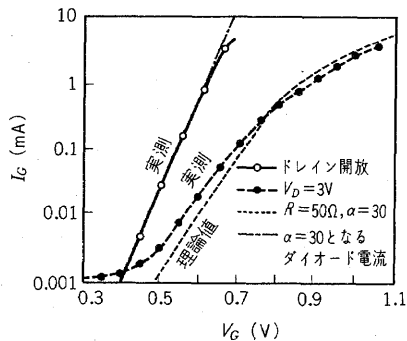


図8 ゲート端子静特性

Fig.8- $V_G-I_G$  characteristics of the MES FET.

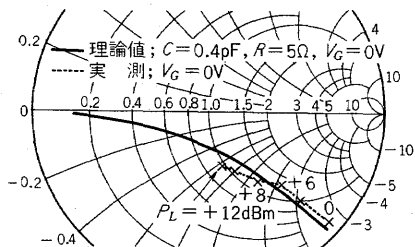
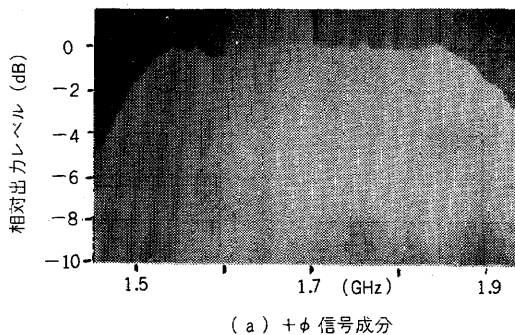
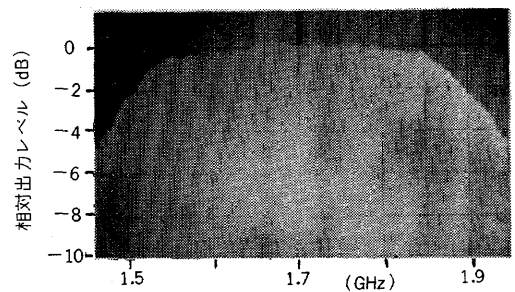


図9 局部発振波電力による入力インピーダンスの変化

Fig.9-Gate impedance of the MES FET.



(a) + $\phi$  信号成分



(b) - $\phi$  信号成分

図12 FET 位相リミタの帯域特性  
Fig.12-FET phase limiter frequency characteristics.

った。図10はその実測結果を示し、入力インピーダンス  $S_{11}$  は、ほぼ  $50\Omega$  であることが分かる。

(iv) 実験結果

実測した  $S$  パラメータをもとに整合回路を設計し、図11に示す試作回路を得た。この回路では、 $50 \times 25$  mm アルミナセラミック基板に入力信号と局部発振波分離のための進行波フィルタ(TWF)<sup>(8)</sup>、FET、局部発振波阻止のための低域フィルタ(LPF)及びハイブ

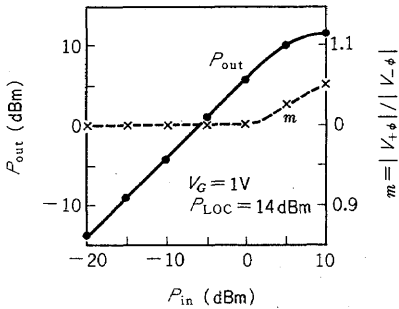


図13 入出力特性

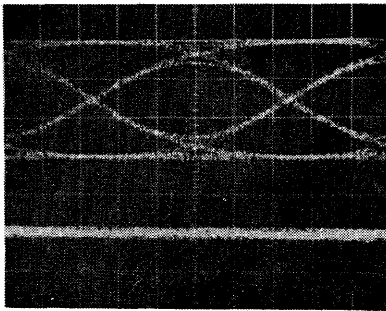
Fig.13-Input versus output power characteristics.

リッドを実装している。又、図10に示したように  $S_{11}$  はほぼ  $50\Omega$  であるため、入力端子には整合回路を設けず、出力端子のみに整合回路を付加している。

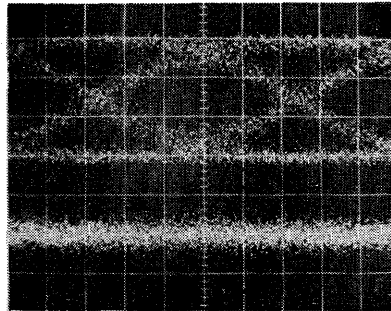
図12は試作した回路の帯域特性を示し、簡単な整合回路を使用した場合でも、450 MHzの3 dB帯域幅を実現できることが分かる。

図13は入出力特性を示す。図より入力信号レベルが0 dBm以下の場合、位相リミタは線形動作をすることが分かる。又、入力レベルが0 dBm以上となった場合でも+10 dBm以下の入力レベルに対しては  $m \leq 1.05$  である。従って、入力信号レベルを+10 dBmとした場合でも、実用上十分な位相再生効果が得られる。又、この場合は、図より分かるように出力信号振幅が飽和し、振幅抑圧効果を同時に得ることが可能で、位相リミタに従属する振幅リミタの抑圧度を減少できる。なお、2相直接位相再生器として使用した場合、 $+\phi$  位相を有する信号と  $-\phi$  位相を有する信号は同相で合成されるため、信号利得は変換利得  $C_{mix}$  に比べ6 dB高くなっている。

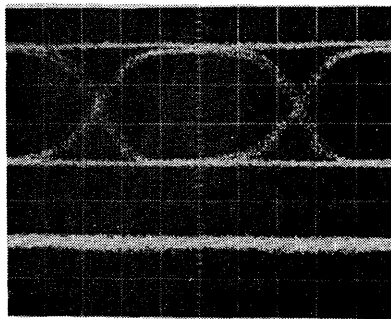
図14は、クロック周波数200 MHzの2相位相変



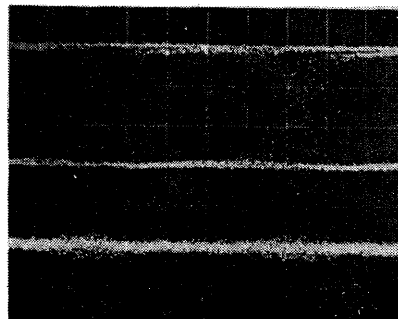
(a) 入力信号 (C/N= $\infty$ )



(c) 入力信号 (C/N=15dB)



(b) 再生器出力信号 (C/N= $\infty$ )



(d) 再生器出力信号 (C/N=15dB)

横軸 1ns/div

図14 検波波形

Fig.14-Eye diagrams.

調波を直接位相再生器に通した場合のアイパターンを示し, (a), (c)は帯域幅 140 MHz の帯域制限を受けた入力信号のアイパターン, (b), (d)は再生器出力信号のアイパターンを示す。図より, 符号間干渉ならびに雑音によってひずんだ入力信号をほぼ完全に再生でき, 高速動作時においても理論どおりの特性が得られることが分かる。

4. むすび

FETを用いた直接位相再生器のゲートバイアス, 所要局部発振波電力, ゲート電流ならびに変換利得に関し, 等価回路を使用した理論的解析を加え, それらの諸定数間の関係を明らかにした。この結果, 所要局部発振波電力を最小にするゲートバイアスが存在することが明らかとなった。更に FET の等価回路定数の変化が上述の諸定数に与える影響を調べ, FET 選定の目安を与えた。

解析の結果を用いて, 位相リミタの設計法について考察し, その設計例を示した。試作を行った結果, 実験で得られた直接位相再生器の諸特性は理論値から予想される値とほぼ等しく, 設計法が妥当であることを確認した。最後に, 搬送周波数 1.7 GHz, 変調速度 200 MHz の PSK 波に対する実験を行い, 高速動作時においても良好な位相再生特性が得られることを明らかにした。

今後は, 4 相直接位相再生器への拡張, 符号誤り率特性の実測, 多中継時のジッタ相加特性の検討を行う必要がある。

謝辞 本研究を進めるに当り日ごろ御指導頂いた当研究所無線伝送研究室中村室長に深謝致します。又, 有益な御指摘, 御討論頂いた室員各位に感謝致します。

文 献

- (1) 更田, 黒崎: "4 相 PM 波の位相再生の一方式", 信学誌, 49, 10, p.1835 (昭 41-10).
- (2) 大和久, 畑, 近藤: "PCM-PM 信号の直接再生中継実験", 信学誌, 49, 11, p.2217 (昭 41-11).
- (3) 太田, 畑: "位相再生作用を持つパラメトリック増幅器", 信学論 (B), 53-B, 4, p.202 (昭 45-04).
- (4) Hata, M., et al.: "A new phase coherent parametric mixer for PCM-PSK communications", G-MTT (1972).
- (5) 梅田, 中島, 池上: "非直線容量パラメトリック励振における 1/4 分周波発振の 4 相特性", 信学論 (A), J 60-A, 1, p.25 (昭 52-01).
- (6) Komaki, S., Kurita, O. and Memita, T.: "GaAs MES FET regenerator for phase-shift keying signals at the carrier frequency",

IEEE Trans. Microwave Theory & Tech., MTT-24, 6, p.367 (June 1976).

- (7) Kurita, O. and Morita, K.: "Microwave mixer", IEEE Trans. Microwave Theory & Tech., MTT-24, 6, p.361 (June 1976).
- (8) Coale, F. S.: "A traveling-wave directional filter", IRE Trans., MTT-4, p.256 (Oct. 1956).
- (9) 植之原道行: "マイクロ波半導体デバイス", コロナ社 (昭 46).

付 録

1. FET 位相リミタの動作解析

図 2 よりゲート端子におけるインピーダンス行列が得られる。

$$\begin{aligned} \begin{bmatrix} V_{Gsig} \\ V_{Gmix} \end{bmatrix} &= \begin{bmatrix} R & 0 \\ 0 & R \end{bmatrix} \begin{bmatrix} I_{Gsig} \\ I_{Gmix} \end{bmatrix} + \begin{bmatrix} V_{Jsig} \\ V_{Jmix} \end{bmatrix} + \begin{bmatrix} R_S & 0 \\ 0 & R_S \end{bmatrix} \begin{bmatrix} I_{Dsig} \\ I_{Dmix} \end{bmatrix} \\ &= \begin{bmatrix} R & 0 \\ 0 & R \end{bmatrix} \begin{bmatrix} I_{Gsig} \\ I_{Gmix} \end{bmatrix} + \begin{bmatrix} 1+g_m R_S/2 & 0 \\ 0 & 1+g_m R_S/2 \end{bmatrix} \begin{bmatrix} V_{Jsig} \\ V_{Jmix} \end{bmatrix} \\ &= \left[ \begin{bmatrix} R & 0 \\ 0 & R \end{bmatrix} + \begin{bmatrix} 1+g_m R_S/2 & 0 \\ 0 & 1+g_m R_S/2 \end{bmatrix} \right] \begin{bmatrix} j\omega_0 C & 0 \\ 0 & j\omega_0 C \end{bmatrix} \\ &\quad + \begin{bmatrix} g_0 & g_1 \\ g_1 & g_0 \end{bmatrix}^{-1} \cdot \begin{bmatrix} I_{Gsig} \\ I_{Gmix} \end{bmatrix} \end{aligned} \tag{A.1}$$

従ってインピーダンス行列は次式となる。

$$\begin{aligned} (Z) &= \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} = \begin{bmatrix} V_{Gsig} \\ V_{Gmix} \end{bmatrix} \begin{bmatrix} I_{Gsig} \\ I_{Gmix} \end{bmatrix}^{-1} \\ &= \begin{bmatrix} R & 0 \\ 0 & R \end{bmatrix} + \begin{bmatrix} 1+g_m R_S/2 & 0 \\ 0 & 1+g_m R_S/2 \end{bmatrix} \begin{bmatrix} g_0+j\omega_0 C & g_1 \\ g_1 & g_0+j\omega_0 C \end{bmatrix}^{-1} \end{aligned} \tag{A.2}$$

ここで  $g_0, g_1$  は変換コンダクタンスで次式で表現できる<sup>(9)</sup>。

$$\left. \begin{aligned} g_0 &= \alpha I_S \exp(\alpha V_0) \cdot I_0(\alpha V_1) \\ g_1 &= \alpha I_S \exp(\alpha V_0) \cdot I_1(\alpha V_1) \end{aligned} \right\} \tag{A.3}$$

又,  $V_0, V_1$  はそれぞれ接合における直流バイアス並びに局部発振波電圧を示し,  $I_S, \alpha$  はそれぞれショットキー接合の飽和電流ならびに比例定数を示す。

ゲート端子負荷インピーダンスを  $Z_L$  とすると, 次式が成立する。

$$V_{Gmix} = -Z_L \cdot I_{Gmix} \tag{A.4}$$

式 (A.2), (A.4) より  $V_{Gsig}, V_{Gmix}$  の関係は次式となる。

$$V_{Gmix} = k_1 V_{Gsig} \tag{A.5}$$

ここで

$$k_1 = Z_{21} Z_L / (Z_{11} Z_L + Z_{11} Z_{22} - Z_{12} Z_{21}) \tag{A.6}$$

一方, ゲート電圧と接合電圧の変換行列  $K$  は図 2 より次式となる。



$$\begin{aligned} \begin{bmatrix} V_{Gsig} \\ V_{Gmix} \end{bmatrix} &= \begin{bmatrix} R & 0 \\ 0 & R \end{bmatrix} \begin{bmatrix} I_{Gsig} \\ I_{Gmix} \end{bmatrix} + \begin{bmatrix} V_{Jsig} \\ V_{Jmix} \end{bmatrix} + \begin{bmatrix} R_S & 0 \\ 0 & R_S \end{bmatrix} \begin{bmatrix} I_{Dsig} \\ I_{Dmix} \end{bmatrix} \\ &= \begin{bmatrix} R & 0 \\ 0 & R \end{bmatrix} \begin{bmatrix} g_0 + j\omega_0 C & g_1 \\ g_1 & g_0 + j\omega_0 C \end{bmatrix} \cdot \begin{bmatrix} V_{Jsig} \\ V_{Jmix} \end{bmatrix} + \begin{bmatrix} V_{Jsig} \\ V_{Jmix} \end{bmatrix} \\ &\quad + \begin{bmatrix} R_S & 0 \\ 0 & R_S \end{bmatrix} \begin{bmatrix} g_m V_{Jsig} / 2 \\ g_m V_{Jmix} / 2 \end{bmatrix} \quad (A \cdot 7) \end{aligned}$$

従って

$$\begin{aligned} [K] &\equiv \begin{bmatrix} K_{11} & K_{12} \\ K_{21} & K_{22} \end{bmatrix} \equiv \begin{bmatrix} V_{Jsig} \\ V_{Jmix} \end{bmatrix} \begin{bmatrix} V_{Gsig} \\ V_{Gmix} \end{bmatrix}^{-1} \\ &= \begin{bmatrix} R & 0 \\ 0 & R \end{bmatrix} \begin{bmatrix} g_0 + j\omega_0 C & g_1 \\ g_1 & g_0 + j\omega_0 C \end{bmatrix} \end{aligned}$$

$$+ \begin{bmatrix} 1 + g_m R_S / 2 & 0 \\ 0 & 1 + g_m R_S / 2 \end{bmatrix}^{-1} \quad (A \cdot 8)$$

式 (A・5), (A・7) より

$$\begin{bmatrix} V_{Jsig} \\ V_{Jmix} \end{bmatrix} = \begin{bmatrix} K_{11} & K_{12} \\ K_{21} & K_{22} \end{bmatrix} \begin{bmatrix} V_{Gsig} \\ k_1 V_{Gsig} \end{bmatrix} \quad (A \cdot 9)$$

従って振幅比  $m$  は次式となる。

$$\begin{aligned} m &= |V_{Jsig}| / |V_{Jmix}| \\ &= |K_{11} + K_{12} k_1| / |K_{21} + K_{22} k_1| \quad (A \cdot 10) \end{aligned}$$

(昭和 53 年 3 月 8 日受付, 5 月 22 日再受付)