



Title	拡散自己整合形MOSトランジスタの高速・高集積LSIへの応用に関する基礎的研究
Author(s)	大倉, 五佐雄
Citation	大阪大学, 1980, 博士論文
Version Type	
URL	<a href="https://hdl.handle.net/11094/32519">https://hdl.handle.net/11094/32519</a>
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 <a href="https://www.library.osaka-u.ac.jp/thesis/#closed">＜a href="https://www.library.osaka-u.ac.jp/thesis/#closed"&gt;https://www.library.osaka-u.ac.jp/thesis/#closed</a> >大阪大学の博士論文について</a>をご参照ください。

*The University of Osaka Institutional Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏 名・(本籍)	大 倉 五 佐 雄
学 位 の 種 類	工 学 博 士
学 位 記 番 号	第 4 8 2 6 号
学位授与の日付	昭 和 55 年 2 月 7 日
学位授与の要件	学位規則第 5 条第 2 項該当
学 位 論 文 題 目	拡散自己整合形MOSトランジスタの高速・高集積 LSIへの 応用に関する基礎的研究
論文審査委員	(主査) 教 授 中井 順吉 (副査) 教 授 松尾 幸人 教 授 滑川 敏彦 教 授 小山 次郎 教 授 堀 輝雄 教 授 中村 勝吾 教 授 裏 克己 教 授 寺田 浩詔

## 論 文 内 容 の 要 旨

本論文は拡散自己整合形 (DSA) MOS デバイスに関する研究をまとめたもので、本文は 7 章から構成されている。

第 1 章では MOS 形大規模集積回路 (MOS LSI) の高速・高集積化に関するデバイス技術研究の沿革を述べ、その一環として提案された DSA MOS トランジスタを LSI へ応用するにあたっての問題点を指摘し、本研究の目的と意義を述べている。

第 2 章では DSA MOS トランジスタが有する高速・高集積性を一層向上させ LSI への応用をはかるため素子構造上、製造技術上の問題点を検討し、その解決法を提案するとともに実験的検証を行っている。とくに、しきい値電圧の制御性向上に関し全イオン注入プロセスを提案し、実験的、理論的検討を行って現状の製造技術で得られる制御範囲を明確化している。

第 3 章では微細構造を有する DSA MOS トランジスタの静特性上の特徴を明確化するため、素子特性が見通し良く表現でき実用上簡便な理論モデルを提案し、実測値との比較検討を行っている。また、通常の N チャネル MOS トランジスタとの静特性の比較を行い、本デバイスは電流駆動能力が大きく、LSI の高速化に有効であるとともに、微細化をすすめる上で不可避なゲート長の変動に対する電気特性の変動が少く、微細化が容易なデバイスであることを示している。

第 4 章では短チャネル効果を防止しつつ MOS デバイスの微細化をすすめる方法として提案されたスケーリング法を本デバイスに適用し、本方法の有効性を実験的に検証している。また、デバイス性能向上の一手法として、デプレッション形チャネル注入を施したデバイス構造を提案するとともに、その効果につき実験的、解析的に検討している。

第5章では本デバイスの製造技術面、電気特性面の特徴を通常のNMOSトランジスタと比較の上で明確化し、LSIを構成する基本デバイスとしての位置づけを行っている。

第6章では本デバイスのすそ電流、接合リーク電流に対する実験検討を行うとともに、4K ダイナミックRAMを試作し、本デバイスの高速性を確認している。さらに、配線容量がゲート遅延時間におよぼす影響を明確化し、ゲートアレイ方式論理LSIにおいてバイポーラ素子同等の高速性が達成されることを確認している。

第7章ではDSA MOSトランジスタのLSIへの応用に関する基礎的研究に関する第2章から第6章までの研究結果を総括して、本研究の結論を述べている。

## 論文の審査結果の要旨

本論文は拡散自己整合形MOSトランジスタの製造技術、素子技術、応用技術に関する研究結果をまとめたものである。拡散自己整合形MOSトランジスタは実効チャネルを容易に短かくできるため、MOS形集積回路の高速化・高集積化に有効であるが、これまで電気特性の制御が困難なため実用化にいたっていない。著者は本デバイスのしきい値電圧、ドレイン特性を理論的、実験的に解析して検討を加えるとともに、製造方法として全イオン注入プロセスを提案し、実用化に十分な制御性をもつものの製造技術を確立した。また、寸法比例縮小法の効果を実験的に検証し、本デバイスの高性能化に対する技術的見通しをえている。さらにデプレッション形チャネル注入を施した新しい素子構造を試作評価し、その効果を明らかにしている。また、本デバイスのすそ電流、リーク電流の特性をしらべ、ダイナミック回路への応用の可能性を考案するとともに、4096ビットRAMを試作し、本デバイスの高速性を確認している。また、ゲートアレイ方式論理LSIを試作し、バイポーラ素子と同等の高速性がえられることを確認するとともに、配線容量、配線抵抗が遅延時間におよぼす影響を明らかにしている。

以上のように、本論文は拡散自己整合形MOSトランジスタの製造技術、素子技術、応用技術に関する基礎的研究をまとめたもので、半導体集積回路工学に寄与するところ大で、博士論文として価値あるものと認める。