

Title	デコーダ付きプログラマブル・ロジック・アレイの設計に関する研究
Author(s)	石川, 啓二
Citation	大阪大学, 1983, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/33387
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について <a>〉 をご参照ください。

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名・(本籍)	石川啓二
学位の種類	工学博士
学位記番号	第 6047 号
学位授与の日付	昭和 58 年 3 月 25 日
学位授与の要件	工学研究科 電子工学専攻 学位規則第 5 条第 1 項該当
学位論文題目	デコーダ付きプログラマブル・ロジック・アレイの設計に関する研究
論文審査委員	(主査) 教授 寺田 浩詔 教授 児玉 慎三 教授 尾崎 弘

論 文 内 容 の 要 旨

本論文は、デコーダ付きプログラマブル・ロジック・アレイ (PLA) の設計に関する研究をまとめたものである。

第 1 章序論においては、本研究の目的、その工学上の意義ならびに本研究の分野における研究の現状について述べ、本研究によって得られた新しい成果について概説している。

第 2 章においては、まず、PLA の種類ならびにその特徴について概説し、デコーダ付き PLA の設計問題を明確にしている。次に、多値入力二値関数を導入し、アレイの最小化が論理式の最小化に帰着できることを示している。

第 3 章においては、論理式最小化の一手法として知られている分枝限定法を用いた Quine-McCluskey 法を以下の点について改良し、その適用限界を明らかにしている。1) 行ならびに列の重みのリストを使用し、主項表の簡約を高速に行う、2) 主項表の最小被覆の下界を求め、能率の良い限定操作を行う、3) 変数が多値をとる関数を取扱う。

第 4 章においては、最小化が困難な多変数の理論式を単純化するアルゴリズム A5 を提案し、実験によりその性能を評価している。A5 は以下の特徴をもつ。この方法によれば、1) 必須項を検出し、未被覆の最小項をできるだけ多く含むように、必須項の周辺の項を変形しうるので、項数の少ない論理式を求めることができる、2) 隣接関係により項を類別し、項の検索回数を少なくすることができる、3) 拡大可能な領域 (関数値が 1 となる変数の領域) を検出し、項を能率良く拡大することができる。

第 5 章においては、任意の論理関数に対して、2 ビットデコーダ付き PLA の変数割当を考慮した

場合の有効性を示している。まず、デコーダに割当てられる入力変数の組合せに対して、PLA小形化の効果を表す評価関数を定め、16種類の割当方法を提案している。次に、実験により、各変数割当法を比較、評価している。

第6章においては、まず、2ビットデコーダ付きPLAの分割により、各PLAの積項数の和を減らす方法を提案している。次に、分割手法に基づいて、重複を許す変数割当法について考察している。

第7章においては、本研究によって得られた結果ならびに残された問題についてまとめている。

論文の審査結果の要旨

本論文に取り上げている問題ならびにその研究成果を要約すると次のようである。

第一には、デコーダ付きPLAを小形に設計する際に生じる多値変数の論理式の最小化・単純化問題を取り上げている。この問題の解法に関しては従来も種々研究されているが、実用性に乏しいものが多く、その適用限界も明確でない。本論文においては、まず、論理式最小化の一手法として知られているQuine-McCluskey法を改良し、 $n + \log_2 m \leq 10$ ならば、ほとんどの n 入力 m 出力論理関数の論理式を(擬似)最小化する方法を提案している。次に、最小化が困難な多変数の論理式を単純化する一手法を新たに提案し、その手法によれば、IBMの開発した手法MINIよりも少ない記憶容量で、真理値表濃度の小さい関数の論理式を高速に(擬似)最小化しうることを示している。論理式の最小化・単純化手法の性能は、PLA設計の良否に大きく影響するため、本論文の結果は実用上重要な意義がある。

第二には、2ビットデコーダ付きPLAの変数割当問題ならびに分割問題を取り上げている。変数割当問題に関しては従来も研究されているが、特別な性質をもつ関数に関して、その解法が知られているにすぎない。本論文においては、デコーダに割当てられる変数の組合せに関する評価関数を使用することにより、任意の関数に対して適用可能な方法を提案し、この方法を用いて平均10%程度PLAを小形にできることを示している。さらに、分割問題においても変数割当を考慮することにより、分割後の各PLAの積項数の和を能率良く減少させる方法を提案し、その有用性を示している。これらの結果は、大規模なデコーダ付きPLAの自動設計を行う上で不可欠であり、実用上重要な意義がある。

以上のように、本論文は、デコーダ付きPLAの設計に関する基礎的また実際的問題についてかなりの研究成果をあげており、電子工学ならびに情報工学に寄与するところが大きい。よって博士論文として価値あるものと認める。