

Title	時計システムのIC化に関する研究
Author(s)	堀場, 康孝
Citation	大阪大学, 1982, 博士論文
Version Type	
URL	<a href="https://hdl.handle.net/11094/33447">https://hdl.handle.net/11094/33447</a>
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 <a href="https://www.library.osaka-u.ac.jp/thesis/#closed">〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉</a> 大阪大学の博士論文について <a href="https://www.library.osaka-u.ac.jp/thesis/#closed">〈/a〉</a> をご参照ください。

***Osaka University Knowledge Archive : OUKA***

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名・(本籍)	ほり 堀	ば 場	やす 康	たか 孝
学位の種類	工	学	博	士
学位記番号	第	5788	号	
学位授与の日付	昭和57年9月22日			
学位授与の要件	学位規則第5条第2項該当			
学位論文題目	時計システムのIC化に関する研究			
論文審査委員	(主査) 教授 寺田 浩詔 教授 松尾 幸人 教授 中井 順吉 教授 小山 次郎			

## 論文内容の要旨

本論文は、時計システムのIC化に関する研究成果をまとめたものである。IC化に最適なLSI方式を選択するため、消費電力の点で有望なものうち、MOSとしてはCMOS(相補形MOS)を、バイポーラとしてはI<sup>2</sup>L(集積注入論理)を用いて時計用ICに必要な諸特性の改善を図り、併せて両者の総合性能を比較した結果が述べられている。

第1章 緒言では、電子時計システムに関するこれまでの研究の歴史的概要及び電子腕時計の構成と技術要件を概括した後、問題点及びこれに関する従来の研究を背景として述べ、本研究を行うに至った動機、目的、意義が明らかにされている。

第2章では、CMOS腕時計用ICの各回路ブロックの高性能化について述べられている。即ちCMOS水晶発振器、分周器、出力駆動器の各々について従来不明確であった電流低減化、面積最小化のための回路パラメータの最適設計条件を明確化し、CMOSによるシステム構成の最適化が検討されている。

第3章では、CMOSの低集積度と小さな実装体積の制約条件のもとでの機能の拡張を可能とする新しいシステム、回路、構造設計方法が検討されている。これと前章の結果を併せ用いることにより、従来にない豊富な機能を持ち且つ最小パッケージ化されたLSIの開発結果が述べられている。

第4章では、腕時計システムへのI<sup>2</sup>Lの適用に先立ち、消費電力を低減化するためのゲート回路の電力遅延時間積の低減化方法を論じ、これに基づいて電力遅延時間積を改良するためのいくつかの新構造が検討されている。この結果として、意図した電力遅延時間積のみならず最小遅延時間をも改良し得る新しいI<sup>2</sup>L構造としてVIL(垂直注入論理)が提案され、更にそれぞれの改良機構が解明されて

いる。

第5章では、アナログ表示のものとしては初めてI<sup>2</sup>L化することに成功した腕時計用ICにおける新しい回路設計、構造設計について述べられている。微小電流化された各回路設計と前章で提案したVIL構造とを導入した結果、CMOSに近い低回路電流が得られ、CMOSの約1/2のチップ面積で同等機能が集積化できたことが述べられている。

第6章では、上述の検討結果を基に、従来不明確であった腕時計用ICの諸性能がCMOS、I<sup>2</sup>L間で総合比較されている。この結果、周波数安定度については両者ほぼ同等、消費電力に関しては最低動作電圧において両者はほぼ同等、回路電流についてはCMOSがやや優れ、又、集積度に関してはI<sup>2</sup>Lがやや優れているとしている。

第7章では、各章で得られた結果を概括し、本論文の新規性をまとめ、研究目標に対する到達範囲と研究の有効性及び今後に残された研究課題が述べられている。

### 論文の審査結果の要旨

時計システムのIC化の進展に伴い、CMOSによるものはより高性能、高機能化され、続いてI<sup>2</sup>Lによるものも実用化され始めている。本論文は、このような状況のもとで、CMOS、I<sup>2</sup>Lそれぞれの時計用ICとしての性能の向上を図り、併せて両者の総合性能を比較した結果をまとめたもので、多くの新しい知見を得ているが、そのうち主たる成果は次のように要約される。

- (1) CMOS水晶発振器の発振電流を最小化するための回路パラメータの最適化、及びCMOSトランジスタのサブスレッショルド特性を用いた発振開始電圧の最小化に関する設計手法を解析的に解明した。これら高性能化設計手法と共に、多機能化するための回路、システム構成方法を考案し、従来にない高性能、多機能化CMOSLSIを開発することに成功した。
- (2) I<sup>2</sup>Lに関しては、垂直インジェクタ構造を導入したVIL(Vertical Injection Logic)を新しく提案し、電力遅延時間積の大幅な向上を達成し、かつその改良機構を解明した。更に低消費電力化された時計用I<sup>2</sup>L回路を考察し、これをVIL構造を用いて構成することによって、CMOSと同等の機能においてCMOSに比肩し得る低電流で動作するI<sup>2</sup>LICを開発することに成功した。
- (3) 時計用ICに関し、CMOS、I<sup>2</sup>L両方式の比較を行い、周波数安定度、最低動作電圧については両者ほぼ同等であること、また回路電流についてはCMOSが、集積度に関してはI<sup>2</sup>Lが優れていることを明らかにした。

以上のように本論文は時計システムのIC化に関する多くの重要な新知見を含み、電子工学ことに集積回路工学に寄与する所が大きい。よって本論文は博士論文として価値あるものと認める。