The University of Osaka
Institutional Knowledge Archive

Title	大容量ダイナミックMOS RAMの高性能化に関する研究
Author(s)	谷口, 眞
Citation	大阪大学, 1982, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/33566
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

【45】

氏名・(本籍)	谷口　眞（たにぐち　まこと）
学位の種類	工学博士
学位記番号	第　5820　号
学位授与の日付	昭和57年10月20日
学位授与の要件	学位規則第5条第2項該当
学位論文題目	**大容量ダイナミックMOS　RAMの高性能化に関する研究**
論文審査委員	(主査) 教授 藤澤　和男 (副査) 教授 白江　公輔　教授 難波　進　教授 末田　正 教授 浜川　圭弘　教授 山本　錠彦

論文内容の要旨

ダイナミックMOS　RAMの技術革新は回路構成上の工夫，素子の微細化，ウエハの大口径化による所が大きいが，本研究では主として回路，デバイス構成上の問題の内，大容量ダイナミックMOS RAMの高性能化を制限している要素について，その内容を分析し，定量化すると共に，その改善について具体的方策を提案することを目的としている。

第2章ではソース・ドレイン拡散領域形成に対し，写真製版技術とイオン注入技術を組み合せて浅い接合を作り，ゲートとソース・ドレイン間のオーバーラップ容量が少なく，パンチスルー電圧の高い新しいデバイス構造をもつ微細化高性能MOSトランジスタを提案し，その諸特性を解明し，実用性の高いことを明らかにした。

第3章では高速化，低消費電力化のための新しい昇圧回路方式を提案し，計算機シュミレーションでその効果を明らかにした。また応用分野の多様化に対処するため，ダイナミックMOS　RAMのリフレッシュ機能をオンチップ化する検討を行った。

第4章では，基板電圧発生回路を内蔵したダイナミックMOS RAMは，ビット線およびデコーダ線の充放電により，その基板電圧が大きく変動するが，その変動がダイナミックMOS RAM の動作に与える影響を定量化すると共に，その改善策を提案し，その効果について実験的に確認し，動作機構を解明した。

第5章では，微細化されたダイナミックMOS RAMで問題となるα粒子によるソフトエラーに対して，回路，プロセスデバイスおよびチップコーティングからの改善策を検討した。プロセスおよびデバイス構造として，臨界電荷量の増加，電荷収集面積を減少するという立場からイオン注入による

Hi-Cセル構造およびビット線のポリシリコン化が有効であることを明らかにした。回路技術としてソフトエラーがスケーリング則の律則条件になるという考え方に基づいた修正スケーリング則を提案した。アセンブリ技術としてチップコーティングをしてパッケージから発生するα粒子をしゃ蔽するメカニズムを放射線源を用いて解明した。

第6章では第2章，第3章，第4章および第5章の研究成果を高性能大容量64kビット　ダイナミックMOS RAMに応用しその工学的応用効果の高いことを実証した。

論文の審査結果の要旨

大規模集積回路（LSI）に用いられるメモリ回路として，MOSトランジスタを用いるダイナミックRAM（ランダム・アクセスメモリ）が広く用いられているが，高集積化に伴って種々の困難な技術的問題を生ずる。本論文はこれらの諸問題を解決するために行った研究成果をまとめたものである。

まず，主構成要素であるMOSトランジスタについては，寸法の微細化に伴っていわゆる短チャネル効果を生じ，特性が劣化する。これを解決するため，本研究ではゲート電極のポリシリコンのエッチング用レジスト膜を，P^-シリコン基板にAsイオンを注入してN^+層のソース，ドレイン電極を作るためのマスクとしても使用し，これにより位置合せが自動的に行われるようにし，ゲート電極とソース，ドレイン電極との間のオーバラップ容量の小さい高性能素子の製作に成功した。

次に，回路的には，メモリセルの微細化に伴ってメモリセルから読み出される信号量の低下を，新しい高性能昇圧回路の採用により補償した。また，ダイナミックRAMに不可欠であるメモリ電荷のリフレッシュ回路を同一チップ上に設けるように工夫し，実用性を大幅に向上させた。また，高集積化に伴い各回路上での充放電が基板電圧の変動をもたらし，これがメモリセルの信号電荷量に影響を及ぼすことを明らかにした。そして，その対策としてチップ上に平滑コンデンサを形成することによりその影響を除去することに成功した。

次にパッケージなどから放射されるα粒子によって引き起されるソフトエラーについてその対策を研究している。メモリセルの微細化によりその蓄積電荷量が減少し，α粒子の影響を受け易くなるので，その対策としてシリコン酸化膜による容量の他にPN接合容量を並列に付加する構造を考案し，メモリセルの寸法を大きくすることなく蓄積電荷量を増大することに成功した。また，ビット線をポリシリコンにすることによりα粒子により発生した少数キャリヤがビット線に収集される割合を低下させた。なお，α粒子を吸収させるためチップ表面にポリイミド樹脂膜が被覆されるが，このポリイミド膜のα粒子吸収特性を測定し，設計資料を求めている。

このように本論文は，LSIの高集積化に伴って生ずる種々の問題点を分析し，その解決のため多くの創意に富んだ技術開発を行った成果をまとめたもので，関連分野に与えた技術的インパクトは大きく，学位論文として価値あるものと認める。