The University of Osaka
Institutional Knowledge Archive

Title	高速・高性能ランダムアクセスメモリとデバイス特性との関連に関する基礎的研究
Author(s)	下酉, 和博
Citation	大阪大学, 1983, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/33801
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

【46】

氏名・（本籍）	下酉和博（しもとり かずひろ）
学位の種類	工学博士
学位記番号	第 6203 号
学位授与の日付	昭和58年10月31日
学位授与の要件	学位規則第5条第2項該当
学位論文題目	**高速・高性能ランダムアクセスメモリとデバイス特性との関連に関する基礎的研究**
論文審査委員	（主査）教授 寺田 浩詔 教授 中井 順吉　教授 滑川 敏彦　教授 小山 次郎

論文内容の要旨

本論文は，高速・高性能ＭＯＳランダムアクセスメモリ（以下，ＭＯＳＲＡＭ）とその基本素子となるＭＯＳトランジスタ（以下ＭＯＳＴ）特性との関連に関する基礎的研究の成果をまとめたもので，６章からなっている。

第１章では，ダイナミック形ＭＯＳＲＡＭの高速・高性能化の研究の歴史的経緯を述べ，高速・高性能化のための問題点を指摘して，本研究の目的と意義を明らかにしている。

第２章では，ＭＯＳＲＡＭの高速・高性能化のために，従来用いられてきたＭＯＳＴの比例縮小則を再検討し，外因性並びに内因性の諸要因を考慮すべきことを明らかにし，修正された比例縮小則を導出している。又，ＭＯＳＲＡＭのアクセス時間と消費電力を規定する関係式を示し，高速・低消費電力化の要因を抽出している。これらの検討から，内因性の要因として，ＭＯＳＴの高利得化としきい値電圧の低下が重要であること，並びに外因性の要因として，寄生時定数の減少と電源電圧の考慮が必要であることを明確にしている。

第３章では，二重拡散自己整合（以下ＤＳＡ）ＭＯＳＴ技術で実現した高利得ＭＯＳトランジスタを４Ｋビットダイナミック ＭＯＳＲＡＭ及び４Ｋビットスタテイック ＭＯＳＲＡＭに適用し，それぞれ60 ns と50 ns のアクセス時間を達成できたことを示している。特に４Ｋビットダイナミック ＭＯＳＲＡＭでは，１ビット当たりのアクセス時間と消費電力との積が，同一設計基準のＮＭＯＳＴによるものに比較して，約60％まで低減され，ＭＯＳＴの高利得化がＭＯＳＲＡＭの高性能化に顕著な効果を示すことを実証している。

第４章では，微細化による大容量化の指針を与えるために，前章で扱った４Ｋビットスタテイック ＭＯ

ＳＲＡＭの比例縮小に関する基礎的検討を進め，比例縮小したＭＯＳＴにおける寄生ＣＲ時定数のアクセス時間，消費電力への影響を考察し，縮小の効果と関連する諸問題を解明している。特に，縮小されたＭＯＳＴがダイナミックＭＯＳＲＡＭの電源電圧，しきい値電圧に与える制限因子を明確化し，修正した縮小則を用いて，７Ｖ系64Ｋビットダイナミック ＭＯＳＲＡＭの特性を予測したうえで実際にチップを試作して実験的検証を行い，本手法の有効性を明らかにしている。

第５章では，以上の検討結果を基礎として，工学応用上さらに重要な意義をもつ５Ｖ単一電源動作の可能な64Ｋビットダイナミック ＭＯＳＲＡＭの実用化に関する基礎的検討を進め，実用化に成功したことを述べている。単一の低電源電圧の制約下において，新たに発生した問題点を，メモリセルに最大電圧を書き込めるよう改良された自己整合形のデプレッションセルの導入，ビット線を中間電圧にプリチャージする手法の採用並びに基板電圧をＬＳＩ チップ内部で発生する方法等数々の新しい回路上の着想を導入して解決し，これらの成果を64Ｋビットダイナミック ＭＯＳＲＡＭに適用して，実用化を可能としたことを述べている。

第６章では，各章で得られた研究成果を概括し，本研究の新規性をとりまとめ，研究目標の達成範囲と研究成果の有効性を述べている。

論文の審査結果の要旨

情報処理装置の高速・高性能化に伴い，高速・高性能且つ大容量のＭＯＳＲＡＭに対する要求は増々増大しつつある。本論文は，このような状況のもとで，ＭＯＳＴの特性向上並びにそのＭＯＳＲＡＭの性能改善への適用に関して，多くの新しい知見を得ているが，その主なものは，次のように要約される。

(1) ＭＯＳＲＡＭの高速化・低消費電力化に関する諸要因を，アクセス時間並びに消費電力を規定する関係式を提唱して，明確化している。

(2) ダイナミックＭＯＳＲＡＭに適用可能な二重拡散自己整合ＭＯＳＴを提案し，その静・動特性を解析的に解明した。又，この二重拡散自己整合ＭＯＳＴを４Ｋビットダイナミック ＭＯＳＲＡＭに適用し，１ビット当たりの電力遅延時間積が同一設計基準の在来形ＮＭＯＳＴによるものの1／1.7に減少できることを実証し，提案した関係式の正当性を明らかにしている。

(3) 微細構造のＭＯＳＴを実現するための比例縮小則を修正し，ダイナミックＭＯＳＲＡＭに適用しうる電源電圧の設定法並びにＭＯＳＴのしきい値電圧の決定法に関する新しい設計手法の基礎を確立した。又，３μm設計基準の64Ｋビットダイナミック ＭＯＳＲＡＭにこの設計手法を適用しその有用性を実証している。

(4) ５Ｖ単一電源64Ｋビットダイナミック ＭＯＳＲＡＭの高速化・高性能化を図るために，新規に自己整合形のディプレッションセルを考案しさらに新規の回路方式により100％の電荷利用率を得ることに成功し，工学的応用上の重要な成果を得ている。

以上のように本論文は，高速・高性能のＭＯＳＲＡＭに関する多くの重要な新知見を含み，集積回路

工学並びに情報処理技術に寄与する所が大きい。よって本論文は博士論文として価値あるものと認める。