

Title	高密度MOSメモリ回路構成とその応用に関する基礎的研究
Author(s)	禿, 節史
Citation	
Issue Date	
Text Version	none
URL	http://hdl.handle.net/11094/33826
DOI	
rights	
Note	

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名・(本籍)	禿 ^{かむろ}	節 ^{せつ}	史 ^{ふみ}
学位の種類	工	学	博士
学位記番号	第	6319	号
学位授与の日付	昭和59年2月27日		
学位授与の要件	学位規則第5条第2項該当		
学位論文題目	高密度MOSメモリ回路構成とその応用に関する基礎的研究		
論文審査委員	(主査) 教授 中井 順吉		
	教授 寺田 浩詔	教授 滑川 敏彦	

論文内容の要旨

本論文は集積化MOSメモリの高密度化のための回路構成に関する基礎的研究とその大規模集積回路への応用に関する研究とをとりまとめたもので、5章からなっている。

第1章では、半導体メモリの高密度回路構成に関する研究の歴史的経緯を述べて、本研究の目的と意義とを明らかにしている。

第2章では、将来採用されてきた5 MOST構成のCMOSRAMメモリセルの問題点を明確にし、書込み期間にメモリセル電源を接地電位に保持することを提案し、この問題点を解決しうる新しい5 MOSTメモリセルが構成可能であることを示し、さらにその周辺回路構成をも提案している。この5 MOSTメモリセルはその占有面積を同一設計基準による6 MOSTメモリセルに比較して約30%減少しうることを示している。また、この新しいメモリセル及び周辺回路を用いて、2KビットCMOSRAMを試作し、この提案の工学応用上の有効性を示している。

第3章では、MOSROMメモリセルの配列方式に関して、直並列配列の概念を新しく導入し、このメモリセル配列方式によるROMの占有面積およびデータ読出し時間を、従来の並列ならびに直列メモリセル配列方式のものと比較検討して、その一般性を示している。この結果、従来の直列あるいは並列メモリセル配列方式はいずれも、直並列配列方式の特殊な場合として取り扱えることを示している。また、これらの成果を128KビットのCMOSROMに適用し、その実用化が可能であると述べている。

第4章では、隣接した二つのデコーダ回路に全く共通な論理和ゲートを共用した新しい完全スタティック形デコーダ回路を提案している。デコーダ回路は、従来の方式に比べて、その構成素子数を約20%減少可能で、デコーダの占有面積の減少ならびに動作速度の改善に共に有効であることを示している。

また、このデコーダ回路を64KビットMOSROMに適用して、その大規模集積回路への適応性を実証している。

第5章では、各章で得られた研究成果を概括し、本研究の新規性を取りまとめ、研究目標の達成範囲と研究成果の有効性を述べている。

論文の審査結果の要旨

情報処理装置の高性能化に伴い、大容量のMOSメモリに対する要求はますます増大しつつある。本論文は、このような状況のもとで、MOSRAM、MOSROMおよびデコーダの高密度回路構成への適用に関して多くの新しい知見を得ているが、その主なものは次のようなものである。

- (1) 書き込み期間にメモリセル電源を接地電位に保持する5MOST構成のCMOSRAMメモリセルおよびその周辺回路構成を提案し、その動作特性を解明している。また、このメモリセルの占有面積は同一設計基準による6MOSTメモリセルと比較して約30%減少しうることを実証している。
- (2) 直並列MOSROMメモリセル配列方式の概念を提唱し、従来の直列あるいは並列メモリセル配列方式をも包含したより一般性をもつメモリセル配列方式であることを明らかにしている。また、このメモリセル配列方式を128KビットCMOSROMに適用し、その有用性を実証している。
- (3) 隣接した2つのデコーダ回路に全く共通の論理和ゲートを共用した完全スタティック形デコーダ回路を提案している。このデコーダ回路の構成素子数は従来のデコーダ回路方式に比べて約20%減少できることを示し、また、このデコーダ回路を64KビットのMOSROMに適用して、デコーダ回路の占有面積の減少ならびに動作速度の改善に有効であることを実証している。

以上のように、本論文は高密度MOSメモリ回路構成に関する多くの重要な新知見を含み、集積回路工学に寄与するところが大きい。よって本論文は博士論文として価値あるものと認める。