

Title	MOSスタティックRAMの高速化に関する研究
Author(s)	和田, 知久
Citation	
Issue Date	
Text Version	ETD
URL	https://doi.org/10.11501/3098875
DOI	10.11501/3098875
rights	
Note	

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/repo/ouka/all/>

氏 名	和 田 知 久
博士の専攻分野の名称	博 士 (工 学)
学 位 記 番 号	第 1 1 5 7 5 号
学 位 授 与 年 月 日	平 成 6 年 1 0 月 5 日
学 位 授 与 の 要 件	学 位 規 則 第 4 条 第 2 項 該 当
学 位 論 文 名	MOS スタティック RAM の高速化に関する研究
論 文 審 査 委 員	(主査) 教 授 濱 口 智 尋 教 授 吉 野 勝 美 教 授 尾 浦 憲 治 郎

論 文 内 容 の 要 旨

本論文は、MOS スタティック RAM (SRAM) の高速化に関する研究の成果をまとめたもので、本文7章より構成されている。

第1章では、本研究に関連する分野における歴史的背景と、高速 SRAM に関する開発の沿革と現状について概説するとともに、本研究の目的と意義を明らかにしている。

第2章では、SRAM の高速化のアプローチとして、メモリアレイを構成するワード線ならびにビット線の構成方法による高速化の手法として、変形分割ワード線構成と新しいビット線構成であるT字型ビット線構成の有効性を示している。

第3章では、回路技術による高速化の手法として、データバスプリチャージとデュアルレベルデータバスプリチャージ方式によるチップ内部のデータバスの高速化の方法を示すとともに、データ出力プリセット方式を提案し、高速化の問題のひとつであるノイズを低減しながら高速化を実現する方法を示している。

第4章では、高速 SRAM が最も必要とされるアプリケーションであるキャッシュメモリを CPU と同じチップ内に集積するとき有効な On-Chip キャッシュメモリ用の解析的なアクセスタイムモデルを示すとともに、キャッシュメモリの論理構成と物理構成によるスピードのトレードオフを示し、キャッシュメモリとして SRAM を高速化する方法を明らかにしている。

第5章では、高速なオフチップドライバによる電源線のバウンスノイズ発生をモデル化した式を提案し、低ノイズ化するための解決策を示すとともに、サイクルタイムを短くするとソフトエラー率が上昇するメカニズムを明らかにし、これを解決する方法を示している。

第6章では、以上の結果を踏まえ、具体的な高集積 1MSRAM を実用化し、高速 1MSRAM でテスト時間短縮のために新しく採用したビット構成可変方式の有効性を明らかにしている。

第7章では、第2章から第6章までの成果をまとめ本論文の結論としている。

論文審査の結果の要旨

SRAM は, DRAM に比べて, 同一製造技術水準では集積度が $1/4$ で, ビットコストが高いというデメリットを有しているが, リフレッシュ動作が不要なこと, 動作タイミングが簡単で使いやすいこと, 動作速度が高速なこと, スタンバイ時の電流が小さいことなどのメリットにより, 多種多様な応用が期待されている。特に最近では, コンピュータの高速化のために, キャッシュメモリとしての高速性を追求した SRAM の需要が大きく成長している。しかしながら, これまではプロセス技術の微細化による高速化の議論が多く, 設計面からの SRAM の高速化については十分な検討や最適化が行われていなかった。本論文は, 高性能なコンピュータシステムに必要なキャッシュメモリに使用される SRAM の設計面からの高速化に関する一連の研究をまとめたもので, 主な成果は以下のとおりである。

- (1) SRAMのメモリアレイ構成方法による高速化の手法として, 変形分割ワード線構成と T字型ビット線構成の有効性を明らかにしている。
- (2) 回路技術による高速化の手法として, データバスプリチャージとデュアルレベルデータバスプリチャージ方式によるチップ内部のデータバスの高速化の方法を示すとともに, データ出力プリセット方式を提案し, ノイズを低減しながら高速化することに成功している。
- (3) On-Chip キャッシュメモリ用の解析的なアクセスタイムモデルを示すとともに, キャッシュメモリの論理構成と物理構成によるスピードのトレードオフを示し, キャッシュメモリとしてSRAMを高速化する方法を明らかにしている。
- (4) 電源線のバウンスノイズ発生をモデル化し, 低ノイズ化するための解決策を示すとともに, サイクルタイムを短くするとソフトエラー率が上昇するメカニズムを明らかにし, この解決に成功している。
- (5) 高集積 1MSRAM の実用化に成功し, テスト時間短縮のために新しく採用したビット構成可変方式の有効性を明らかにしている。

以上のように, 本論文は, SRAM の高速化を実現する上で多くの有用な知見を得ており, 半導体工学, 電子工学の発展に寄与するところが大きい。よって本論文は博士論文として価値あるものと認める。