The University of Osaka
Institutional Knowledge Archive

Title	先端物理解析技術を用いた半導体デバイスの解析に関する研究
Author(s)	工藤, 修一
Citation	大阪大学, 2014, 博士論文
Version Type	VoR
URL	https://doi.org/10.18910/34567
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

先端物理解析技術を用いた半導体デバイスの解析に関する研究

提出先　大阪大学大学院情報科学研究科

提出年月　2014 年 1 月

工 藤　修 一

内容梗概

本論文は、筆者が、ルネサスエレクトロニクス株式会社 デバイス・解析技術開発統括部 及び 大阪大学大学院 情報科学研究科 情報システム工学専攻 博士課程在学中（平成 23 年度～平成 25 年度）に行ってきた、先端物理解析技術を用いた半導体デバイスの解析に関する研究成果をまとめたもので、本文は８章から構成されている。

第１章は、序論であり、本研究の背景、目的ならびに、その半導体工学上の意義、及び関連する分野における本研究の位置づけについて述べる。具体的には、これまでの半導体デバイス開発の状況とそれに対する課題を示し、これらを解決するために用いられてきた半導体デバイス解析手法の概要ついて説明し、本研究で解決すべき問題点について述べる。また、本論文の構成についても述べる。

第２章では、先端物理解析技術を半導体デバイスの物理解析フローに取り入れることを提案する。まず、現状のデバイス解析技術の問題点を述べ、これらを解決するための物理解析手法を提案する。各々の物理解析手法の原理と特徴を説明し、デバイス解析への適用の可能性について検討する。また、これらの手法を物理解析フローに取り入れた場合の効果についても議論する。

第３章では、提案した物理解析フローを、リーク電流が増加した不良デバイスに適用した結果について述べる。半導体デバイス中で用いられる Ni シリサイド材料の異常成長の解析に、電子線トモグラフィと位置分解型透過型電子顕微鏡（TEM：Transmission electron microscopy）-電子エネルギー損失分光法（EELS:：Electron energy loss spectroscopy）という二つの新しい手法を用いて構造解析を行うことにより、Ni シリサイドの異常成長がリーク電流増加の原因であることを解析した結果について述べる。さらに、これらの先端 TEM 技術を用いてナノメートルスケールで三次元構造解析や結晶相の同定を行った結果について述べ、得られた物理解析結果から、結晶学的な視点で議論を行い、異常成長の発生メカニズムを考察した結果について述べる。最後に本手法の有効性について議論する。

第４章では、提案した物理解析フローをトランジスタの高抵抗不良に適用した結果について述べる。半導体デバイス中で用いられる Ni シリサイド材料の断線不良に関して、先端物理解析手法であるアトムプローブと走査型電子顕微鏡（SEM：Scanning electron microscopy）/電子後方散乱回折法（EBSD：Electron backscatter diffraction）を駆使し、断

線不良の発生メカニズムを考察した結果について述べる。高抵抗不良の原因となる Ni シリサイドの断線について、アトムプローブと SEM/EBSD を複合して解析を行い、断線部の形状と構造、結晶性、および不純物に関して解析した結果について述べる。また、それらの結果を基に Ni シリサイドが断線するメカニズムについて結晶学的な視点で考察を行った結果について述べる。

第５章では、提案した物理解析フローをトランジスタデバイスの電気特性不良に適用した結果について述べる。結晶欠陥の三次元可視化手法として、電子線トモグラフィと低角度環状暗視野（LAADF：Low Angle Annular Dark Field）- 走査透過電子顕微鏡（STEM：Scanning Transmission Electron Microscopy）を組み合わせた手法を立ち上げ、デバイス中に存在する結晶欠陥の解析に適用した内容について述べる。実際に結晶欠陥が発生しているトランジスタについて解析を行い、得られた三次元解析結果から、結晶欠陥とデバイス構造の三次元的な位置関係や、結晶欠陥の起点とすべり面を特定し、結晶欠陥の発生メカニズムを議論した結果について述べる。最後に、本手法の有効性について議論する。

第６章では、提案した物理解析フローをトランジスタの絶縁膜経時破壊（TDDB：time-dependent dielectric breakdown）に適用した結果について述べる。球面収差補正走査透過型電子顕微鏡とアトムプローブを用いて、Hf 添加ゲート絶縁膜の構造解析と、TDDB 寿命劣化メカニズムの考察を行った結果について述べる。原子レベルの分解能を有する、球面収差補正走査透過型電子顕微鏡により Hf 原子の直接観察を行い、Hf 原子のゲート絶縁膜中での様子を捉えた結果について述べる。また、絶縁膜中の三次元元素分布を調べるためにアトムプローブ解析を実施した結果について述べる。さらには、これらの物理解析の結果から、TDDB 寿命劣化を考察した結果について述べる。

第７章では、提案したフローをバックエンドプロセスで形成される Cu 配線の信頼性劣化に適用した結果について述べる。電子線トモグラフィの適用範囲拡大について検討し、三次元形状の寸法の定量解析や、バックエンドプロセス（Cu 配線）の信頼性不良解析に適用した結果について議論する。

最後に、第８章で、本研究で得られた成果をまとめ、今後の課題について述べる。

関連発表論文および資料

1. 学会誌

1. S. Kudo, N. Nakanishi, Y. Hirose, K. Sato, T. Yamashita, H. Oda, K. Kashihara, N. Murata, T. Katayama, K. Asayama, J. Komori, and E. Murakami, “Three-Dimensional Visualization Technique for Crystal Defects in High Performance p-Channel Metal–Oxide–Semiconductor Field-Effect Transistors with Embedded SiGe Source/Drain”, Japanese Journal of Applied Physics 49, 04DA22, (4 頁)　(2009)

2. S. Kudo, Y. Hirose, T. Yamaguchi, K. Kashihara, K. Maekawa, K. Asai, N. Murata, T. Katayama, K. Asayama, N. Hattori, T. Koyama, and K. Nakamae, “Analysis of Junction Leakage Current Failure of Nickel Silicide Abnormal Growth Using Advanced Transmission Electron Microscopy”, IEEE TRANSACTIONS ON SEMICONDUCTOR MANUFACTURING, (6 頁)　(2014)　(accepted)

3. S. Kudo, Y. Hirose, Y. Ogawa, T. Yamaguchi, K. Kashihara, N. Murata, T. Katayama, N. Hattori, T. Koyama, and K. Nakamae, “Study of Formation Mechanism of Nickel Silicide Discontinuities in High Performance Complementary Metal-Oxide-Semiconductor devices”, Japanese Journal of Applied Physics, (5 頁)　(2014)　(accepted)

2. 国際会議

1. S. Kudo, Y. Hirose, K. Fukumoto, S. Maegawa, J. Shimanuki and Y. Inoue, “Three-Dimensional Fine Structure Observation of Advanced ULSI Devices Using Electron Tomography”, 2006 International Meeting for Future of Electron Devices, Kansai, pp. 49-50 (2006)

1. S. Kudo, Y. Hirose, K. Fukumoto, S. Maegawa, J. Shimanuki, and Y. Inoue, “Three-dimensional fine structure observation of advanced ULSI devices using electron tomography”, in Proc. 16th Int. Microscopy Congr., pp. 1440. (2006)

2. S. Kudo, Y. Hirose, N. Hashikawa, T. Yamaguchi, K. Kashihara, K. Maekawa, K. Asai, N. Murata, K. Asayama, and E. Murakami, “ANALYSIS OF NI SILICIDE ABNORMAL GROWTH MECHANISM USING ADVANCED TEM TECHNIQUES”, Proc. Int. Reliability Phys. Symp., pp. 580-583. (2008)

3. S. Kudo, Y. Hirose, T. Futase, Y. Ogawa, T. Yamaguchi, K. Kihara, K. Kashihara, N. Murata, T. Katayama, K. Asayama and E. Murakami, “Study of Formation Mechanism of Nickel Silicide Discontinuities in High Performance CMOS devices”, Proc. Int. Reliability Phys. Symp., pp. 311-316. (2009)

4. S. Kudo, N. Nakanishi, Y. Hirose, K. Sato, T. Yamashita, H. Oda, K. Kashihara, N. Murata, T. Katayama, K. Asayama, J. Komori and E. Murakami, “Three-Dimensional Visualization Technique for Crystal Defects in High Performance CMOS Devices with Embedded SiGe-Source/Drain”, 2009 International Conference on Solid State Devices and Materials pp. 38-39. (2009)

5. S. Kudo, Y. Hirose, K. Funayama, K. Ohgata, M. Inoue, K. Eguchi, A. Nishida, K. Asayama, N. Hattori, T. Koyama, and K. Nakamae, “Atomic-Level Study of TDDB Mechanism of Hfdoped SiON Gate Dielectrics using Cs-Corrected STEM and Atom Probe Tomography”, Proc. Int. Reliability Phys. Symp.,5B.2. pp. 1-5 (2013)

6. S. Kudo, Y. Hirose, K. Funayama, M. Inoue, A. Nishida, N. Hattori, T. Koyama, and K. Nakamae, “Study of Hf-doped SiON Gate Dielectrics by using Atom Probe Tomography”, 2013 JSAP-MRS Joint Symposia, JSAP-MRS-F-007 (1 **頁**) (2013)

3. 国内講演

1. **工藤修一、廣瀬幸範、山口直、柏原慶一郎、村田直文、片山俊治、朝山匡一郎、小守純子**, “**電子線トモグラフィを用いた** Ni **シリサイドの三次元構造解析**”、 **第** 28 **回** LSI **テスティングシンポジウム**, pp. 273-276 (2008)

2. **工藤修一**, **廣瀬幸範**, **二瀬卓也**, **小川吉文**, **山口直**, **柏原慶一朗**, **村田直文**, **片山俊治**, **朝山匡一郎**, **村上英一**、“Ni **シリサイド断線不良の形成メカニズム解析**”、**第** 29 **回** LSI **テスティングシンポジウム**, pp. 377-381 (2009)

3. 工藤修一、吉田岳司、本田和仁、村田直文、廣瀬幸範、片山俊治、小守純子、小山徹、中前幸治、“SIL プレートを用いた発光解析と電子線トモグラフィによる結晶欠陥起因リーク不良の解析”、第 31 回 LSI テスティングシンポジウム, pp.303-308 (2011).

4. 工藤修一, 廣瀬幸範, 舟山幸太, 大形公士, 井上真雄, 中嶋伸恵, 国宗依信, 朝山匡一郎, 服部信美, 小山徹, 中前幸治、“Hf 添加ゲート絶縁膜の TDDB 劣化メカニズム解明”、第 32 回 LSI テスティングシンポジウム pp. 245-250 (2012)

目次

第１章　序論 1
1.1　研究の背景 1
1.1.1　高集積化・高性能化に伴う半導体デバイスの開発の現状と課題 1
1.1.2　半導体デバイス解析の現状 5
1.1.3　半導体デバイス解析の課題 7
1.2　本研究の目的 7
1.3　本論文の構成 8
第２章　先端物理解析技術を用いたデバイス解析フロー 11
2.1　まえがき 11
2.2　半導体デバイスの解析フロー 11
2.3　半導体デバイス解析における物理解析の重要性 12
2.4　先端物理解析技術 13
2.4.1　電子線トモグラフィ 14
2.4.2　位置分解型 TEM-EELS 19
2.4.3　SEM/EBSD 23
2.4.4　三次元アトムプローブ 27
2.4.5　LAADF-STEM 法 29
2.4.6　球面収差補正走査透過型電子顕微鏡 32
2.5　先端物理解析手法を取り入れた物理解析フローの提案 36
2.6　むすび 38
第３章　Ni シリサイド異常成長メカニズム解明 39
3.1　まえがき 39
3.2　Ni シリサイドプロセスの課題 39
3.3　実験方法 42
3.3.1　電子線トモグラフィ 42
3.3.2　位置分解型 TEM-EELS 43
3.4　実験結果 44
3.4.1　TEM 像および STEM 像による評価結果 44
3.4.2　位置分解型 TEM-EELS 評価結果 45
3.4.3　電子線トモグラフィによる三次元形状評価結果 46
3.5　Ni シリサイドの異常成長メカニズム考察 50
3.5.1　異常成長の結晶面方位依存性についての考察 50

3.5.2　異常成長部の結晶相についての考察 52
3.5.3　異常成長抑制についての検証実験 54
3.6　むすび 55
第４章　シリサイド断線メカニズム解明 57
4.1　まえがき 58
4.2　半導体デバイス中で発生するシリサイド断線不良について 58
4.3　実験方法 60
4.3.1　試料作製 60
4.3.2　TEM 60
4.3.3　SEM/EBSD 60
4.3.4　アトムプローブ 60
4.4　物理解析結果 61
4.4.1　SEM および TEM 解析結果 61
4.4.2　SEM/EBSD 解析結果 62
4.4.3　アトムプローブ解析結果 65
4.5　断線不良の発生メカニズム考察 67
4.6　むすび 70
第５章　結晶欠陥の三次元可視化技術 73
5.1　まえがき 73
5.2 先端トランジスタにおける歪印可技術と歪・結晶欠陥の解析手法 73
5.2.1　トランジスタにおける歪印加技術 73
5.2.2　半導体デバイス中の歪・結晶欠陥解析技術 74
5.3　実験方法 74
5.3.1　試料作製 74
5.3.2　Nano-beam electron diffraction (NBD) 75
5.3.3　LAADF-STEM 法 77
5.3.4 電子線トモグラフィ 77
5.4　結晶欠陥の三次元可視化評価結果 78
5.5　結晶欠陥の発生メカニズム考察 83
5.6　結晶欠陥三次元可視化の応用展開 84
5.7　むすび 86
第 6 章　Hf 添加ゲート絶縁膜の TDDB 寿命劣化原因究明のための原子レベル構造解析 89
6.1　まえがき 89
6.2　High-k 膜の導入とその問題点 89
6.3　実験方法 91
6.3.1　試料作製 91

6.3.2 物理解析手法 93
6.4 実験結果 95
6.4.1 アニール温度依存性評価結果 95
6.4.2 Hf 濃度依存性評価結果 101
6.4.2 Hf 添加 High-k 膜の TDDB 寿命劣化メカニズム考察 103
6.6 むすび 105
第 7 章 半導体デバイス三次元構造解析の応用 107
7.1 まえがき 107
7.2 三次元構造解析の応用 107
7.3 電子線トモグラフィ 108
7.4 三次元構造の定量解析結果 108
7.4.1 Via バリアメタルのカバレッジ定量評価 108
7.4.2 MOS トランジスタにおけるシリサイドのラフネス定量評価 111
7.5 バックエンドプロセスの不良解析への適用結果 114
7.5.1 CuVia EM 不良箇所の３次元構造解析 114
7.5.2 CuVia SIV 不良箇所の三次元構造解析 116
7.6 むすび 118
第８章 結論 121
謝辞 125
参考文献 127

第 1 章　序論

1.1　研究の背景

1.1.1　高集積化・高性能化に伴う半導体デバイスの開発の現状と課題

大規模集積回路(LSI)やトランジスタ、抵抗素子、コンデンサ等の素子を含めた半導体デバイスは、電子部品の中枢であり、現代社会において電子機器には欠かせないものである。また、半導体デバイスは自動者や産業用機器などにも幅広く組み込まれており、その数は年々飛躍的に増加している。

半導体デバイス産業は、過去 40 年以上にわたり、デバイスの高性能化、高集積化、低消費電力化等の要求性能を達成するために微細化を積極的に追及してきた[1]。図 1.1 にプロセスノードとロジックデバイスの配線ピッチの変遷を示す。このように微細化を進めることにより半導体デバイスの性能は進化してきた[2]。また、デバイス構造の多様化・複雑化に伴い、新規材料の導入などの技術的な革新も同時に行ってきた[3],[4]。これにより半導体デバイスの性能は向上を達成してきた。図 1.2 には半導体デバイスの断面を走査型電子顕微鏡（SEM：Scanning electron microscopy）で観察した像を、図 1.3 にトランジスタの断面 SEM 像およびゲート絶縁膜部の透過型電子顕微鏡（TEM：Transmission electron microscopy）像を示す。図 1.2 に示すように近年の半導体デバイスでは配線の多層化が進み、現在では 10 層を超える配線層を有するデバイスも実用化されている[5]。またトランジスタも微細化が進み、現在の先端デバイスではゲート長は 20 nm を切り、またゲート絶縁膜は数 nm 以下の厚さとなってきている[6]。さらには、微細化に加え、図 1.4 に示すようなトランジスタに Ge 等の不純物を添加する技術[7]やストレスメモライゼーション技術（SMT：Stress Memorization Technique）技術などを用いてトランジスタに歪を印加し電子・正孔の移動度を向上させる技術[8]、ゲート絶縁膜に高誘電体膜(High-k 膜)を適用する技術[9]などが次々と開発されている。加えて、図 1.5 に示すような、新規デバイス構造や新規デバイス材料の適用も微細化と同時に行われてきた。このようなデバイス技術の進歩によって、デバイスの高性能化が進んできた。微細化に伴う技術革新によって進歩してきた項目とその内容を表 1.1 に示す。ムーアの法則（Moore ’s Law）に代表される「スケーリング則」と呼ばれるこれらの進歩は、半導体産業にとって多くの面で、目標となる指標であり、設計のイノベーション、ソフトウェア的な解決法、製造プロセスのイノベーションを通しての性能改善をもたらしてきた[1]。特に半導体デバイスの基本素子である相補型金属酸化膜半導体（CMOS： Complementary Metal-Oxide-Silicon）技術のスケーリングは著しく進歩し、それに伴い、金属酸化膜半導体電界効果トランジスタ（MOSFET：Metal Oxide Semiconductor Field Effect Transistor）の性能は向上してきた。

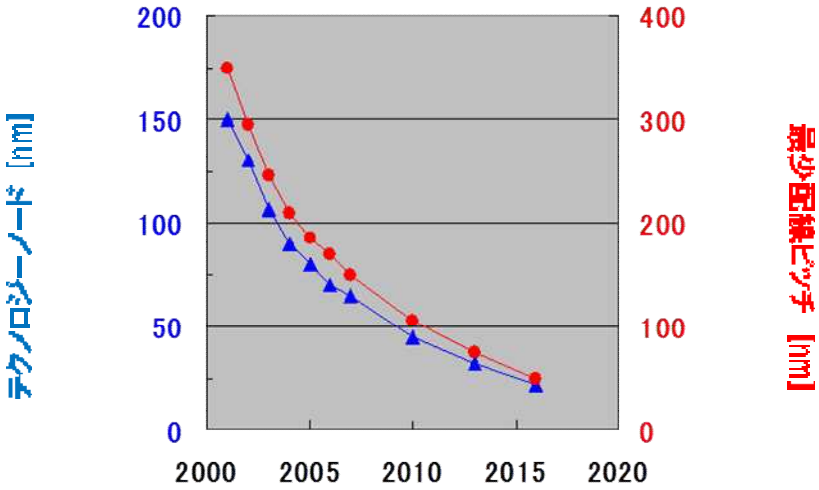


図 1.1　半導体デバイスのテクノロジーノードと配線ピッチの変遷。青三角印はテクノロジーノード（左軸）、赤丸印は最少配線ピッチ（最小配線幅）（右軸）示す。横軸はデバイスの量産時期を示す。

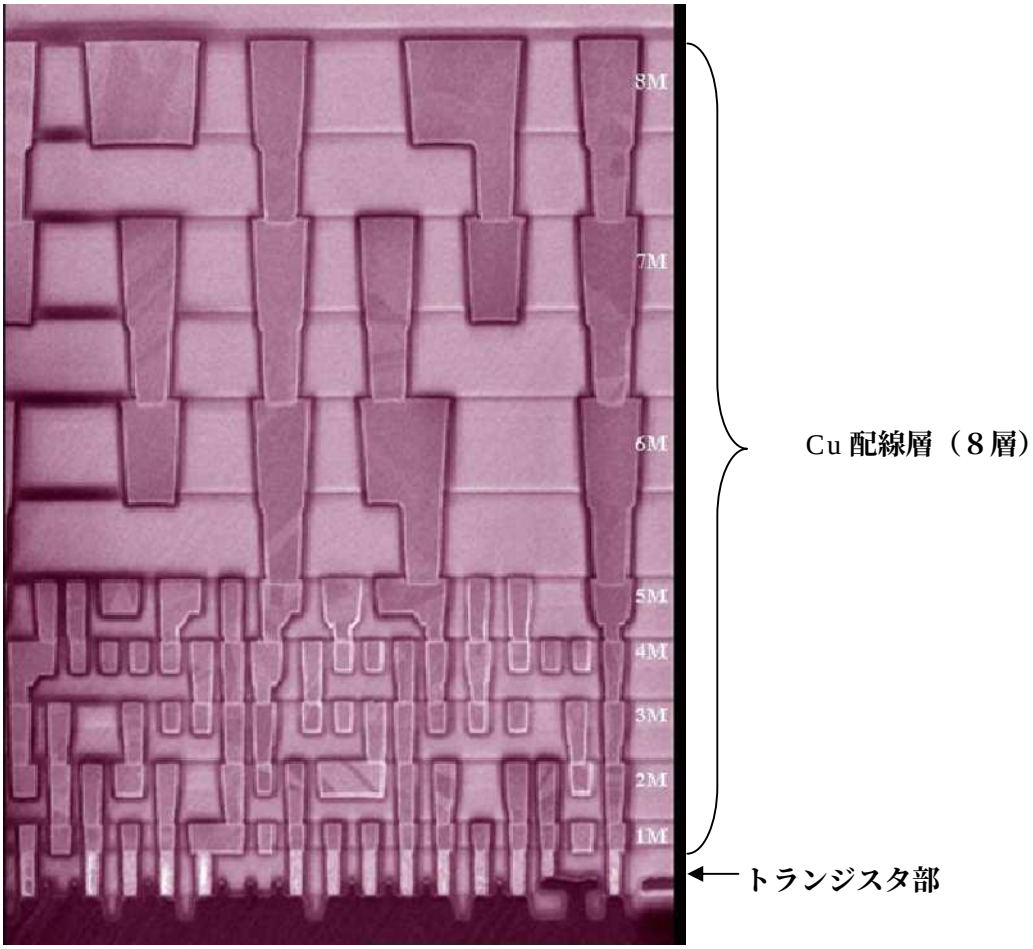


図 1.2　半導体デバイスの断面 SEM 像

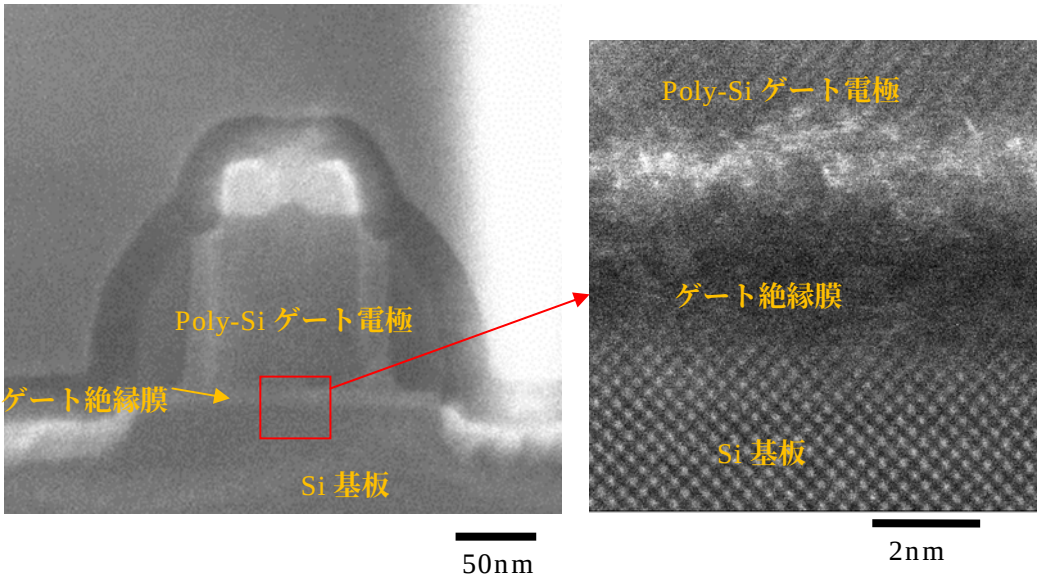


図 1.3　トランジスタの断面 SEM 像とゲート絶縁膜の断面 TEM 像

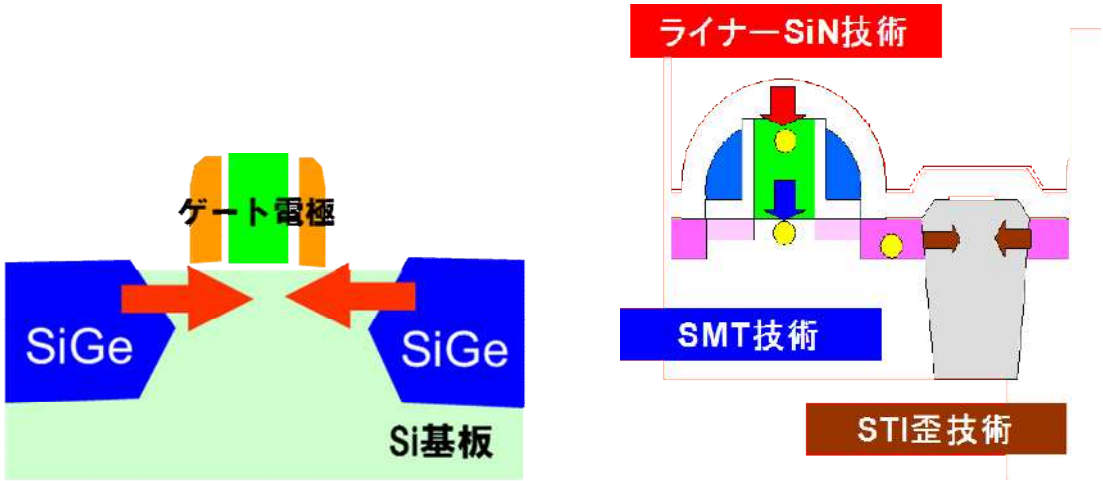


図 1.4　トランジスタ部における主な歪印加技術（浅溝分離（STI：Shallow Trench Isolation）

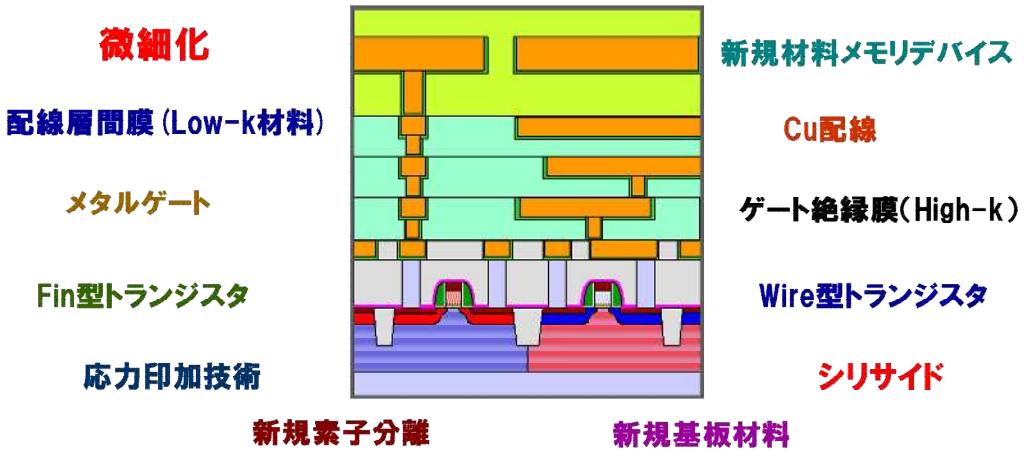


図 1.5　半導体デバイス中で用いられるデバイス構造やデバイス材料等の新規技術一覧

表 1.1　微細化により進化してきた性能指標の例 [1]

トレンドの項目 *(TREND)*	性能指標の例*(EXAMPLE)*
集積レベル (Integration Level)	コンポーネント数/チップ、ムーアの法則 (Components/chip, Moore's Law)
コスト(Cos)t	機能あたりコスト(Cost per function)
速度(Speed)	マイクロプロセッサの処理性能 (Microprocessor throughput)
消費電力(Power)	ラップトップパーソナルコンピュータあるいは携帯電話の電池寿命 (Laptop or cell phone battery life)
コンパクト性(Compactness)	小型軽量製品(Small and light-weight products)
機能(Functionality)	不揮発性メモリ, 撮像素子(Nonvolatile memory, imager)

しかし、その一方で、これまでのような継続的な微細化による製品の性能向上は、物理的な限界により困難となってきている。そのため、近年では「More than Moore」と呼ばれる微細化を伴わないデバイスの性能向上についても多くの研究がおこなわれている。このようなトレンドは図 1.6.に示すように、ムーアの法則（Moore's Law）に代表される微細化によるデバイスの高性能化とは違う方向性の技術である。「More than Moore」とよばれる微細を伴わないデバイスの高性能化は、現在、半導体デバイスに求められる機能の多様化に貢献している技術であり、これらの技術は実際の製品に広く応用されている[10]。

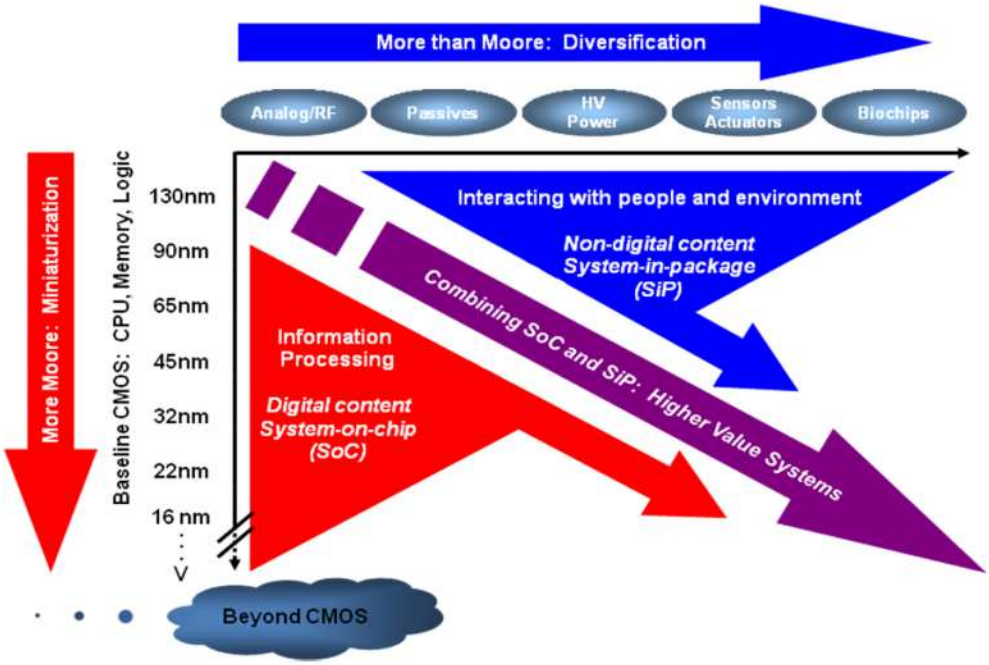


図 1.6　微細化技術「More Moore」と微細化を伴わない技術「More than Moore」のトレンド模式図 [1]

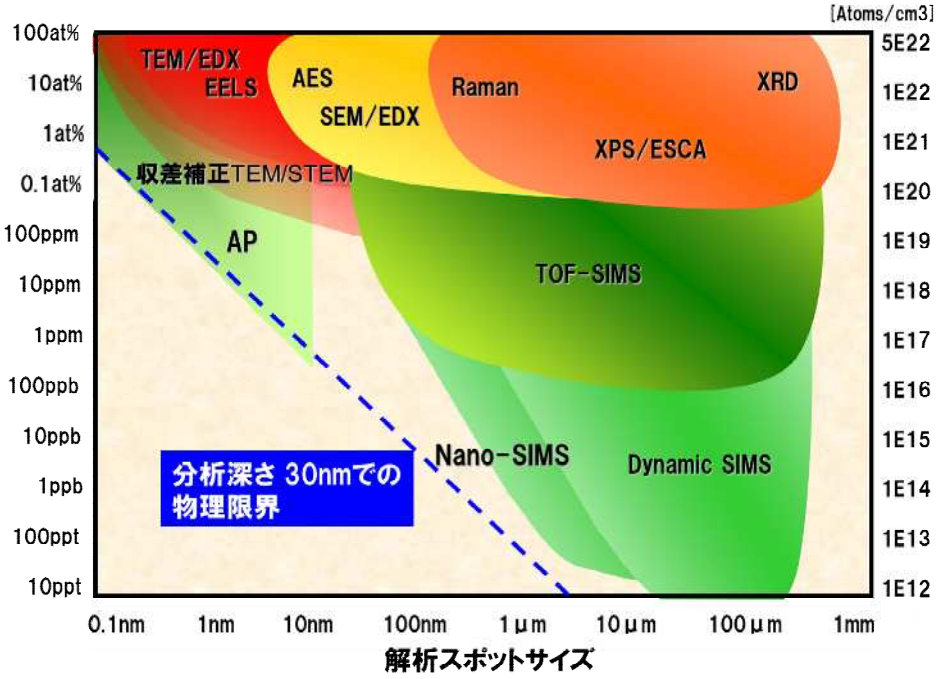
1.1.2　半導体デバイス解析の現状

デバイスの微細化や高機能化が進み、デバイス構造が複雑化するにつれて、デバイスの電気特性や信頼性の劣化が大きな問題となってきている[11]。これらの問題を回避し高信頼性のデバイスを製造するためには、半導体デバイス中で発生する物理現象や電気的な不具合について詳細に解析する必要がある。図 1.7 に半導体デバイス解析に用いられる主な物理解析技術の一覧を示す。半導体デバイス中のトランジスタや配線などの素子の大きさは現在 100 nm を切るものが多く製造されており、解析スポットサイズの要求はナノメートルのオーダーである。これらの理由から、SEM[12]-[15]や TEM[16]-[20]は、ナノメートルスケールで解析できる技術として古くから半導体デバイス解析に広く用いられている。

1.1.1 節で述べたようにデバイスの高性能化・高集積化にともない、デバイス性能は飛躍的に向上を続けきた。その反面、デバイス構造が微細になることにより、ナノメートルオーダーのデバイス形状や原子レベルでの不純物分布がデバイス特性や信頼性に大きな影響を及ぼすようになってきた[21]。これらの現象を解明するためには、デバイス構造解析や不良解析を行い、原因を究明することが不可欠である。しかし、現在の解析技術は必ずしも十分に進歩しておらず、SEM や TEM といった従来の技術を用いた解析では十分な情報を得ることが困難であった。そのため、デバイスの電気特性向上や不良解析、信頼性向上の

ためには、従来の SEM や TEM を超える新しい技術が必要である。

デバイス解析において、形状解析や構造解析は重要である。それに加え、組成や結合状態、結晶歪を解析する技術もデバイス解析において欠かせない技術である[22]。TEM や SEM は電子線を用いた技術であることから、エネルギー分散型 X 線分光法（EDX または EDS：Energy Dispersive X-ray spectrometry）[23]や電子エネルギー損失分光法（EELS：Electron energy loss spectroscopy）[24]-[26]などの元素分析・状態分析も可能であり、半導体デバイス解析に応用されてきた。また電子線回折を用いたナノビーム回折（NBD：Nano-beam diffraction）法[27]や収束電子回折（CBED：Convergent Beam Electron Diffraction）法[28]-[33]、電子後方散乱回折（EBSD：Electron backscatter diffraction）[34]も半導体デバイスの解析への適用が報告されている。しかし、これらの解析技術は、空間分解能の問題や、複雑なデータ解析が必要等の理由から、半導体デバイス解析において十分に活用されていないのが現状である。



X 線回折（XRD：X‐ray diffraction）　　アトムプローブ（AP：Atom probe）
X 線光電子分光法（XPS：X-ray photoelectron spectroscopy）
X 線光電子分光法（ESCA:Electron Spectroscopy for Chemical Analysis）
オージェ電子分光法（AES：Auger Electron Spectroscopy）
二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）
飛行時間型二次イオン質量分析法（TOF-SIMS：Time- of-flight SIMS）

図 1.7　半導体デバイス解析に用いられる主な物理解析技術の一覧

1.1.3　半導体デバイス解析の課題

TEM や SEM を用いた構造解析は、いずれも平面構造や断面構造などの二次元的な情報を得る手法である。半導体デバイスは、三次元的な構造を持っており、また電気特性の分布やデバイスの形状異常、不良箇所はデバイス中で三次元的な広がりを持って存在していることから、一つの平面情報や一つの断面情報のみの解析では、これらの現象を理解することが困難である。三次元構造を解析する手法としては、X 線コンピュータ断層撮影（CT：Computed Tomography）があるが、X 線 CT は空間分解能が数十μm程度であるために、実際に適用されるのは半導体パッケージやワイヤーボンディングなど一部の解析に限定されている[35]。それに対し、半導体デバイス中のトランジスタや配線の解析には、ナノメートルオーダーの分解能での解析が必要である。

また、半導体デバイス中での結晶歪や結晶欠陥等は、デバイスの電気特性に大きく影響することが知られており、結晶歪や結晶欠陥をナノメートルのレベルで評価する手法が求められている。1.1.2 で述べたように、NBD [27]や CBED [28]-[33]を用いた歪解析の事例は報告されているものの、これらの解析技術は半導体デバイス解析において十分に活用されていないのが現状である。

さらには、デバイスの微細化が進んだことにより、デバイス解析においても 1 nm 以下の原子レベルの空間分解能を有する解析手法が求められている。半導体デバイス中の電気特性劣化の原因究明や物理現象の解明、さらにはデバイスに用いられている新規材料の諸物性の把握には、微細化が進んだデバイスに対応できるナノメートルスケールの空間分解能を有する評価・解析技術が必要である。

1.2　本研究の目的

半導体デバイスの微細化や新規材料の導入に伴い、半導体デバイスの構造解析や不良解析、信頼性メカニズム解明などは益々困難になると予想される。また、デバイスサイズが小さくなるにつれて、電気的に不具合を起こす領域のサイズはさらに小さくなり、1 nm 以下の原子一個レベルの分解能での解析が必須となる。また同時にデバイス構造が三次元的に複雑になるために、従来の二次元的な解析手法ではなく、デバイス構造や不良個所を三次元的に解析する手法が必要となる。

このような背景のもとに、本研究では、先端半導体デバイスの解析に必要な原子レベルでの解析技術や三次元構造解析技術などの新規解析技術を確立し、これらの新しい先端物理解析技術を組み込んだデバイス解析フローを構築することを検討する。またこれらの手法を用いたデバイス解析の有効性について議論を行い、デバイスの信頼性劣化メカニズム解明やデバイスの性能向上に大きく貢献することを示す。

1.3　本論文の構成

本論文の構成を図 1.8 に示す。

まず、第２章で、半導体デバイスの解析フローについて説明を行い、現状の問題点と課題の抽出を行う。次にこれらの課題を解決するために必要な先端物理解析技術を提案し、それぞれの技術の原理と特徴について説明する。またデバイス解析への適用について議論を行い、最後に、これらの先端物理解析技術を取り入れたデバイスの物理解析フローを提案する。

第３章では、提案した物理解析フローを用いて、半導体デバイスで発生した Ni シリサイド材料の異常成長を解析した結果について述べる。また得られた結果から、結晶学的な視点の議論を行い、異常成長の起きるメカニズムを考察した結果について述べる。

第４章では、提案した物理解析フローを用いて、Ni シリサイド材料の断線不良を解析した結果について述べる。断線不良の発生メカニズムを明らかするために、先端物理解析技術であるアトムプローブと SEM/EBSD を用いて解析を行い、断線部の構造、結晶性、および不純物に関して解析した結果について述べる。さらに、それらを基に Ni シリサイドが断線するメカニズムについて考察した内容を述べる。

第５章では、提案した物理解析フローをデバイス中で発生する結晶欠陥の解析に適用した事例について述べる。電子線トモグラフィと低角度環状暗視野（LAADF：Low Angle Annular Dark Field）-走査透過電子顕微鏡（STEM：Scanning Transmission Electron Microscopy）を組み合わせた手法を立ち上げ、SiGe ソース/ドレインを用いて作製した MOS デバイス中に存在する結晶欠陥の解析に適用した内容について述べる。また得られた物理解析の結果から、結晶欠陥とデバイス構造の三次元的な位置関係や、結晶欠陥の起点とすべり面を特定し、結晶欠陥の発生メカニズムを構築した結果について述べる。

第６章では、提案した物理解析フローを High-k 膜の信頼性不良に適用した事例について述べる。アトムプローブと球面収差補正走査型透過電子顕微鏡を用いて、原子レベルでの構造解析を行った結果について述べる。またこれらの物理解析結果から、信頼性劣化のメカニズムを議論した結果について述べる。

第７章では、提案した物理解析フローをバックエンドプロセスの信頼性劣化の解析や３次元定量解析に適用した事例について述べる。さらには、電子線トモグラフィの有効性について議論した内容について述べる。

最後に、第８章で、本研究の結論を述べる。

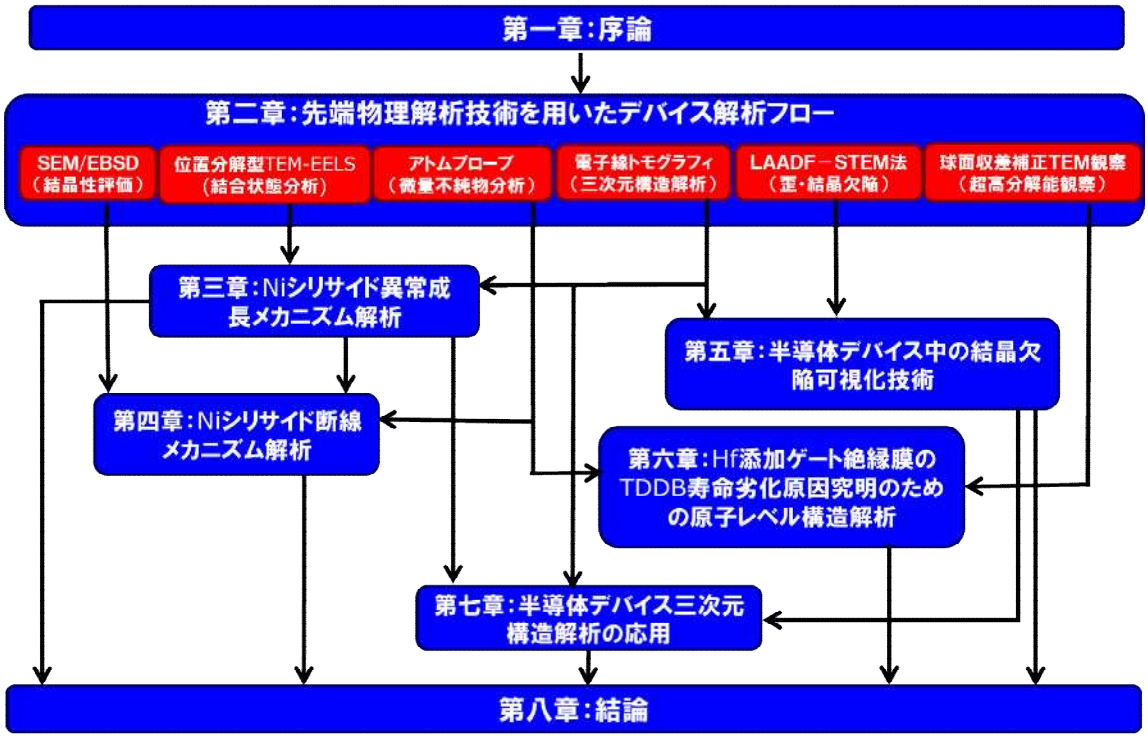

第一章：序論
第二章：先端物理解析技術を用いたデバイス解析フロー
SEM/EBSD
（結晶性評価）
位置分解型TEM-EELS
（結合状態分析）
アトムプローブ
（微量不純物分析）
電子線トモグラフィ
（三次元構造解析）
LAADF－STEM法
（歪・結晶欠陥）
球面収差補正TEM観察
（超高分解能観察）
第三章：Niシリサイド異常成長メカニズム解析
第五章：半導体デバイス中の結晶欠陥可視化技術
第四章：Niシリサイド断線メカニズム解析
第六章：Hf添加ゲート絶縁膜のTDDB寿命劣化原因究明のための原子レベル構造解析
第七章：半導体デバイス三次元構造解析の応用
第八章：結論

図 1.8　本論文の構成

第２章　先端物理解析技術を用いたデバイス解析フロー [36]-[49]

2.1　まえがき

本章では、半導体デバイスの解析に、先端物理解析技術を組み込んだ新しいデバイス解析フローを提案する。

これまでのデバイス解析手法では、すべての不良の原因を究明することが困難であった。その解決策として、新たに先端物理解析手法を提案する。さらにこれらの技術をデバイス解析の物理解析フローに組み込むことを検討する。また、その新しい物理解析手法および解析フローの有効性を議論した結果について述べる。

2.2　半導体デバイスの解析フロー

半導体デバイスの解析において、解析のフロー（手順）は、非常に重要である[50],[51]。半導体デバイスの不良解析において、解析の手順を間違えたり、誤った手法で解析を行ったりすると、不良原因を突き止めることが困難となる。

図 2.1 に代表的な半導体デバイスの解析フローの概要を示す。以下にその解析フローについて簡単に説明をする。

（１）　**不良状態の把握**：発生している事象を確認するために、不良の状態把握を行う。不良が発生した時の環境（温度、湿度、動作電圧など）の確認、不良の症状確認、製造プロセスの履歴の確認、デバイスの使用状況確認等を行う。

（２）　**電気的特性の評価**：電気的な特性の確認を実施する。テスタ等によりデバイスの動作状態のチェックを実施する。規格値との比較や、温度特性、周波数特性などを評価する。また必要に応じて、ストレス試験（過剰な電圧条件や、高温多湿等の環境での加速試験）を行う。

（３）　**外観確認**：チップやパッケージの外観（外形）を確認する。傷・クラック・腐食・異物・焼損痕跡・変形等を裸眼や光学顕微鏡、X 線顕微鏡等で確認する。

（４）　**不良個所の特定**：エミッション顕微鏡法（PEM：Photo Emission Microscopy）や赤外光ビーム加熱抵抗変動（IR-OBIRCH：Infra-Red Optical Beam Induced Resistance Change）などにより不良個所を絞り込む。また電位コントラスト法や電子線誘起電流（EBIC ：Electron Beam Induced Current）法、ナノプロービング法などを用いて、より狭い領域まで絞り込む場合もある[52]-[54]。

（５）　**物理化学的解析・構造解析**：不良箇所の形状や構造を確認する。配線や層間膜をエッチングにより除去しながら形状を確認したり、収束イオンビーム（FIB：

Focused Ion Beam）を用いて断面解析を行ったりする。形状確認にはSEMやTEMといった電子顕微鏡が用いられることが多い。また必要に応じて元素分析を行う場合もある。

（6） **不良原因の推定・不良メカニズム解明**：得られた結果から、不良メカニズムや根本原因の推定を行う。

（7） **検証実験・プロセス対策**：検証のための各種プロセス実験などを行い、対策を実行する。

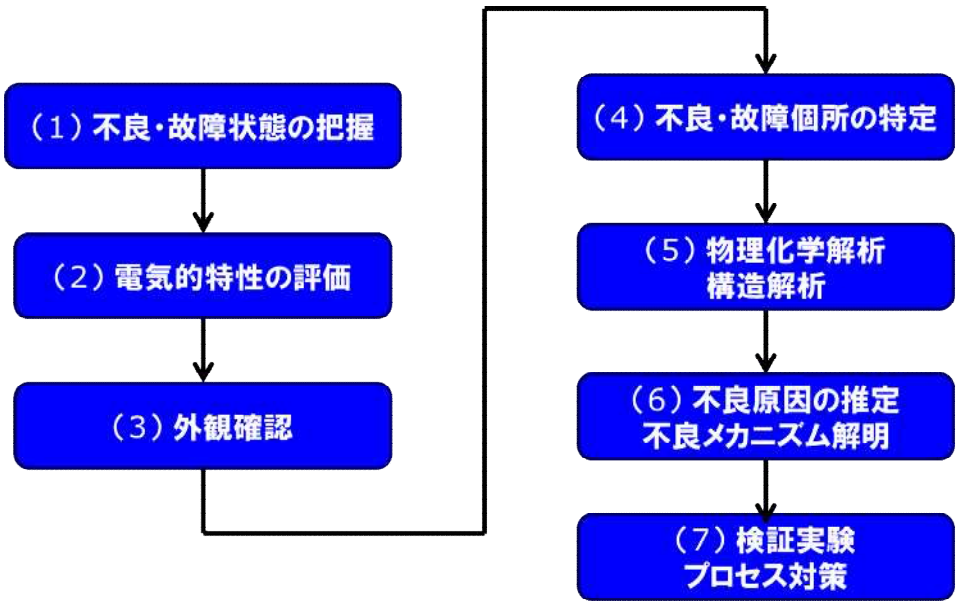


図 2.1　半導体デバイスの解析フロー

ここで重要なことは、ステップごとに、正しい手順で、正しい手法を選択することである。さらには、個々の現象と不良との因果関係を明確にしながら、最終的に検出された結果で不具合現象が説明できることが重要である。

2.3　半導体デバイス解析における物理解析の重要性

半導体デバイス解析において物理化学解析や構造解析は、図 2.1 で示したように、不良原因の特定や不良メカニズムを解明するための、まさに最終手段であり、デバイス解析において非常に重要な役割を担っている。

半導体デバイスの微細化や新規材料の導入に伴い、半導体デバイスの物理解析は困難になってきている。デバイスサイズが小さくなるにつれて、電気的に不具合を起こす領域のサイズはさらに小さくなり、1 nm 以下の原子一個レベルの分解能での解析が要求されている。また、材料の結晶性や歪や結晶欠陥、三次元構造といった、従来の手法では捉えることが困難な現象が、デバイスに大きな影響を与えるようになり、これらを解

析することが益々重要となってきている。

図 2.2 に代表的な物理解析のフローの模式図を示す。物理解析において SEM や TEM は半導体デバイス解析に広く用いられる技術である。また、多くの不良解析において、SEM および TEM 解析を用いた形状観察により不良原因を解明することが可能であった。しかし、近年のデバイス構造の微細化および新規材料の導入、さらにはデバイス構造の多様化・三次元化により、これまでの SEM や TEM を用いた解析のみでは解明できない不良が発生し、不良原因の究明が困難となってきた。

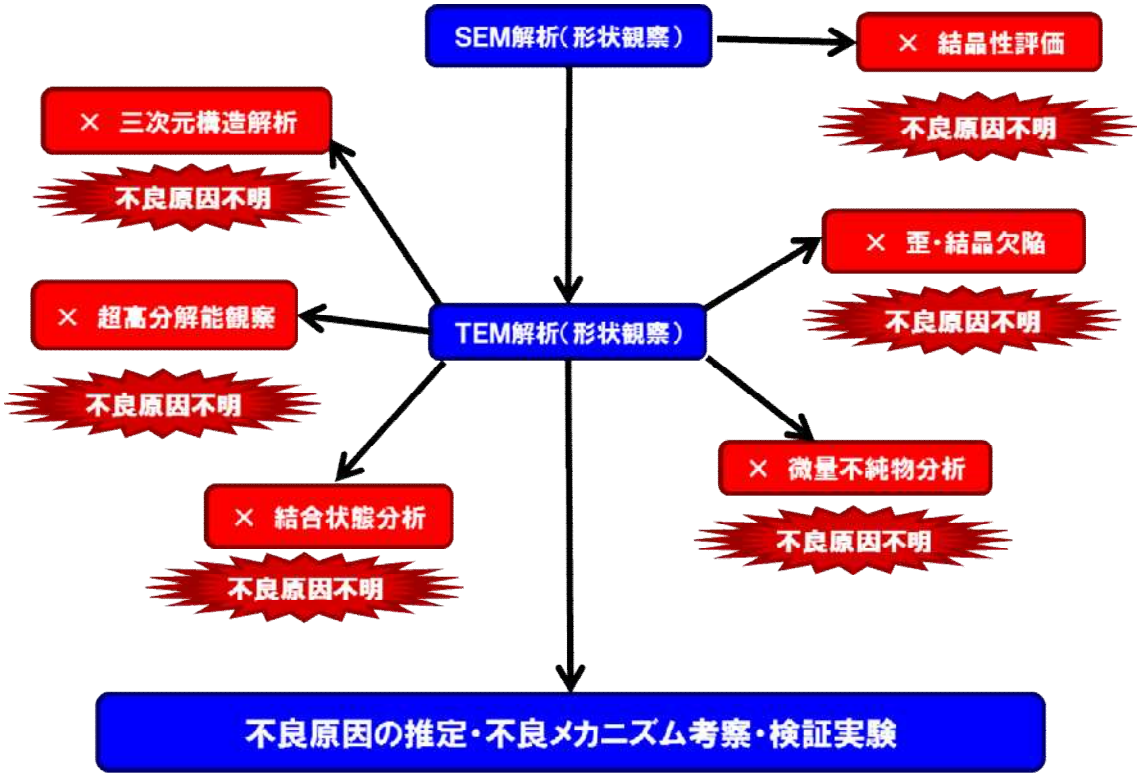


図 2.2　物理解析フロー

これらの問題を回避するために、本研究では、新たに先端物理解析手法を提案し、デバイス解析フローに取り入れ、実際のデバイス解析への適用を提案する。

2.4　先端物理解析技術

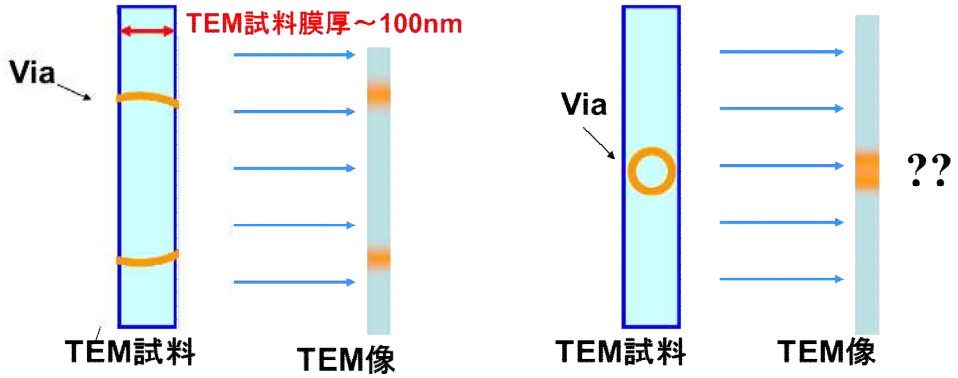
半導体デバイスの微細化や新規材料の導入に伴い、従来の解析技術では不良原因が特定できない現象が増加し、また不良にいたる物理現象も解明できない事象が増えてきている。本節では、これまでの解析技術では困難であった課題に対し、新たな先端物理解析手法を提案し、デバイス解析フローに取り入れることを検討する。

2.4.1　電子線トモグラフィ

本項では、ナノメートルオーダーで三次元構造解析を行う手法である、電子線トモグラフィについて説明する。

三次元構造解析の課題

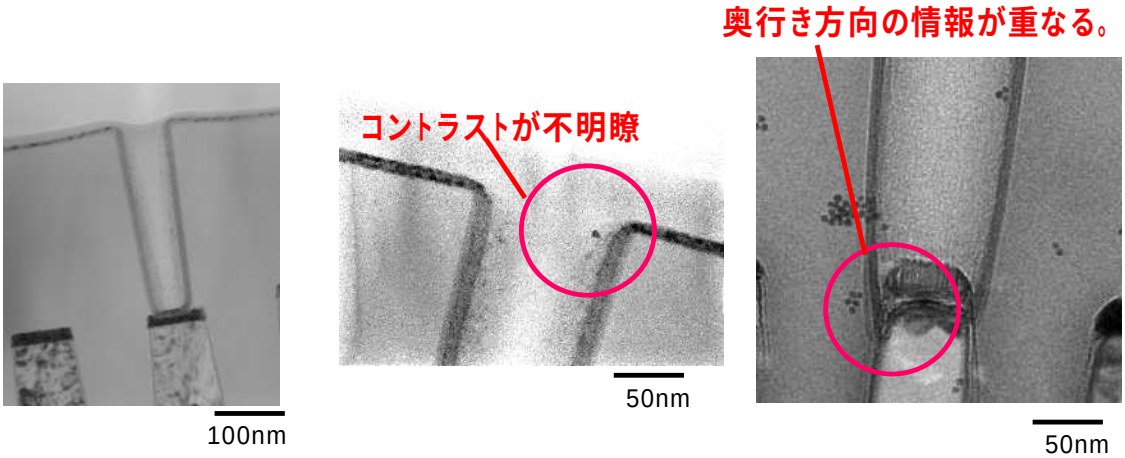
先端半導体デバイス開発や不良解析において、透過型電子顕微鏡(TEM)を用いた評価は有力な手法であり、最も活用されている解析手法の一つである[55]-[59]。近年、半導体デバイスの微細化が急速に進み、それに伴い配線や Via、トランジスタなどのデバイスを構成する素子のサイズが小さくなってきている[1]-[3]。特に 65 nm ノード以降のデバイスでは、素子サイズが TEM 試料膜厚（通常約 100 nm）よりも小さくなり、TEM を用いた微細構造の評価が困難になってきている。その一例として図 2.3 にビア（Via）を断面 TEM にて観察した場合の TEM 試料と TEM 像の関係を模式図にしたものを示す。図 2.3（a）の様に TEM 試料膜厚に対し Via 径が十分に大きい場合、Via の形状は TEM 像で確認することは容易である。一方、図 2.3（b）の様に TEM 試料膜厚に対し Via 径が小さい場合、TEM 像（透過像）では奥行き方向に Via の構造が重なってしまうため、Via の形状を詳細に把握することは不可能である。



（a）Via 径が大きい場合　　（b）Via 径が小さい場合

図 2.3　Via を断面 TEM 観察した時の模式図

図 2.4 に 65 nm ノードプロセスを用いて、Via をドライエッチングにて開口後、バリアメタルを形成したものを TEM 観察した結果を示す。Via のボトム径は 130 nm で TEM 試料膜厚とほぼ同じである。図 2.4（b）に示すように、バリアメタルの幾何学的な構造は TEM 観察時の電子線透過方向に一様でないため、バリアメタルのコントラストが不明瞭になる。そのため膜厚を評価しようとしても精度が著しく劣化してしまう。また図 2.4（c）では Via 底の形状が三次元的に複雑なため、Via 底の真の形状を把握することが困難である。



（a） Via の断面 TEM 像　（b）Via 上部拡大 TEM 像　（c） Via 底部拡大 TEM 像

図 2.4　TEM 像観察結果

これらの解決策のひとつとして、電子線トモグラフィを用いた三次元形状評価が提案されている[55],[57]。電子線トモグラフィは TEM の応用技術の一つであり、デバイスをナノメートルオーダーで三次元構造解析する手法である。

電子線トモグラフィは医学・生物の分野では、従来から用いられている技術であるが[58]、半導体デバイスへの適用には高分解能観察が困難なことや、結晶性材料の回折コントラスが三次元解析のノイズとなることから、これまで半導体への適用は困難であった。しかし、近年の TEM 装置の改良とデータ解析技術の進歩により、半導体デバイスへの適用の可能性について議論されるようになってきた[57]。半導体デバイスの形状評価手法として電子線トモグラフィに着目し、実際のデバイス解析への適用の可能性について議論する。

電子線トモグラフィの原理

電子線トモグラフィは、試料を傾斜しながら連続的に TEM 像または STEM 像を取得し、そのデータから三次元構築像を構築する解析手法である[56]。原理的には X 線 CT[34]と類似しているが電子線トモグラフィはプローブに電子線を用いることによって、X 線 CT より高い空間分解能での三次元形状評価が可能となっている。

トモグラフィの原理を図 2.5 に示す。TEM で観察される試料の三次元密度分布を $f(x,y,z)$で表し、通常行われている垂直軸(y 軸)による単一軸回転を考える。この場合、トモグラフィは、各 y 座標の 2 次元断層 $f_y(x,z)$を順次再構成していくことで達成される。まず、TEM 像 $I_\theta(x',y)$の 1 次元強度分布 $I_{\theta y}(x')$の θ に関するシリーズから、2 次元断層 $f_y(x,z)$が再構成される原理について述べる。ここで、(x,y)座標系が y 軸に関して θ 回転した座標系を(x',y')とする。試料の密度分布 $f(x,y,z)$に対して、$I_{\theta y}(x') = \int f_y(x,z)dz$ と表せ

る。このとき、$I_{\theta y}(x')$を $f_y(x,z)$のラドン変換(Radon transform)、あるいは θ 方向への投影（projection）と呼んでいる（図 2.5①）。ここで観測される $I_{\theta y}(x')$の一次元投影情報と道の断面像 $f_y(x,z)$との関係は、フーリエ空間からみると、さらに明確になる。中央断面定理（Central Slice Theorem）あるいは、投影断面定理（Projection Slice Theorem）と呼ばれる以下の関係式から、図 2.5 に示したように $I_{\theta y}(x')$の一次元フーリエ変換 $F[I_{\theta y}(x')]=P_{\theta y}(r)$ (図 2.5②)は、次の(2.1)式でも示されるように、$f_y(x,z)$の２次元フーリエ変換 $F[f_y(x,z)]=F_y(u,w)$の原点をとおり投影する方向に直交する切断部分と等しくなる(図 2.5③)。

$$Fy(r\cdot\cos\theta,\ r\cdot\sin\theta) = \int I_{\theta y}(x')\exp(-i2\pi rx')dx' = P_{\theta y}(r) \qquad \cdots \quad (2.1)$$

以上のことから、多くの方向から投影を行い、ぞれぞれの１次元投影分布のフーリエ変換を演算し、それを上記の定理に従ってフーリエ面にあてはめていけば、未知の $f_y(x,z)$を２次元フーリエ変換した関数が求まり、その結果を逆変換すれば断層像 $f_y(x,z)$を得ることができる。

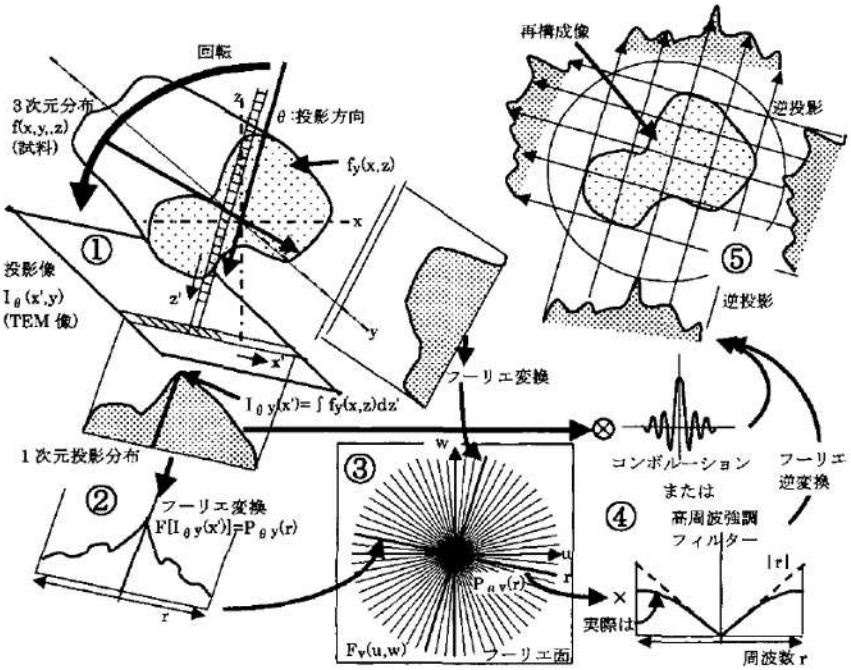


図 2.5 電子線トモグラフィの原理[56]

位置合わせ

位置合わせ法には、予め試料表面に付着させた金などのコロイド粒子をマーカーとして使う方法と、それら無しの画像処理による方法がある。金コロイドは球形でかつ高コントラストであることから、透過像毎に追跡しやすく、簡便かつ確実な方法と言える。しかし、金コロイドを制御よく付着させることは不可能であり、視野内に金コロイドが無かったりする場合や、逆に金コロイドが高コントラストであるために再構成画像に余計なコントラストを生じてしまう場合がある。画像処理による方法は、二つの画像の相互相関関数を求め、その関数値が最大になる位置ずれベクトルを求める方法である。この手法はわずかな刻みでその構造が回転されて、画像が変化していく場合に精度よく位置合わせが達成される[56],[58]。三次元再構築像の画質の優劣は軸合わせの精度に依存する。どちらの手法もそれぞれ長所・短所があるため、評価試料毎に最適な位置合わせの手法を選択することが重要である。

三次元再構成演算

三次元再構成は、断層像 $f_y(x,z)$の２次元フーリエ変換関数を逆変換することで可能である。しかし、実際には情報欠落などの阻害要因があるため、基本原理にそって単純に逆変換しても正確な再構成は行えない。一般に、十分な投影情報がある場合はフィルタ逆投影（FBP：Filtered Back-Projection）または、重みつき逆投影（WBP：Weighted Back-Projection）法を用いる[56]。TEM による試料傾斜の場合は、回転角度に制約があるので、単に FBP 法や WBP 法で再構成しても正確な再構築像は得られない場合が多い。このため反復計算によって収束解を求めていく反復再構成 (IRT: Iterative Reconstruction Technique)と呼ばれる手法や、全投影データに対して最小誤差になるようにバランスして補正する繰り返し反復再構成（SIRT：Simultaneous Iterative Reconstruction Technique) 法などを用いる[56]。三次元構築されたデータは x,y,z の三変数からなる密度分布データとなる。

分解能と情報欠落

一般にトモグラフィにおける分解能 d は、全方位からの投影が可能な場合、試料回転の刻み Δθ もしくは回転数 N から以下の(2.2)式で与えられる。

$$d = \Delta\theta \cdot D = (\pi/N) \cdot D \quad \cdot\cdot\cdot \quad (2.2)$$

ここで D は対象物のサイズである。しかし、電子線トモグラフィでは試料回転角度に制限があるため、異方性の分解能の議論が必要となる。回転角度の制限があると試料の真横を見ることができないため、試料の奥行き方向の分解能が劣化する。このため、回転角度範囲を広げたり、回転軸をもう一つ増やし二軸傾斜にしたりして精度を向上す

る技術も開発されている。また 2.3.3 で述べたように再構成演算の手法として反復再構成法を用いれば、補正演算を繰り返している分だけ分解能の異方性(三次元構築像の分解能劣化)は抑制することができる。

また、電子線トモグラフィは TEM を用いる技術であることから、観察対称の物質の密度が高い場合（電子線が透過し難い材料や構造の場合）、十分な投影（透過）情報を得ることが困難である。故に、構造や材料によっては、三次元像の像質劣化や情報欠落により明瞭な三次元像が得られない場合がある。

電子線トモグラフィの像質や分解能については、傾斜方向や回転角度、観察対象の材料などを考慮した議論をする必要がある。

TEM/STEM 像取得

TEM/STEM 像取得には FEI 社製 200kV TEM 装置 Tecnai G2 F20 を用いた。図 2.6 に TEM 装置の外観写真を示す。本装置では、像取得時の試料傾斜やフォーカス調整はコンピューター制御を用いて自動で行う。試料傾斜は、高傾斜可能な専用ホルダーを使用して 1 軸傾斜で行い、試料を＋70°から－70°まで傾斜し、TEM 像、高角度環状暗視野（HAADF：High Angle Annular Dark Field）-STEM 像または、LAADF-STEM 像を 100～150 枚取得する。HAADF-STEM および LAADF-STEM 法の詳細については、2.4.5 にて説明する。

図 2.6　TEM 装置（Tecnai G2 F20）外観写真

本研究では、ナノメートルオーダーで三次元構造解析を行う手法である、電子線トモグラフィを、半導体デバイスの三次元構造解析およびデバイス不良解析に適用することを試みる。

2.4.2　位置分解型 TEM-EELS

本項では、局所領域における結合状態（結晶相）分析を行う手法である、位置分解型 TEM-EELS[60]について説明する。

ナノメートル領域での元素分析・化学結合状態の解析

近年の半導体デバイスの微細化や高性能化のために、半導体デバイス中のナノメートル領域の構造を制御し、新たな物性や機能を実現することが求められている。そのため、ナノメートル領域での高い空間分解能で元素分析や化学結合状態を解析する技術が不可欠となってきている。TEM の応用技術の一つである、TEM-EELS は高い空間分解能で元素分析や化学結合状態を解析する手法であり、半導体デバイス解析においてもしばしば活用されてきた[24]-[26]。しかし、電子のエネルギー損失スペクトルを高いエネルギー分解能で解析することが必要であるにも関わらず、TEM 装置の電子銃自体のエネルギー広がりや，エネルギーの不安定性（経時変化）によって、電子線のエネルギーは 1.0 eV 程度変動してしまうのが現状である。それ故に、エネルギー変動の無い安定的な測定は困難であった。今回、この問題を解決するために、複数のスペクトルを同時に取得することにより、TEM 装置の不安定性（経時変化）を排除した状態で解析することが可能な位置分解型 TEM-EELS を、半導体デバイス解析へ適用することを試みた。

TEM-EELS の原理

TEM と EELS を組み合わせた TEM-EELS は、TEM の応用技術の一つであり、ナノメートル領域での高い空間分解能で、元素分析や化学結合状態の解析が可能な技術である[24]-[26]。

図 2.7 に本研究で用いたポストコラム型のエネルギーフィルター電子顕微鏡装置の模式図を示す。TEM 装置は、日立ハイテクノロジーズ社製 HF-3000 を用いた。電子銃で加速された電子は、評価試料中で弾性散乱（エネルギー損失量：ΔE＝0）および非弾性散乱（エネルギー損失量：ΔE≠0）の過程を経て像面まで到達する。図 2.8 に試料中での電子の散乱過程を模式図に示す。試料を透過した電子のエネルギー損失（ΔE）分布の測定は、像面下（TEM 装置下部）に取り付けてある磁場セクター型のエネルギーフィルター（Energy filter：エネルギー分光器）を用いる。像面の下に取り付ける 90°磁場セクター型のエネルギーフィルターは商品化されている Gatan 社製 Energy filter GIF2000 を用いた。これにより、得られた電子のエネルギー損失（ΔE）分布から、試料中に存在する元素の特定や、化学結合状態分析を行うことができる。

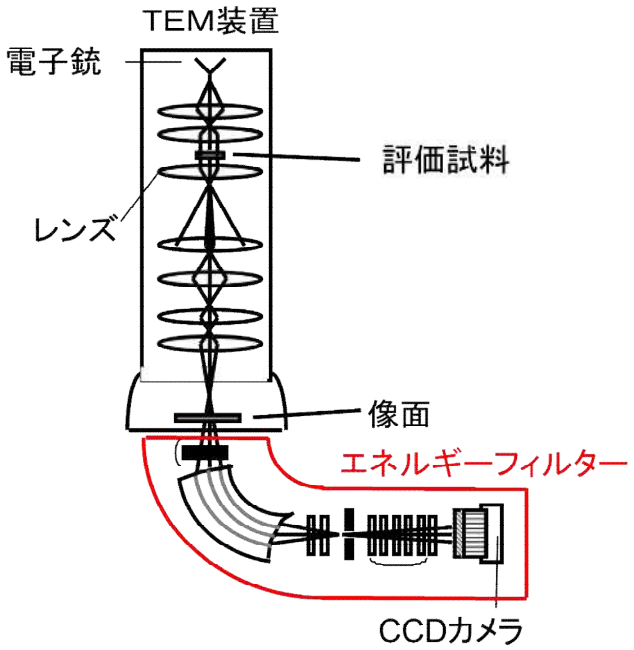


図 2.7　エネルギーフィルター電子顕微鏡（TEM-EELS）装置模式図

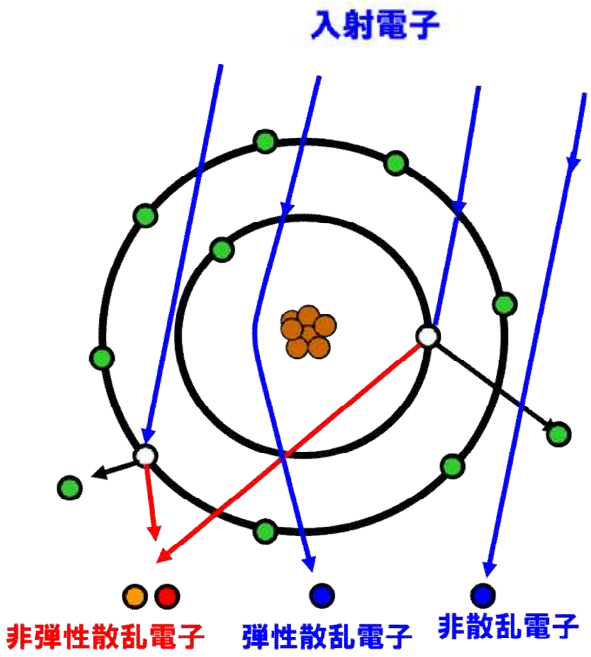


図 2.8　試料中での電子の散乱過程

位置分解型 TEM-EELS の原理と特徴

TEM-EELS は高い空間分解能で元素分析や化学結合状態を解析する手法であるが、TEM 装置のエネルギーの不安定性（経時変化）によって、安定的な測定が困難であった。今回、この問題を解決するために、複数のスペクトルを同時に取得可能な位置分解型 TEM-EELS を、半導体デバイス解析へ適用することを試みた。

図 2.9 に位置分解型 TEM-EELS の模式図を示す。装置の構成は図 2.7 で示したものとほぼ同じであるが、像面に位置分解のためのスリットを挿入している。このスリットを利用し、試料を透過してきた電子のうち、実際に解析したい位置のスペクトルのみを選択し、同時に取得（ライン分析）することができる。図 2.9 中の右側の図には Ni シリサイドと Si 基板部分をスリットにより選択した例を示している。これにより Ni シリサイド領域と Si 基板領域のスペクトルを同時に取得することが可能となる。その結果、経時変化の影響を受けずに、僅かなエレルギーシフトを検出することが可能である。

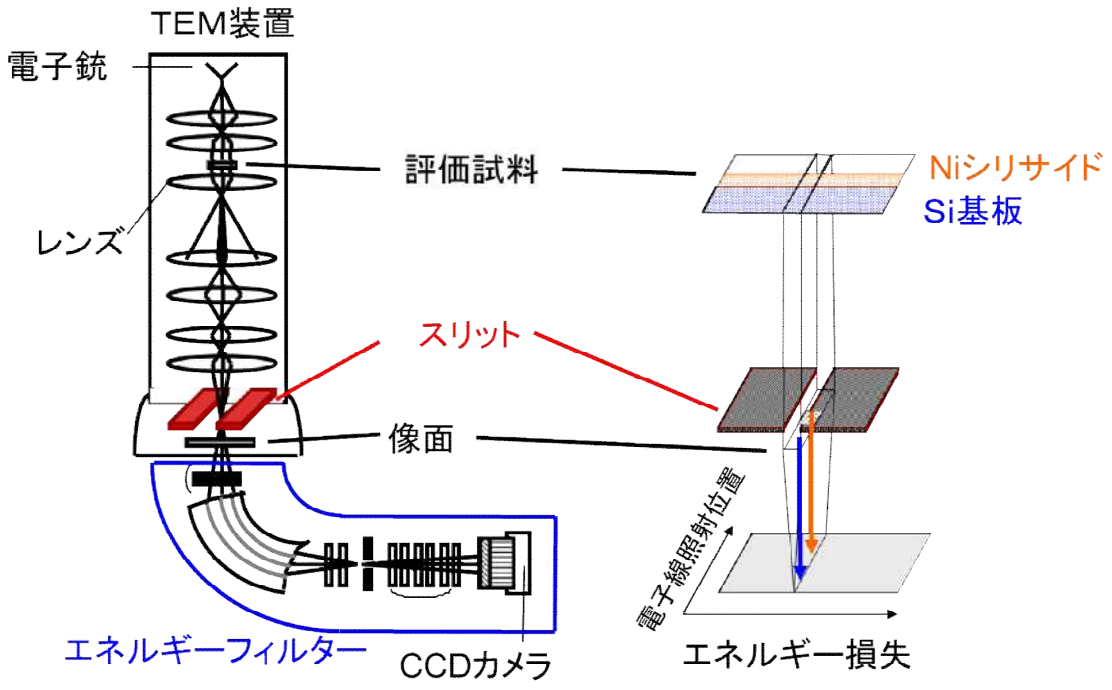
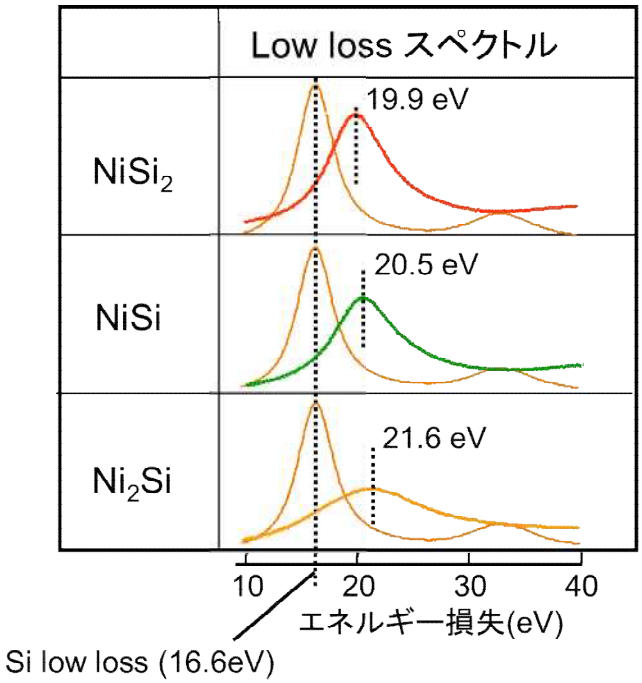


図 2.9　位置分解型 TEM-EELS の概略図

図 2.10 に、Ni シリサイドの標準試料を位置分解型 TEM-EELS で解析した事例を示す。スペクトル解析は、価電子帯の情報を含む低エネルギー損失スペクトル（Low Loss スペクトル）を用いて行った。図 2.10 中の表は、各 Ni シリサイド結晶の標準試料から得られた EELS スペクトルを示す。EELS スペクトルのピーク位置はゼロロス（0 eV）と Si プラズモンロス（16.6 eV）を基準に算出した[60]。このように Ni シリサイドの結晶相によってプラズモンピーク位置が 19.9 eV から 21.6 eV とわずかに変化していることを高エネルギー分解能で捉えることができた。



プラズモンロスのピーク位置

	[eV]
Si	16.6
$NiSi_2$	19.9
NiSi	20.5
Ni_2Si	21.6

図 2.10 Ni シリサイド標準試料の位置分解型 TEM-EELS による解析結果

本研究では、局所領域における結合状態（結晶相）分析を行う手法である、位置分解型 TEM-EELS を、半導体デバイス中に用いられる Ni シリサイドの結晶相同定に適用することを試みる。

2.4.3 SEM/EBSD

本項では、ナノメートルオーダーで薄膜材料の結晶性を評価する手法である、SEM/EBSD について説明する。

SEM/EBSD の概要と特徴

SEM/EBSD は SEM を応用した電子線回折手法の一つであり、結晶性や結晶方位を特定するに用いる解析手法である[34],[61]。従来は鉄鋼などの金属材料の解析手法として用いられていた解析手法であるが、近年の SEM の高分解能化、パーソナルコンピューター（PC：personal computer）の高性能化および EBSD のパターン取得のための検出器の性能向上にともない、半導体デバイス解析への適用が徐々に広まっている。表 2.1 に半導体材料の結晶性材料を評価する主な手法の一覧を示す。EBSD は、空間分解能が TEM や走査型イオン顕微鏡（SIM：scanning ion microscope）とほぼ同等であり、測定時間が他の手法よりも圧倒的に短いことから、広い領域の多点測定やマッピングに有利である。それ故に、定量評価や統計的な解析が可能である。このことから、EBSD は他の手法に比べ空間分解能・測定時間・試料作製など有利な点が多いと言える。

表 2.1 半導体材料の結晶性材料を評価する主な手法の一覧

	空間分解能	測定時間	優位点(○)・問題点(×)
X線回折	～10μm	数十分	×微細領域評価困難
TEM/菊地線	～10nm	数十分	○高空間分解能　×試料作製困難
SIM	～10nm	数十分	×定量化困難　×観察によるダメージ
EBSD	～数十nm	0.1秒以下	○測定・解析時間が非常に早い ○多点測定でき定量的・統計的評価が可能

本研究で用いた SEM 装置は、Carl Zeizz 社製 ULTLA 55 である。また、EBSD 検出器および解析システムは OXFORD 社製 HKL Channel5 を用いて行った。SEM 装置の外観図を図 2.11 に示す。

図 2.11　SEM/装置(Carl Zeizz 社製　ULTLA 55)の外観図

EBSD の原理とデータ解析方法

EBSD の測定は、図 2.12 に示した概略図に示すように SEM 中で約 70 度傾斜させた試料に電子線を照射することによって実施する。図 2.13 に、試料中での入射電子の挙動と結晶格子の模式図を示す。試料に入射した電子は、各格子の原子により弾性散乱または非弾性散乱され、試料中を全方向に広がっていく。その時、表面の極浅いところでは、以下の(2.3)式に示すブラッグ条件を満たす回折反射電子が伝播し、その結果、検出器のスクリーン上にチャネリングパターン（菊池パターン）を形成する。

$$2d \cdot \sin\theta = n \cdot \lambda \qquad \cdots \quad (2.3)$$

d　:　格子面間隔

θ:　回折反射角

λ:　電子の波長

n　:　整数

図 2.14 に得られたチャネリングパターンの例を示す。このチャネリングパターンを検出器上のスクリーンで取り込み、得られたパターンからバンド（回折線）を抽出する。バンドの抽出は Hough 変換法を用いて行う[62]。Hough 変換は計算の高速化が可能であり、また、変換後の座標系が単純であるために、その後の結晶面指数付けを行う際に複雑な計算が不要である。それ故に、Hough 変換は EBSD パターン解析に適していると言える。

結晶面指数の決定は、あらかじめ与えられた結晶系の面指数と、Hough 変換によって得ら

れた各測定点の座標とのフィッティングにより行う。図 2.15 にフィッティングによるバンドの指数付け結果をチャネリングパターンに重ね合わせた例を示す。このようにして、電子線を照射した位置の結晶相や結晶方位を決定することができる[61]-[63]。

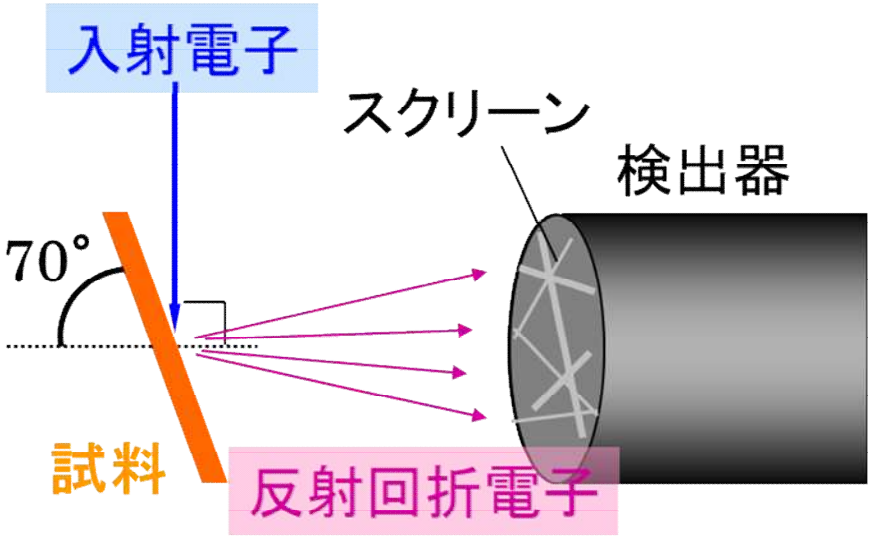


図 2.12　EBSD 測定の模式図

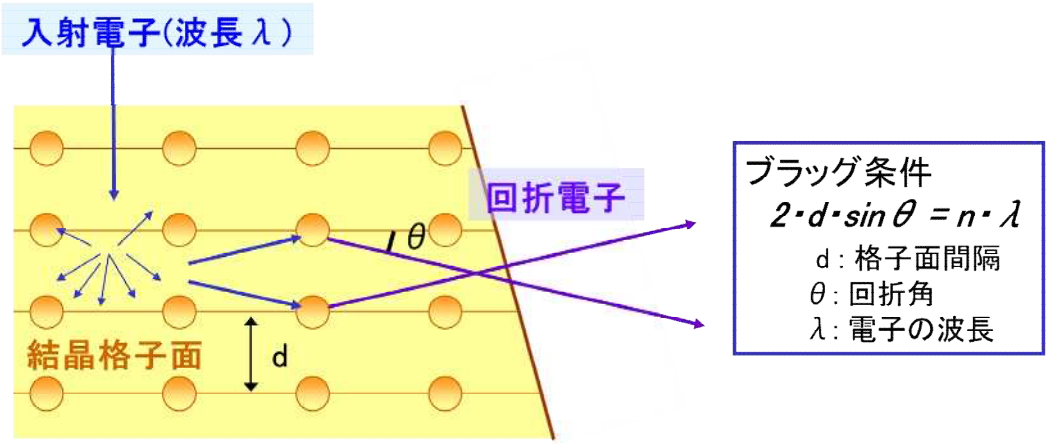


図 2.13　試料中での電子の挙動と結晶格子の模式図

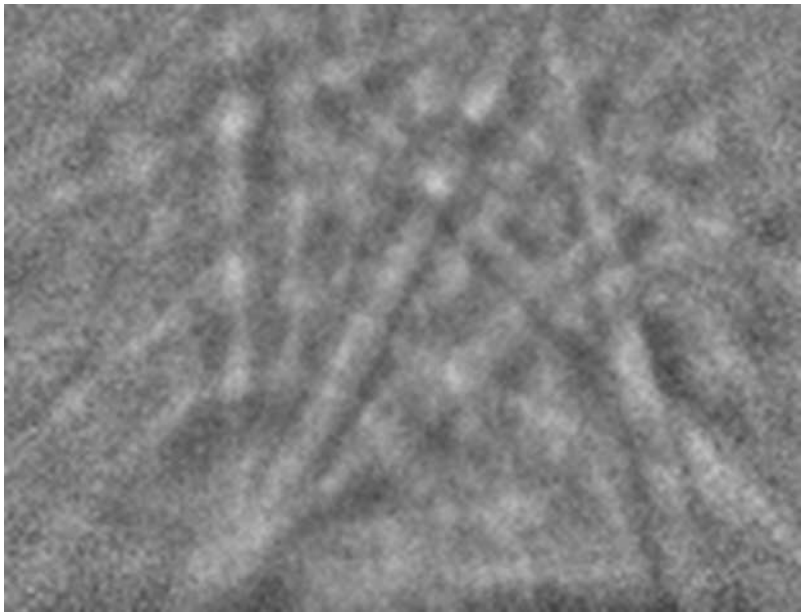


図 2.14　EBSD **にて得られたチャネリングパターン**

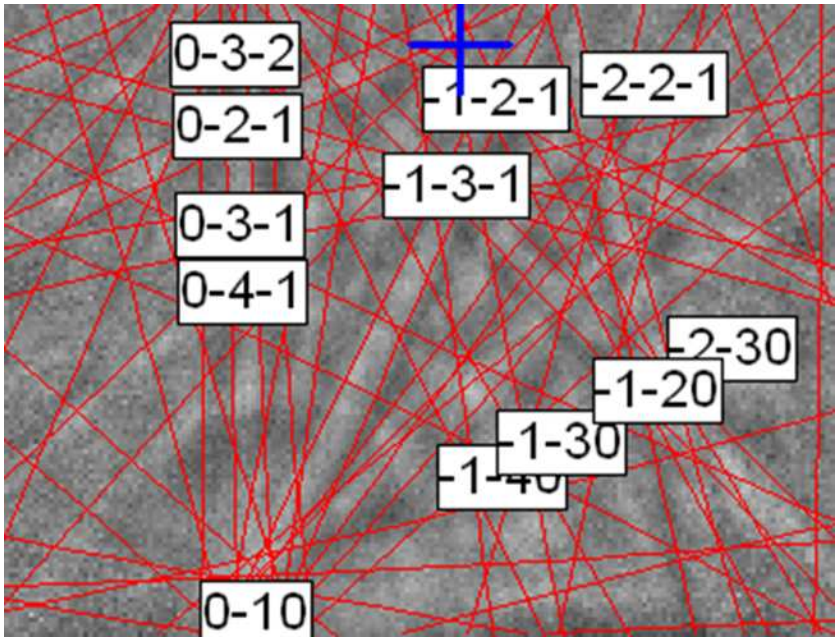


図 2.15　**チャネリングパターンの指数付結果。赤線はチャネリングパターンから自動抽出した各バンドを示す。白枠の数字は指数付けしたバンドの面方位を示す。**

本研究では、ナノメートルオーダーで薄膜材料の結晶性を評価する手法である、SEM/EBSD **を、半導体デバイス中に用いられる** Ni **シリサイド薄膜の解析に適用することを試みる。**

2.4.4 三次元アトムプローブ

本項では、原子レベルで試料中の元素の種類と三次元的な座標を特定する手法であるアトムプローブについて説明する。

アトムプローブの原理

アトムプローブは、1968年にペンシルベニア州立大学のE. W. Müller教授によって発明された装置である[64]。アトムプローブは、電界イオン顕微鏡に飛行時間型質量分析器を取り付けたものであり、試料表面の個々の原子の位置と元素を同定することができる分析手法である[64]-[66]。アトムプローブでは試料表面に高電界を印加し、イオン化された原子を分析する技術である。試料に数十V/nmという高電圧パルスを印加し、試料表面で電界蒸発した原子は検出器に到達する。このような高電界パルスを用いた原子の電界蒸発により、原子がイオン化される瞬間から検出器に到達するまでの飛行時間(t)を測定することができる。これによりイオンの質量を決定することができる技術である。1990年後半までに使われていたアトムプローブは、現在では一次元アトムプローブと呼ばれている技術であり、深さ方向に原子を収集することにより一次元の濃度プロファイルを測定する手法であった。

三次元アトムプローブ

三次元アトムプローブは、1988年にOxford 大学のCerezo教授らによって開発された[67]。従来のアトムローブに位置検出型の検出器を用いることにより、個々のイオンの質量とともに、イオンの位置を特定できるようになった。

図2.16に三次元アトムプローブの原理の模式図を示す。アトムプローブでは試料表面に高電界をかけるため、電界が均一になるように針状の試料を用いる。図2.16に示すように先端の半径が約50 nmのピラー状（針状）の試料を作製する。試料に数十V/nmという高電圧パルスを印加し、試料表面の原子を電界蒸発させる。試料表面で電界蒸発した原子は検出された座標（X,Y）を認識できる位置検出型の検出器に到達する。この時、原子がイオン化される瞬間から検出器に到達するまでの飛行時間(t)を測定することができるので、これによりイオンの質量を決定することができる。これらの測定から得られる検出器の位置（X,Y）、飛行時間（t）から元素の二次元マッピングを取得することが可能である。

この時点では、二次元座標が求まるだけで、二次元マッピングしか得ることができない。しかし、原子は常に、試料表面から電界蒸発によって一層毎にイオン化されていくので、連続的に原子を表面から検出することが可能である。検出された原子の個数に比例する（z）座標を与えることにより、深さ方向の情報を得ることができる。このように、二次元マッピングを深さ方向に拡張していくことにより、原子の深さ方向の分布(z)についても測定することができる。その結果、検出器の位置（X,Y）、飛行時間（t）、および深さ方向の分布（z）から、試料中の元素の種類と三次元的な座標を特定することができる。実際の試料表面は球形をしているので、正確な三次元位置情報を得るためには、試料形状を反映した三次元再構成処理が必要である。

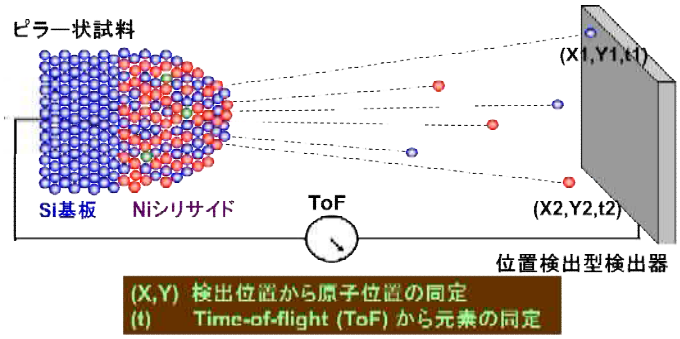


図2.16 アトムプローブの原理の模式図

レーザーアシスト機能による半導体材料への適用

アトムプローブは金属材料分析の分野では従来から行われている解析手法であるが[64]-[66]、これまで半導体デバイスへの適用は困難であった。電界蒸発を利用したアトムプローブは原子が電界によって均一に蒸発することで測定が可能な技術である。しかし、半導体材料や絶縁体材料では測定試料に印加される電界が不均一となり、原子の電界蒸発が起きにくいことから、半導体材料や絶縁体材料を含む半導体デバイスでは、測定中に試料中の絶縁層が破壊する問題が生じるため、適用することが困難であった。また、試料表面にラフネスが存在すると、原子の電界蒸発が不均一になることから、正確な位置情報の測定が困難である。そのため、複合材料試料や表面ラフネスの大きい試料の測定はデータの再現性や定量性に乏しいことが問題であった。しかし、近年のアトムプローブは電界蒸発をレーザーでアシストする技術が提案されており、半導体デバイスへの適用事例が報告されるようになってきた[68]-[70]。

三次元アトムプローブの試料作製

アトムプローブ測定では、試料表面に高電界をかけるため、電界が均一になるように針状の試料を用いる。針状試料は、先端の半径が約50 nmのピラー状（針状）となるように作製する必要がある。本研究ではFIBを用いたマイクロサンプリング法にて、アトムプローブ試料作製を検討した[71]。FIBを用いたマイクロサンプリング法はTEM試料作製技術として広く使われている技術である。またFIBは半導体デバイスの特定の箇所をナノメートルの空間分解能で狙い試料作製できる技術である。さらに、針の先端径や曲率もFIB加工により制御できるため、アトムプローブ試料作製に最適な手法であると考えられる。加えて半導体デバイスの不良解析への応用展開も可能な技術である。これらの理由から、アトムプローブ試料作製に、半導体デバイス解析で十分実績のあるFIBを用いたマイクロサンプリング法を適用した。

本研究では、原子レベルで試料中の元素の種類と三次元的な座標を特定する手法であるアトムプローブを、半導体デバイス材料の解析に用いることを試みた。

2.4.5　LAADF-STEM 法

本項では、ナノメートルスケールで結晶歪や結晶欠陥を可視化する手法である LAADF-STEM 法について説明する。

半導体デバイス中の歪解析技術

トランジスタへの歪印加技術の導入にともない、半導体デバイス中の歪を測定する技術がこれまで種々検討されてきた。結晶歪を評価する手法として、X 線や紫外線（UV：ultraviolet）、SEM や TEM 等の電子線を用いた評価手法がある。図 2.17 に半導体デバイス中の結晶歪を評価する主な手法を示す。UV 光や近接場を用いたラマン分光法は空間分解能が数百ナノメートルであり、微細な半導体デバイスを評価するには不向きである[72]-[75]。また SEM も同様に空間分解能の観点からナノメートルオーダーでの歪評価には不向きである。

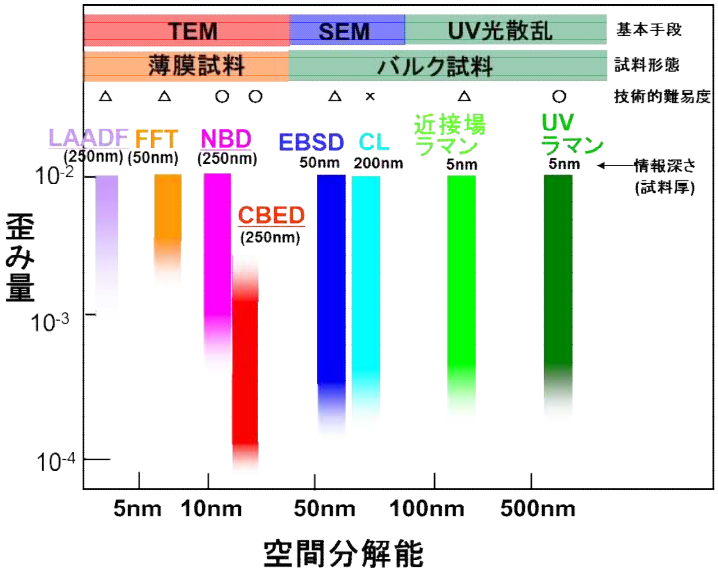


図 2.17　結晶中の歪を計測する技術（高速フーリエ変換（FFT：Fast Fourier Transform）、カソードルミネッセンス（CL: Cathodoluminescence））

TEM を用いた結晶歪・結晶欠陥解析技術

TEM を用いた歪評価手法としては NBD[27]や CBED[28]-[33]、電子線ホログラフィ[76]、高速フーリエ変換（FFT：Fast Fourier Transform）[77]などが提案されている。表 2.2 に TEM を用いた歪解析技術として NBD、CBED、LAADF-STEM を比較した結果を示す。NBD や CBED は、原理的には歪の二次元計測が可能であるが、歪の空間分布を 0.1%以下の高感度で評価するのには解析に非常に多くの時間を必要とすることから、

半導体デバイスの解析には不向きである。そのため、半導体デバイス中の歪評価に適用するには実用性に乏しいのが現状である。

表 2.2　TEM を用いた歪解析技術一覧。

		応力感度	空間分解能	界面測定 (界面からの距離)	適用難易度	解析に要する時間
CBED	110	10^{-4}	5nm	50nm	◎適用可	8～12時間
	100	10^{-4}	5nm	50nm	△課題有	8～12時間
NBD		10^{-3}	10nm	10nm	◎適用可	5～8時間
LAADF STEM		(10^{-3})	1nm	1nm	◎適用可	2～4時間

結晶欠陥を観察する手法として、TEM は古くから用いられている解析手法であり、また現在でも最も主流な解析手法である。しかし、TEM で結晶欠陥を観察する場合、電子線回折の影響による結晶方位によるコントラストの劇的な変化により、結晶欠陥を明瞭に観察する条件を設定するのが困難である。そのため、結晶欠陥を TEM で観察するためには、適切な回折条件の選択や像解釈等の知識と経験が必要となる。

結晶中の歪を可視化する技術として、近年、LAADF-STEM 法が提案されている[78]。LAADF-STEM は簡便に歪の二次元的な分布を可視化するのに適している技術であり、実際の半導体デバイスの不良解析に適用可能な技術と考えられる。また、LAADF-STEM は、簡便に歪分布を可視化できることから、電子線トモグラフィとの組み合わせにより三次元的な構造を解析するのに適している手法であると考えられる。

LAADF-STEM の原理

LAADF-STEM は STEM の応用技術のひとつで、結晶欠陥を可視化するのに有効な技術である[78]。図 2.18 に環状暗視野（ADF：Annular Dark Field）-STEM の原理と、観察条件を変えた時にどのような情報が得られるかを模式図で示したものを示す。これまで STEM 技術は ADF 検出器を用いて組成に応じたコントラストを検出する HAADF-STEM が一般的であり、Z-コントラストとして広く使われてきた[57]。一方で、LAADF-STEM は結晶の回折や歪のコントラストを含むことから像解釈が難しく、半導体デバイスの解析には、用いられてこなかった。

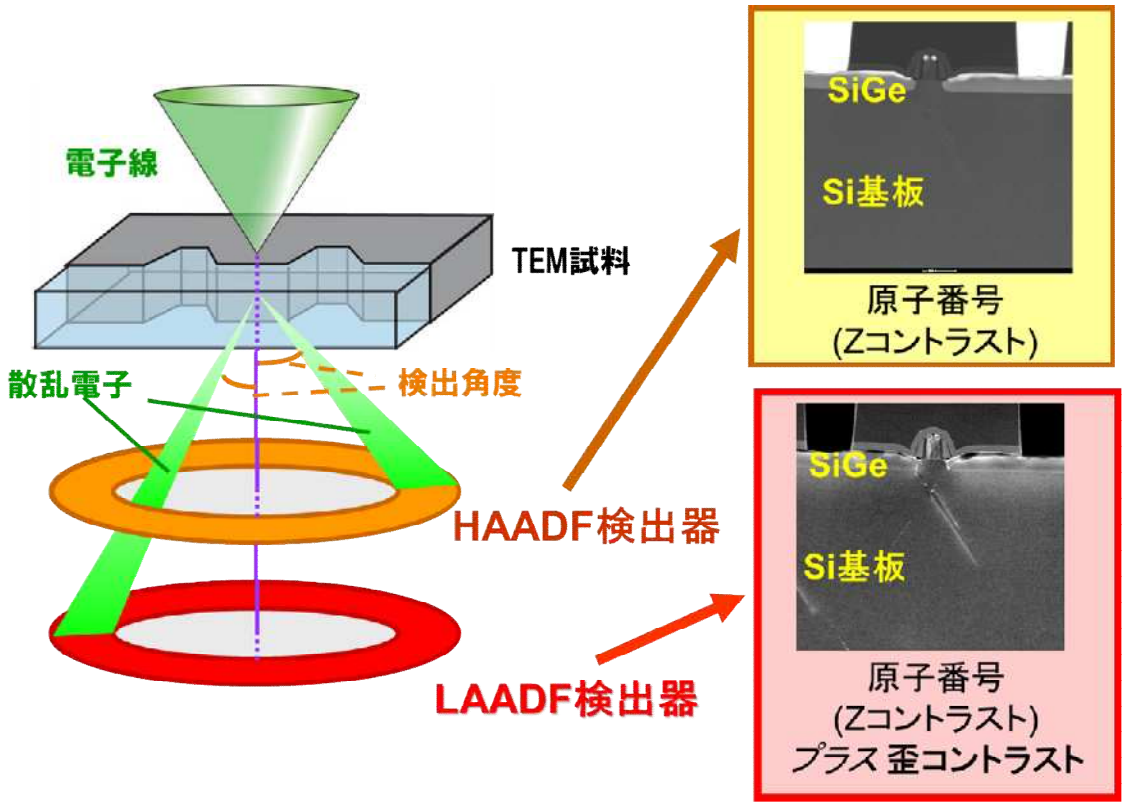


図 2.18　ADF-STEM の原理（LAADF-STEM と HAADF-STEM の比較）

本研究では、回折や歪のコントラスト含む LAADF-STEM を積極的に活用することにより、結晶欠陥を可視化することを試みる。

2.4.6　球面収差補正走査透過型電子顕微鏡

本項では、原子レベルの超高分解能を有する観察技術である、球面収差補正走査透過型電子顕微鏡について説明する。

電子顕微鏡の空間分解能の発展

SEM や TEM といった電子顕微鏡は半導体デバイス解析に欠かせない技術である。特に空間分解能の点で電子顕微鏡はナノメートルの分解能を有する技術であることから、半導体デバイス解析のみならず、生物･医学･材料解析の分野で広く活用されている。

ここで、電子顕微鏡の空間分解能の発展について簡単に説明する。図 2.19 は David A. Muller の文献[79]を基に筆者が作成した、顕微鏡の分解能の変遷のグラフである。電子顕微鏡が出現する以前の 20 世紀初頭までは、拡大顕微鏡といえば光学顕微鏡が主流であった。可視光を光源とする光学顕微鏡は、その波長であるおよそ 1 μm（可視光波長：380～750 nm）が原理的分解能であり、これより小さい対象物は捉えることができなかった。

20 世紀の物理学において、大きな貢献をもたらした量子力学の発見が、電子顕微鏡の発明にも大きく貢献することになる。電子が粒子であると同時に波としても振る舞う量子力学の発見により、この電子の波としての性質を応用展開したのが電子顕微鏡である。一定の電圧のもと加速され運動する電子は、可視光をはるかに凌ぐ短い波長を有するため、電子に作用するレンズがあれば、極めて高い分解能の顕微鏡を作製することが可能である。ソレノイド磁場による電子収束効果が光学レンズの凸レンズと等価な作用をもつことから、電子と磁場レンズの組み合わせによる電子顕微鏡が発明された。1939 年には最初の商用機が製作され、1954 年には分解能は約 1 nm まで達するようになった。

1990 年頃には電子顕微鏡の分解能は 0.1 nm までに達するようになった。しかし、図 2.19 に示すように、分解能の伸びは頭打ちになっていたことが分かる。電子の波長から空間分解能を見積もれば、その値は 1 pm まで達するはずであるが、現実には 3 桁もかけ離れていたのである。これは、当時の電磁レンズの大きな球面収差により、分解能が著しく制限されていた結果である。一般の光学レンズは凸レンズと凹レンズを組み合わせることにより球面収差を補正する。電子顕微鏡に用いる電磁レンズは基本的には凸レンズ作用しか得られないため、球面収差を補正することが困難であった。

しかし、近年の球面収差補正技術の進歩により、非軸対称な多極子レンズを用いて凹レンズ作用を発生させることが実用化されてきた[80]。それにより 1990 年後半から分解能の飛躍的な向上が実現されたのである。

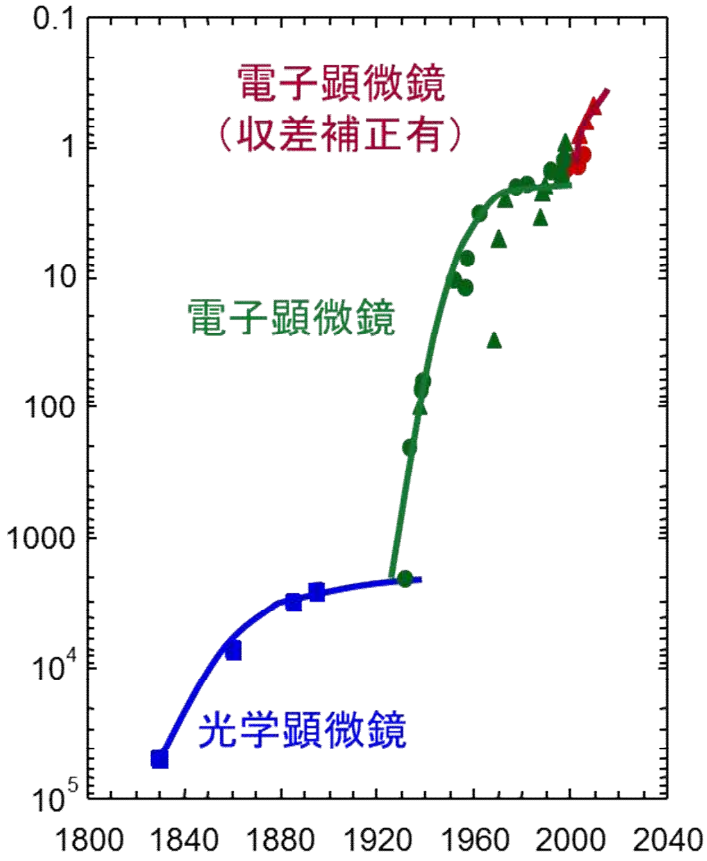


図 2.19　光学顕微鏡･電子顕微鏡の分解能の変遷（David A. Muller の文献[79]を基に筆者が作製）

球面収差補正の原理

ここで球面収差補正の原理を説明する。図 2.20 に凸レンズで生じる球面収差の模式図を示す。レンズの開口を十分に大きくとろうとすると、凸レンズの端を通過する電子は、理想収束位置からのズレが大きくなる。このズレをもたらすのがレンズの球面収差である。球面収差（Cs）の影響は、レンズの端側、すなわち収束角(α)が大きくなるほど顕著となり、その理想収束点からのズレは、Cs α^3 に比例することが知られている（三次の収差）。この収差は、光学レンズと同様に凹レンズ作用をもつ電磁レンズを組み合わせることにより補正することが可能である。図 2.21 に凹凸レンズの組み合わせによる収差補正の模式図を示す。このように凹凸レンズを組み合わせることにより、焦点面に電子を収束させることが可能である。

TEM 装置と球面収差補正技術の進歩により、球面収差補正機能（Cs コレクター）を TEM に組み込むことが可能となった。この収差補正を用いることにより TEM 装置の空間分解能は向上し、現在では 50 pmの原子間を観察した事例も報告されている[81]。

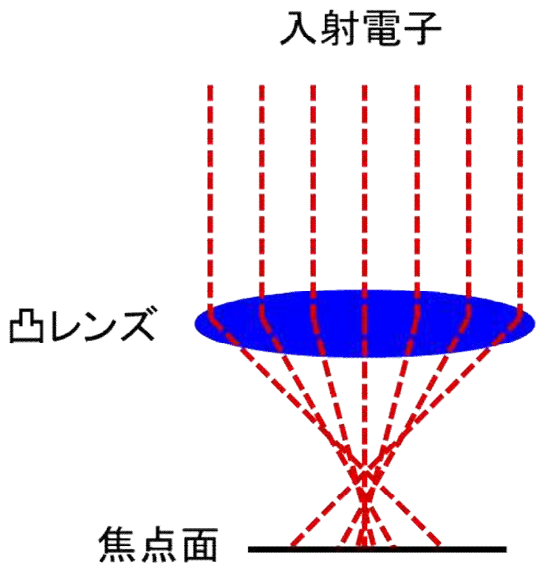


図 2.20　**凸レンズで生じる球面収差の模式図**

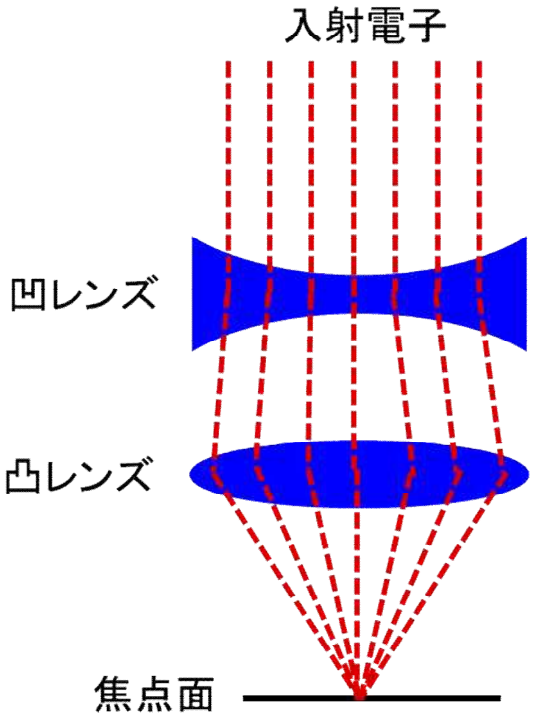


図 2.21　**凹凸レンズの組み合わせによる球面収差補正の模式図**

球面収差補正走査透過型電子顕微鏡

近年、球面収差補正機能を TEM に組み込んだ装置の基盤技術や生産技術が確立され、球面収差補正機能が搭載される TEM 装置が数億円程度の価格で市販されるようになってきた。そのため、球面収差補正走査透過型電子顕微鏡は、半導体デバイスの解析フローに容易に組み込める技術となった。図 2.22 に実験で用いた TEM 装置 Titan（加速電圧 300kV）の外観図を示す。

図 2.22 球面収差補正走査透過型電子顕微鏡(Titan)の外観図

本研究では、原子レベルの構造を超高分解能で観察できる、球面収差補正走査透過型電子顕微鏡を、トランジスタの絶縁膜として使用されている High-k 膜の原子分解能観察に適用することを試みる。

2.5　先端物理解析手法を取り入れた物理解析フローの提案

図 2.2 に示した従来の半導体デバイスの物理解析フローでは通常の SEM や TEM での観察情報のみで不良原因を解明する必要があり、これらの技術で捉えることのできない現象（歪・微量不純物・三次元構造など）は把握することが困難であった。

今回新たに、以下の六種類の先端物理解析手法を半導体デバイスの物理解析フローに取り入れることを提案する。図 2.23 には先端物理解析手法を取り入れた場合の物理解析フローを示す。

・電子線トモグラフィ（2.4.1 項）
　→　ナノメートルオーダーでの三次元構造解析手法
・位置分解型 TEM-EELS（2.4.2 項）
　→　局所領域における結合状態（結晶相）分析手法
・SEM/EBSD（2.4.3 項）
　→　局所領域における薄膜材料の結晶性解析手法
・三次元アトムプローブ（2.4.4 項）
　→　原子レベルでの微量不純物三次元分布分析手法
・LAADF-STEM 法（2.4.5 項）
　→　ナノメートルレベルでの局所歪・結晶欠陥可視化手法
・球面収差補正走査透過型電子顕微鏡（2.4.6 項）
　→　0.1 nm 以下の空間分解能を有する超高分解能直接原子観察手法

図 2.23 の赤色で示した部分が今回新たに提案する先端物理解析手法である。図 2.23 に示すように、適切な手法を選択し、これらの先端物理解析技術を駆使することにより、これまで解明できなかったデバイスの不良現象を明らかにし、不良発生メカニズムや物理現象を捉えることができると考える。

実際に個々の物理解析技術をデバイス解析適用した結果については、第三章以降にて述べる。

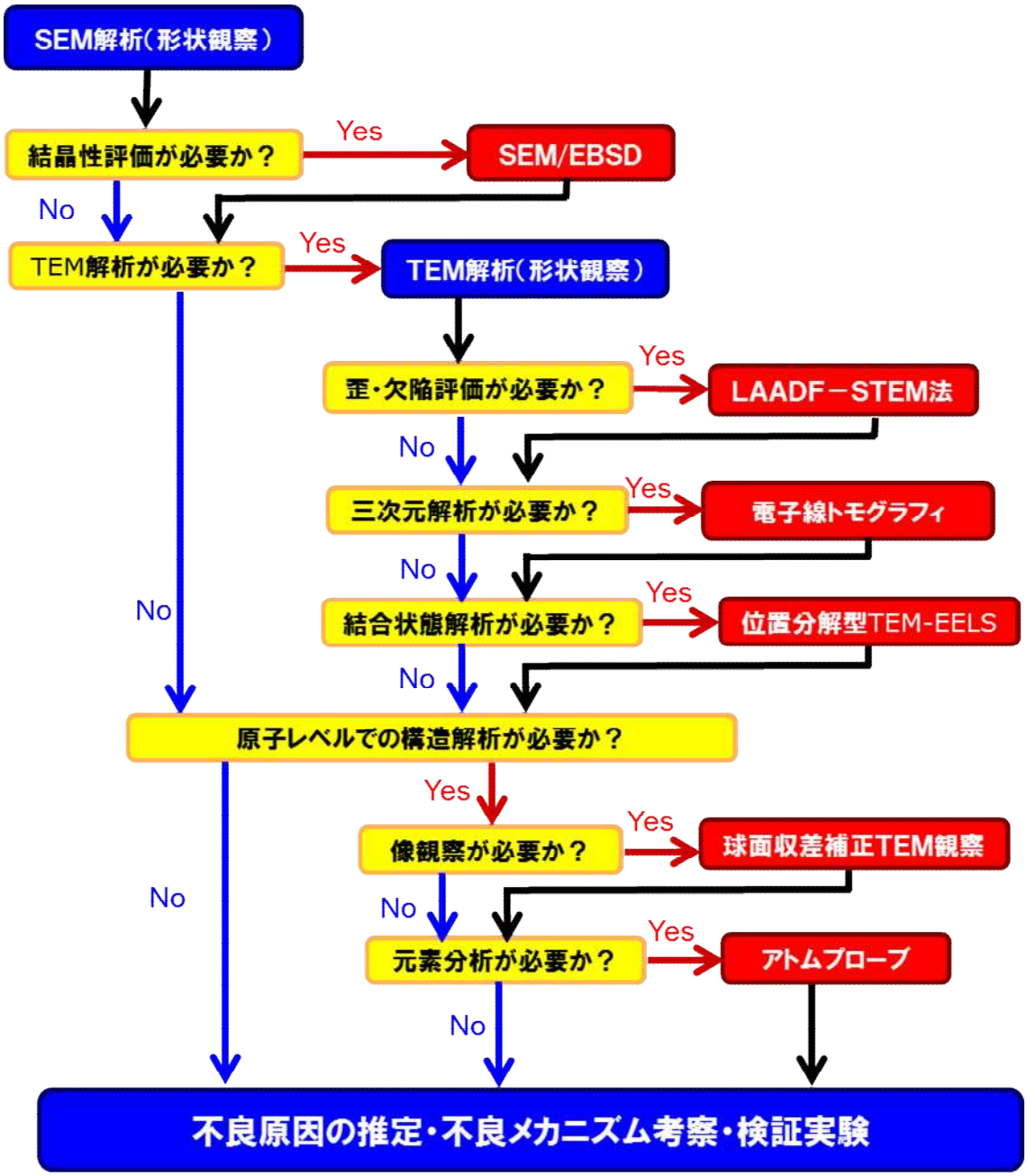


図 2.23　新しい物理解析フロー（赤色部が今回提案した先端物理解析手法を示す）

2.6　むすび

本章では、半導体デバイスの解析に、先端物理解析技術を適用した新しいデバイス解析フローを提案した。

１）半導体デバイスの解析フローから問題点を抽出し、物理解析における課題を明らかにした。

２）これらの課題を解決するために、新たな先端物理解析手法を提案した。具体的には以下の六種類の手法の原理と特徴について説明をし、デバイス解析への適用について議論した。

電子線トモグラフィ（2.4.1.項）
　→　ナノメートルオーダーでの三次元構造解析手法
位置分解型 TEM-EELS（2.4.2.項）
　→　局所領域における結合状態（結晶相）分析手法
SEM/EBSD（2.4.3.項）
　→　局所領域における薄膜材料の結晶性解析手法
三次元アトムプローブ（2.4.4.項）
　→　原子レベルでの微量不純物三次元分布分析手法
LAADF-STEM 法（2.4.5.項）
　→　ナノメートルレベルでの局所歪・結晶欠陥可視化手法
球面収差補正走査透過型電子顕微鏡（2.4.6.項）
　→　0.1 nm 以下の空間分解能を有する超高分解能原子観察手法

３）これらの先端物理解析手法を取り入れた新しい物理解析フローを提案した。

第３章　Ni シリサイド異常成長メカニズム解析

[36]-[38]

3.1　まえがき

本章では、提案した物理解析フローを、MOS トランジスタの電流リーク不良に適用した結果について述べる。電流リーク不良を引き起こす Ni シリサイドの異常成長に着目し、電子線トモグラフィと位置分解型 TEM-EELS の二種類の先端 TEM 解析技術を用いて異常部の構造解析を実施した事例について述べる。Ni シリサイドの異常成長箇所を解析するために、電子線トモグラフィを用いた三次元観察と EELS のケミカルシフトを用いた結晶相同定を実施した結果について述べ、最後に、得られた知見から異常成長の発生メカニズムについて考察した内容を述べる。

3.2　Ni シリサイドプロセスの課題

先端プロセス開発においてシリサイドプロセスは最も重要なプロセスのひとつである[82]-[84]。シリサイドの微細形状や結晶性はリーク電流量や電気抵抗値などのデバイス特性に大きな影響を及ぼすため、ナノメートルオーダでのシリサイド形状やシリサイド結晶相を制御しプロセスを構築することが重要である。

Ni シリサイドの結晶構造はシリサイド形成時の熱処理などのプロセス条件に依存することが知られている[85]。従来のプロセスでは Co シリサイドが使用されることが多かったが、微細化が進むにつれて、近年では低抵抗かつ熱安定性の高い Ni シリサイドが用いられるようになった。図 3.1 に Co および Ni シリサイド形成の形態一覧表を示す。また、図 3.2 に Ni シリサイドの代表的な結晶構造を示す。

Silicide	Mechanism	Activation energy	Moving species	Temp.
Ni_2Si	Diffusion	1.5 eV	Ni	225–325 °C
Co_2Si	···	1.5	Co	375–485 °C
NiSi	···	1.65	Ni	300–400 °C
CoSi	···	1.9[a]	Si, Co	375–485 °C
$NiSi_2$	Nucleation			800 °C
$CoSi_2$		~2.3	Co	600–650 °C

図 3.1 Co シリサイドおよび Ni シリサイド形成の形態一覧 [85]

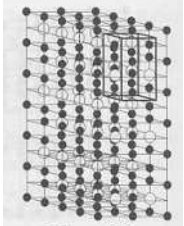
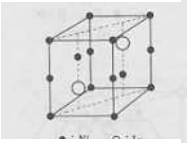
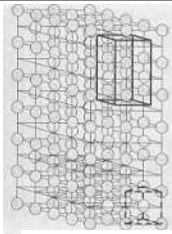
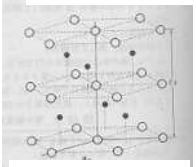
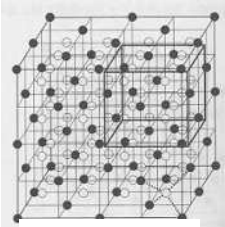
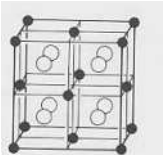
	Ni2Si	NiSi	NiSi2
単位格子	六方晶/斜方晶	斜方晶	立方晶
結晶構造	Ni2In型(充填NiAs型)	MnP型 (歪NiAs型*)	CaF2型
結晶構造モデル	 ●Ni ○Si  ●Ni ○Si	 ○Ni ○Si  ○Ni ●Si	 ●Ni ○Si  ●Ni ○Si

図 3.2　Ni シリサイドの代表的な結晶構造の一覧

半導体デバイスで用いる Ni シリサイドは図 3.3 に示すように抵抗値の低い NiSi を形成する必要があるが、どの結晶相が形成されるかはプロセス温度のみならずシリサイド膜の構造や膜厚、レイアウトパターンに依存することが知られている[82]。しかし、その形成メカニズムや反応メカニズムは十分に理解されていない。そのため、シリサイド起因の不良に対しても不良原因が十分に解明されず、不良メカニズムを完全に把握できない場合が多い。図 3.4 に Ni シリサイドプロセス起因の不良事例を模式図にて示す。Ni シリサイドの凝集や異常成長が発生すると、Ni シリサイドが接合面を貫通しリーク電流不良を引き起こすことが問題となる。これらの現象を理解するためには、物理解析技術を駆使しシリサイドの反応および形成メカニズムを解明する必要がある。

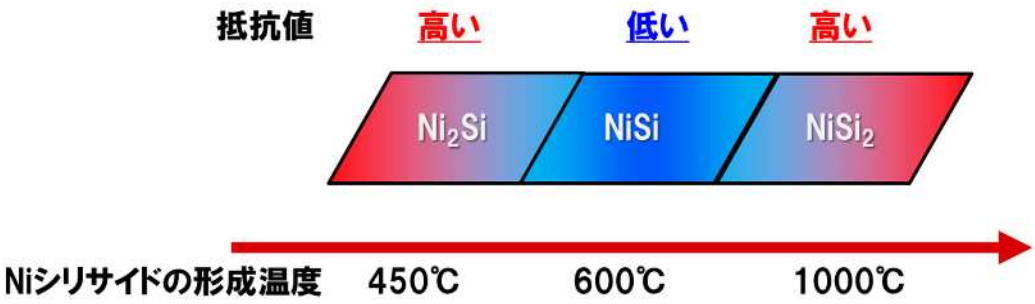


図 3.3　Ni シリサイドの形成温度と結晶相、抵抗値の関係模式図

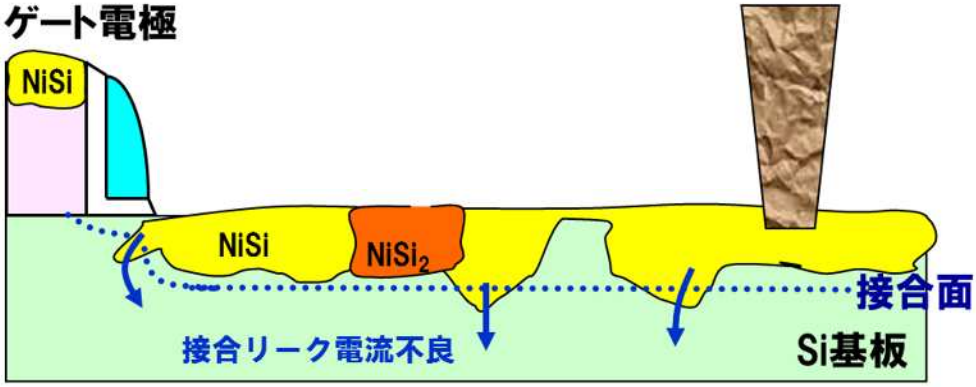


図 3.4　Ni シリサイドプロセス起因の不良事例（模式図）

ここで、Ni シリサイドプロセス起因の不良の一例として、リーク電流不良の原因となるシリサイド異常成長について説明する。図 3.5 にトランジスタのリーク電流を測定した結果を示す。横軸に接合リーク電流値、縦軸に累積度数を示す。赤丸部のいくつかのトランジスタで、ソース/ドレイン（S/D：Source/Drain）から接合面を介した Si 基板へのリーク電流が増大している（接合リーク電流不良）ことを確認した（図 3.4 中の青矢印部がリーク電流の流れる経路を示す）。

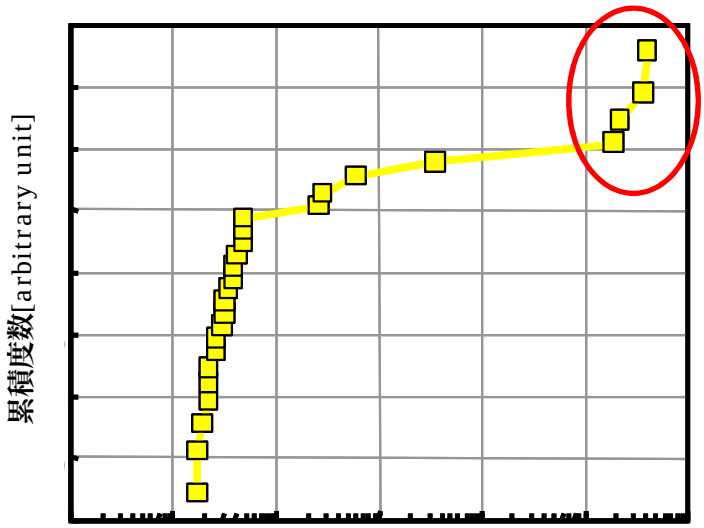


図 3.5　電気特性評価結果

接合リーク電流不良を確認した箇所について断面 HAADF-STEM 解析を実施した結果を図3.6に示す。その結果、Niシリサイドの異常成長が形成されているのを確認した。この Ni シリサイドの異常成長が接合リーク電流不良の原因となっていることを突き止めた。

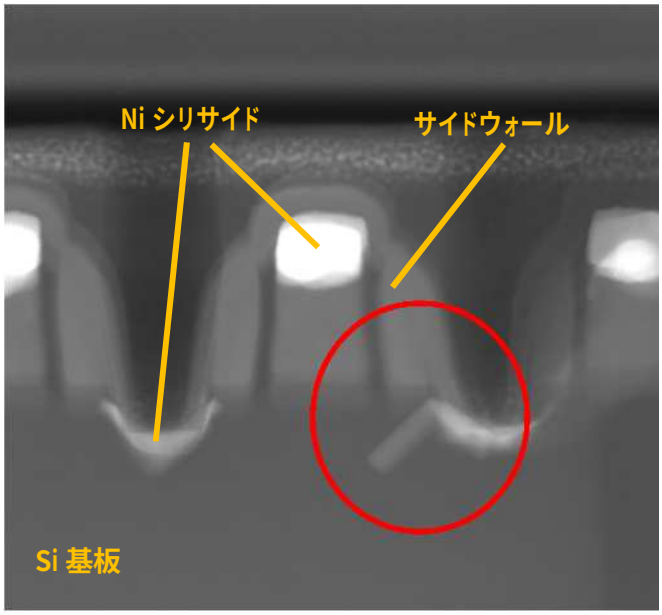


図 3.6　不良箇所（<100>チャネル MOS トランジスタ）の断面 HAADF-STEM 像
（赤丸部がシリサイド異常成長部）

本章では、MOS トランジスタの接合リーク電流不良を引き起こす Ni シリサイドの異常成長に着目し、電子線トモグラフィを用いた三次元構造解析や EELS のケミカルシフトを用いた結晶相同定などの複合物理解析を実施した。また、これらの結果からシリサイド異常成長のメカニズム考察を行った。

3.3　実験方法

本研究では、65 nm ノードの Ni シリサイドプロセスを用いて形成した MOS トランジスタにおけるシリサイドの異常成長に着目した解析を行った。物理解析は、主に二つの TEM 応用技術を用いて行った。ひとつは電子線トモグラフィ、もうひとつは位置分解型 TEM-EELS である。以下、それぞれの手法について説明する。

3.3.1　電子線トモグラフィ

電子線トモグラフィは、試料を連続的に傾斜しながら TEM 像または STEM 像を取得し、そのデータから三次元像を構築する解析手法である[36]-[43]。高い空間分解能での三次元形状評価が可能であり、近年半導体デバイスへの応用が広がっている解析手法で

ある[42],[63],[64]。

TEM 試料作製は FIB を用いたリフトアウト法で行った [71]。TEM 試料膜厚は約 150 nmで通常のTEM観察試料よりも厚めに作製した。用いたTEM装置はFEI社製Tecnai G2 F20（加速電圧：200kV）である。データ取得は、Ni シリサイドのコントラストが明瞭に得られる、HAADF-STEM モードを用いて行った。データ取得時の試料傾斜は＋70°～－70°である。画像アライメントおよび三次元再構成は FEI 社製三次元アルゴリズムソフト Inspect3D[86]を用いて行った。

3.3.2　位置分解型 TEM-EELS

位置分解型 TEM-EELS は、TEM 装置内の像面（image plane）上にスリットを挿入することにより、複数箇所の EELS スペクトルの同時計測（ライン分析）が可能な技術である[60]。用いた装置は日立ハイテクノロジーズ社製TEM装置HF3000（加速電圧：300kV）および Gatan 社製エネルギーフィルターGIF2000 である。図 3.7 に TEM 装置の外観図を示す。TEM 試料作製は FIB を用いたマイクロサンプリング法で行った[71]。TEM 試料膜厚は約 100 nm である。

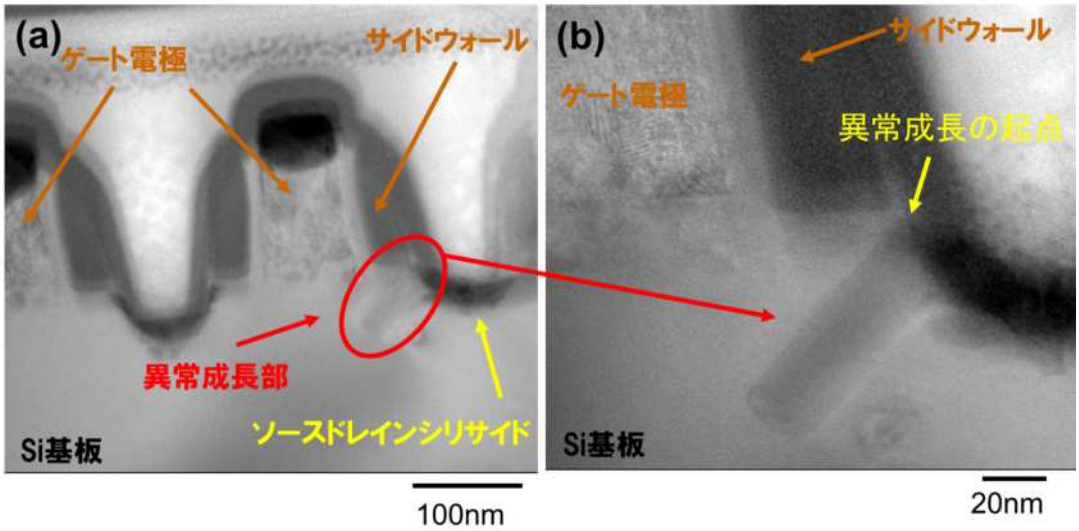
EELS スペクトル解析は、価電子帯の情報を含む低エネルギー損失スペクトル（Low Loss スペクトル）を用いて行った。EELS スペクトルのピーク位置はゼロロス（0 eV）と Si プラズモンロス（16.6　eV）を基準に算出した[60]。Ni シリサイドの結晶相によってプラズモンピーク位置が変化することが分かっている（図 2.10）。この現象を用いて、シリサイド異常部の結晶相の同定を行った。

図 3.7　TEM 装置（HF-3000）

3.4　実験結果

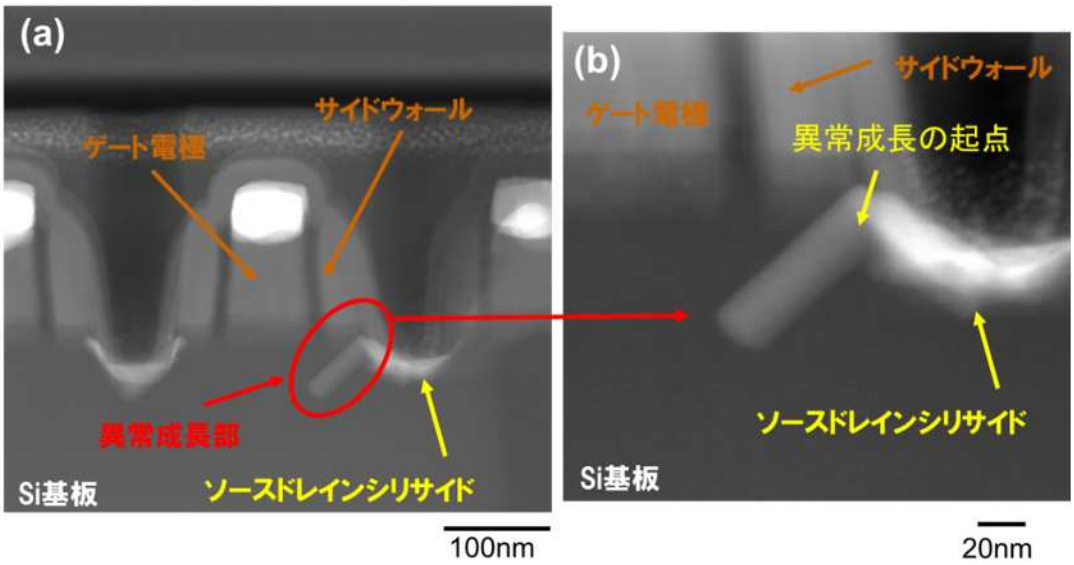
3.4.1　TEM 像および STEM 像による評価結果

接合リーク電流不良箇所について断面解析を実施した。不良個所の断面 TEM 像を図 3.8 に、断面 HAADF-STEM 像を図 3.9 に示す。Ni シリサイドが異常成長していることによってシリサイドが接合部を貫通していることが分かる。このようなシリサイドの異常成長が接合リーク電流不良の原因であることを確認した。



(a) 不良部の断面 TEM 像　　(b) シリサイド異常成長分の拡大 TEM 像

図 3.8　不良 MOS トランジスタの断面 TEM 像



(a) 不良部の断面 TEM 像　　(b) シリサイド異常成長分の拡大 TEM 像

図 3.9　不良 MOS トランジスタの断面 STEM 像

図 3.10 にシリサイド異常部の高分解能 TEM 像と FFT 像を示す。図 3.10 中の A 点と B 点の FFT 像は同じパターンを示していることからシリサイド異常部は Ni シリサイドの単一結晶粒から成ることが分かった。

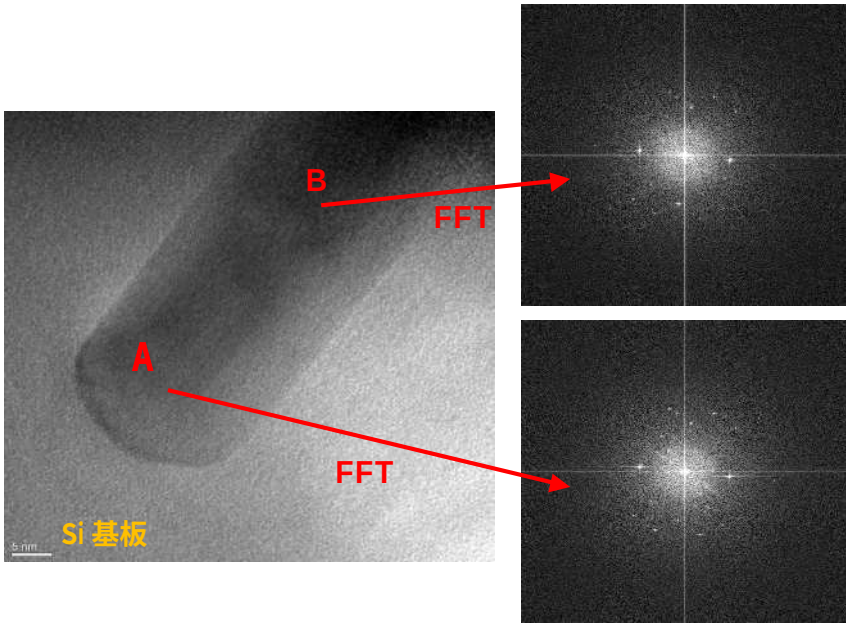
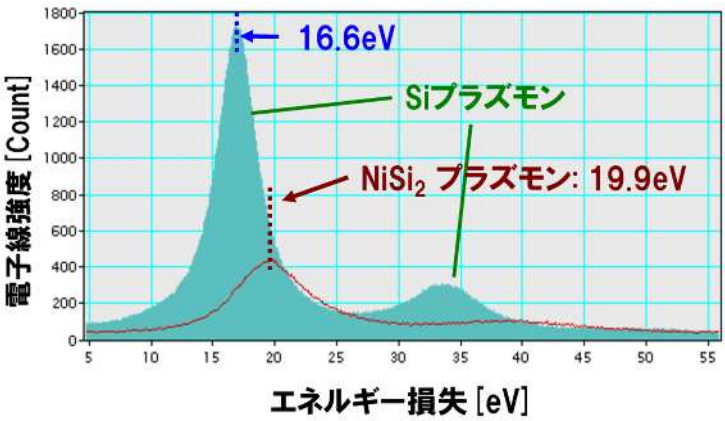


図 3.10　Ni シリサイド異常部の高分解能 TEM 像と FFT 像

3.4.2　位置分解型 TEM-EELS 評価結果

図 3.11 に Ni シリサイド異常成長部と Si 基板部の EELS スペクトルを示す。その結果、Ni シリサイド異常部の EELS スペクトルは 19.9 eV にピークがあることが分かる。これは標準試料から求めた $NiSi_2$ のピーク位置と対応している。これらのことから、Ni シリサイド異常部は $NiSi_2$ であることが分かった。



プラズモンロスのピーク位置

	[eV]
Si	16.6
$NiSi_2$	19.9
NiSi	20.5
Ni_2Si	21.6

図 3.11　位置分解型 TEM-EELS による Ni シリサイド異常成長部の解析結果

3.4.3　電子線トモグラフィによる三次元形状評価結果

Niシリサイド異常成長が発生しているMOSトランジスタについて電子線トモグラフィによる三次元形状解析を実施した。図3.12にはシリサイド異常部の三次元再構築結果を示す。電子線トモグラフィによりシリサイドの三次元形状を再構築できていることが分かる。異常成長の起点部分のコントラストが一部暗くなっている箇所があるが、これは、ソースドレインシリサイドにより異常成長部の透過情報が十分に得られなかったためである。

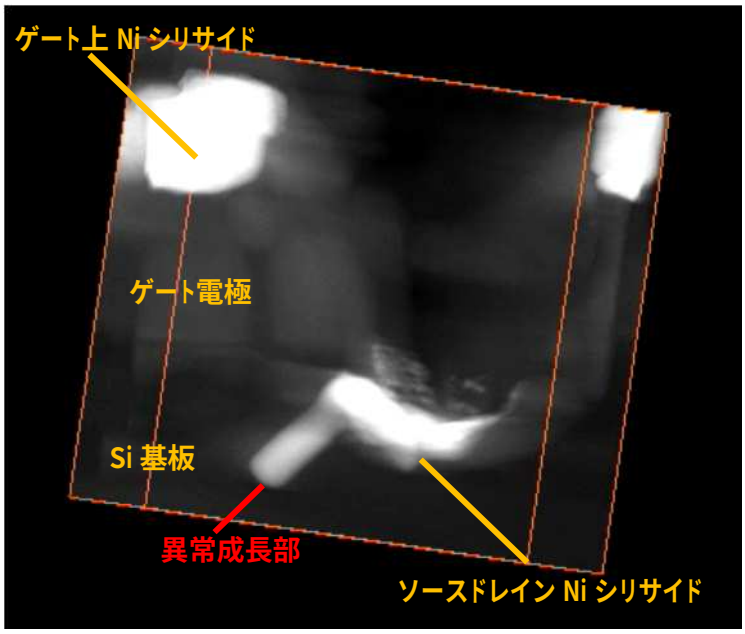


図3.12.シリサイド異常成長部の三次元再構築像

さらに詳細な形状情報を得るために、この三次元構築結果を基に、任意の方向からシリサイドの形状を評価した結果を、図3.13と図3.14に示す。図3.13は上面からみたトランジスタの三次元構築像である。図3.14は浅溝分離（STI：Shallow Trench Isolation）素子分離の断面方向からみたトランジスタの三次元構築像である。三次元構築した結果を複数の方向から解析することにより、異常成長部は活性領域の中央部を起点として、サイドウォール端からゲート下の方向に成長していることを把握することができた。

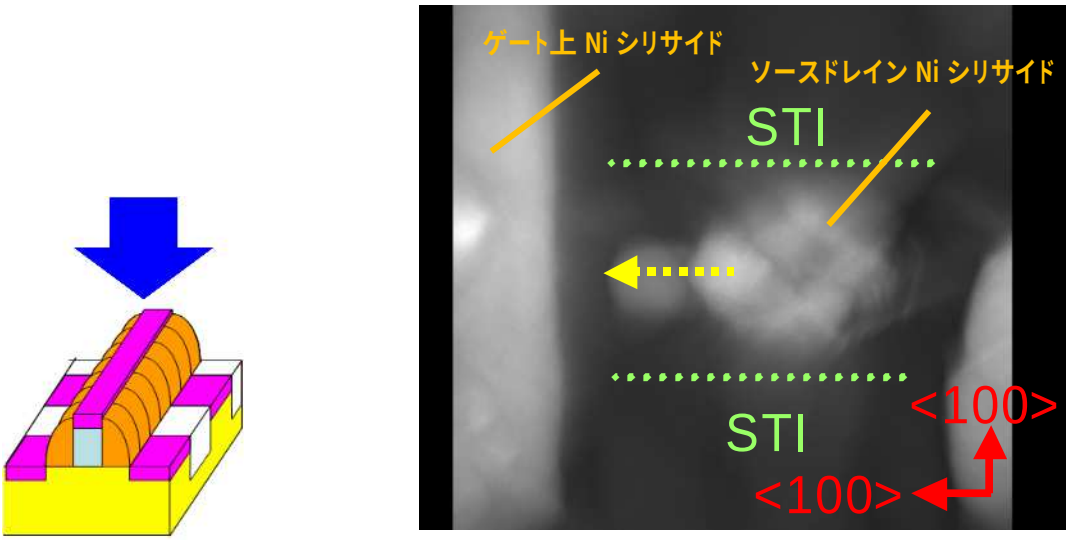


図 3.13　上面からみた三次元再構築像 (黄色の矢印はシリサイド異常成長方向を示す)

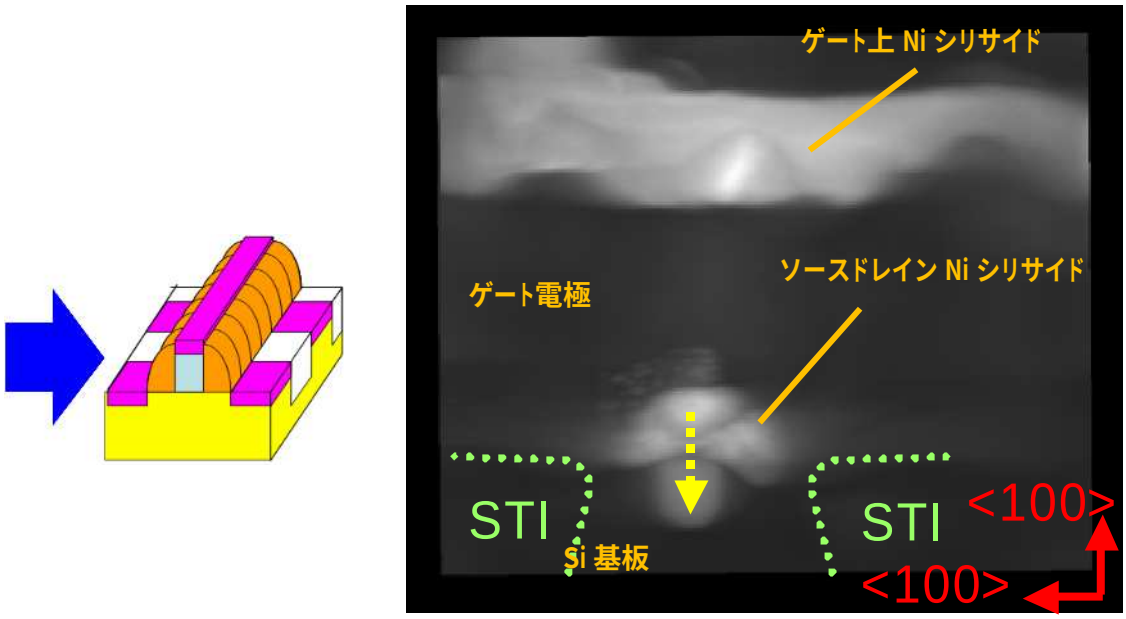
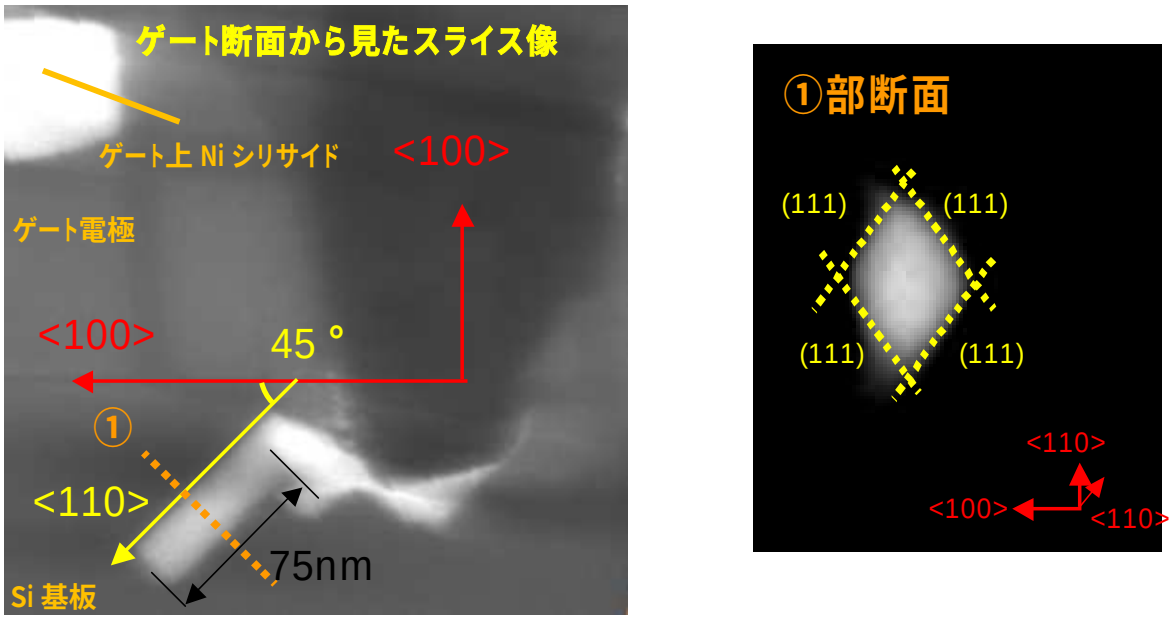


図 3.14　STI 断面方向からみた三次元再構築像 (黄色の矢印はシリサイド異常成長方向を示す)

図3.15(a)にゲート断面方向からみたスライス像を示す。異常成長部は<110>方向に成長していることを確認した。さらにNiシリサイドの異常成長部を異常成長方向に対して垂直にスライスした像を図3.15(b)に示す。この結果から、シリサイドの異常成長部は{111}のファセット面をもって成長していることが判明した。



(a)　ゲート断面方向のスライス像　　(b)異常成長部の断面スライス

図3.15　シリサイド異常部に着目したスライス像

次に、三次元再構築像から、三次元的な定量評価を行った結果を、図 3.16 に示す。シリサイド異常部の寸法からシリサイド異常部の体積を算出することができる。その結果、シリサイド異常部の体積は V＝3.28E-17[cm3]であることが確認できた。位置分解 EELS の測定結果から、シリサイド異常部は $NiSi_2$ 相であることを確認している。$NiSi_2$ 密度は 4.93[g/cm3]となるので、シリサイド異常部の質量は 1.62E-16[g]である。$NiSi_2$ の質量数は 58+28×2=114 なので Ni 原子(N_{Ni})の数は以下の(3.1)式にて求めることができる。

$$N_{Ni} = 1.62E\text{-}16 \times 6.0 \times 1023/114 = 8.52E5 \quad [atoms] \qquad \cdots \quad (3.1)$$

このような三次元情報から、異常成長部の体積や、そこに存在する原子数などを定量的に求めることができる。これらの情報は、シリサイド異常部の成長メカニズム考察には欠かせない情報である。

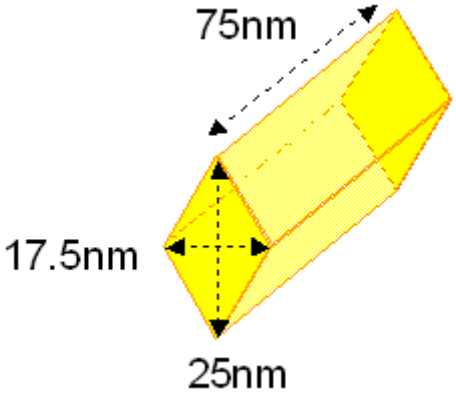


図 3.16　シリサイド異常部の三次元定量評価結果

図3.17にシリサイド形成前のトランジスタの断面TEM像を示す。ゲートサイドウォール端部で結晶欠陥が発生していることを確認した。これらはゲートサイドウォールエッチングや、ソース/ドレイン部のイオン注入時に発生したものと考えられる。結晶欠陥の発生箇所とシリサイド異常成長の起点は一致していることから、Si基板中の結晶欠陥がシリサイドの異常成長を誘発しているものと推測される。

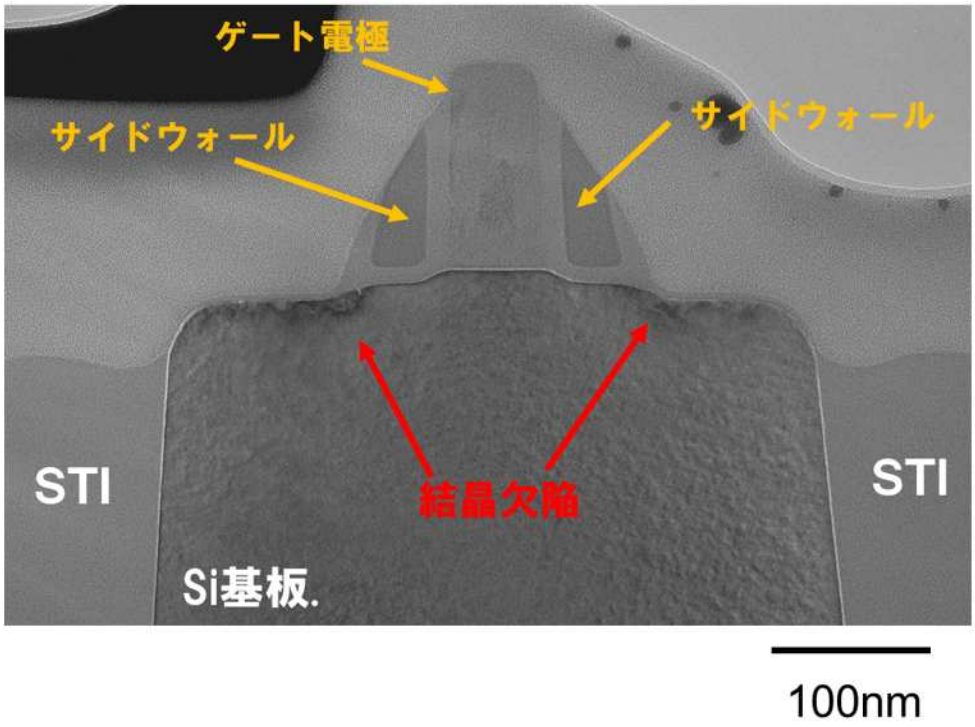


図 3.17　シリサイド形成前の MOS トランジスタ断面 TEM 像

3.5　Ni シリサイドの異常成長メカニズム考察

物理解析の結果から、Ni シリサイドの異常成長部は{111}面に沿って<110>方向に成長していることを確認した。また EELS の結果からシリサイド異常部は $NiSi_2$ の単一結晶粒から成ることを確認した。さらに、シリサイド形成前にはドライエッチングなどのプロセスダメージにより基板に結晶欠陥が導入されていることを確認した。これらの結果から、シリサイド異常成長のメカニズムを考察した。

3.5.1　異常成長の結晶面方位依存性についての考察

原子の固相拡散は、原子空孔を介した原子の直接交換による置換型と空隙（結晶の単位胞内にある隙間）から隣接空隙へ拡散原子が直接移動するジャンプ型が知られている[87]。Siはダイヤモンド構造であることを考えると、シリコンの{111}面は最密充填面であり、その面内の<110>方向は最隣接原子が存在する方位である。さらに、図3.18に示すように、原子が拡散する比較的広い空間が存在する。結晶欠陥のように結晶中に空孔を導入するような引き金が存在すると、NiおよびSi原子が{111}面に沿って<110>方向に容易に拡散することができる。その結果、Niシリサイドの異常成長部は{111}面に沿って<110>方向に成長すると考えられる。

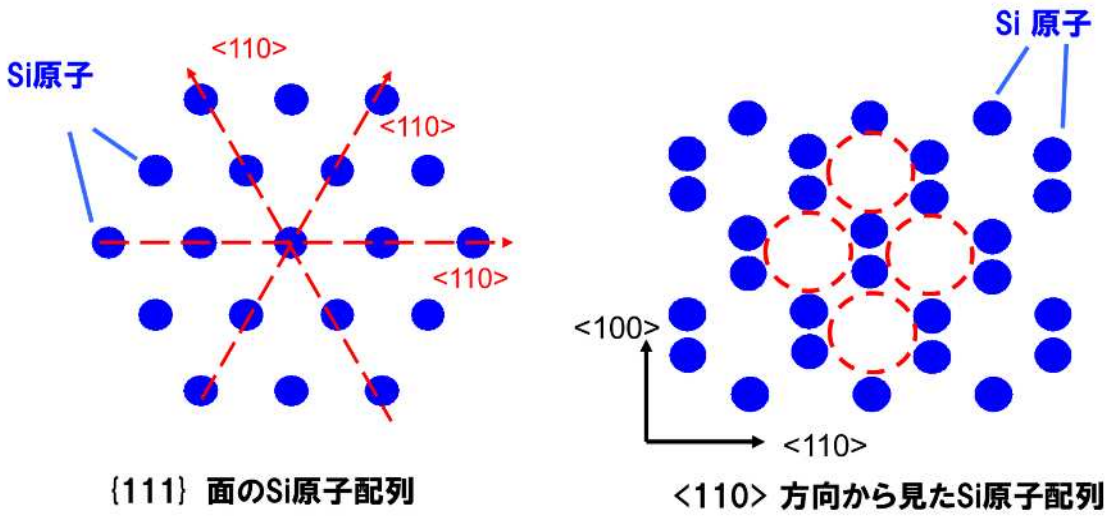


図 3.18　Si 原子配列の模式図

結晶方位と異常成長の方位の関係を調べるために、Si(111)ウェハ上に形成した MOS トランジスタについて解析を行った。MOS トランジスタの断面 HAAFD-STEM 像を図 3.19 に示す。Ni シリサイドは、赤矢印で示すように、Si(111)面に沿ってゲートサイドウォールの下までチャネル方向に異常成長していることが分かる。続いて、三次元構造解析を実施するため、電子線ト

モグラフィを行った。図 3.20 に、ソース/ドレイン部のシリサイドを、上面方向から見た三次元構築像を示す。この結果から、Si 基板上のソース/ドレインシリサイド部は Si(111)面上で<110>および<211>方向にファセットをもって成長することが分かった。

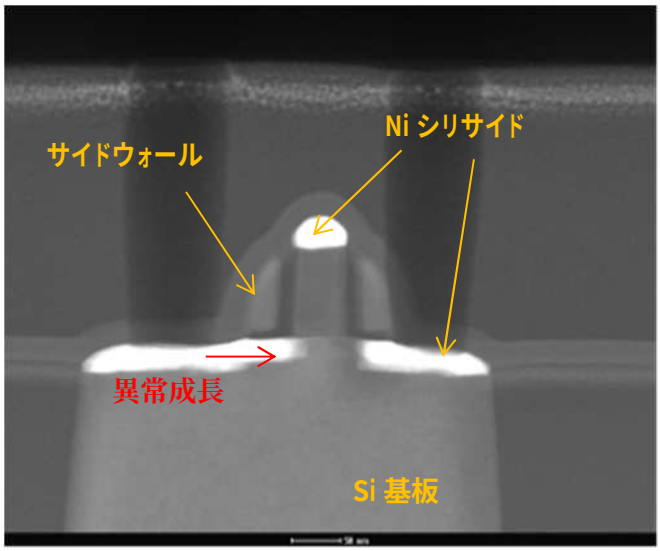


図 3.19　Si(111)基板上に形成した MOS トランジスタの断面 STEM 像

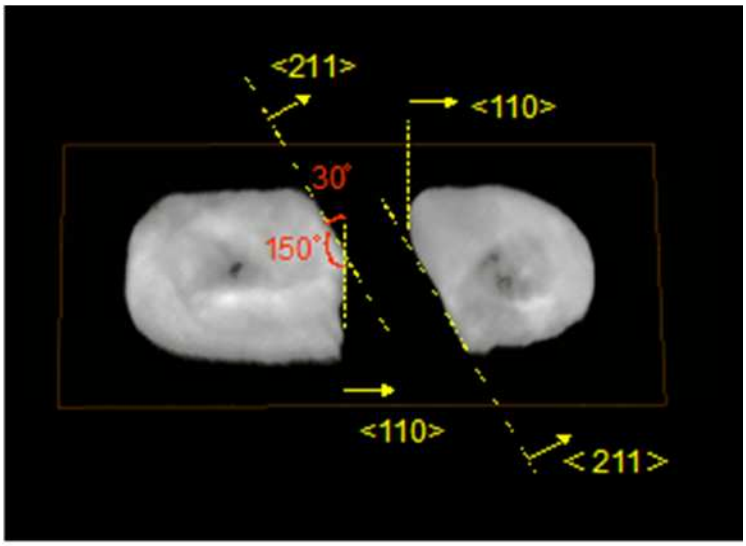


図 3.20　Si(111)基板上に形成したシリサイドの三次元構築像

図3.21にSi原子の配列と結晶方位の関係を模式図にて示す。{111}面内の<211>方向は第二隣接原子の存在する方向であり<110>方向と同様に拡散に寄与する比較的広い空間が存在することが分かる。このことから、<211>方向の拡散も、<110>方向と同様のメカニズムで説明することができる。その結果、Niの拡散はSiの結晶方位依存性を持つようになり、このようなNiシリサイドの成長方位依存性が現れるものと考えられる。

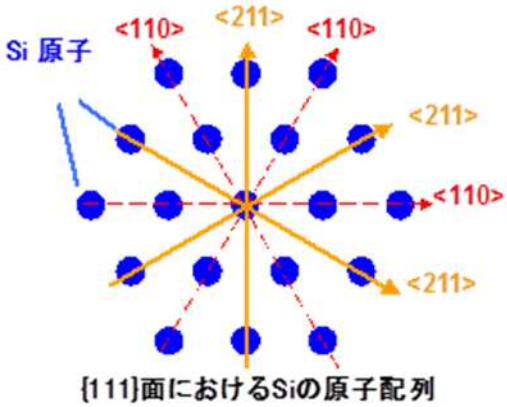


図 3.21　Si 原子配列の模式図（<110>と<211>の関係）

3.5.2　異常成長部の結晶相についての考察

次に、異常成長部の結晶相について考察する。図3.22にはNiSiと$NiSi_2$の結晶構造比較を示す。NiSiは、結晶単位胞に空隙が存在する非充填構造で、結晶の対称性が悪い構造である。NiSi結晶では、原子拡散の駆動力があれば、空隙から隣接する空隙へと原子が連続的に移動するジャンプ型の拡散機構によりNiSi中を原子が容易に拡散することが可能である。Niシリサイドの異常成長の場合、このようなジャンプ型の拡散機構で説明することによって、通常のNiシリサイドの形成速度に比べて成長速度が速いことを説明することができる。

一方、$NiSi_2$結晶は結晶構造に空隙がなく充填構造で結晶の対称性も良く安定状態である。その結果、NiSiは熱負荷や体積膨張などの原子移動の駆動力があればより安定な$NiSi_2$相に変化するものと考えられる。その結果、シリサイド異常部はNiSiを形成したのち$NiSi_2$の単一結晶に成ると考えられる。

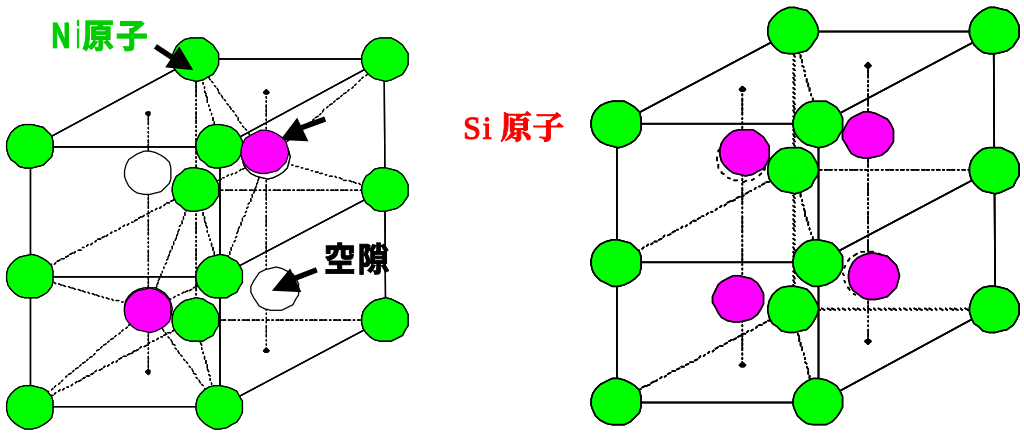


図3.22　NiSiとNiSi$_2$の結晶構造比較（左 NiSi　右 NiSi$_2$）

以上のことからNiシリサイドはSi基板の結晶欠陥部分を起点とし、Si基板の(111)面に沿って<110>方向に異常成長した際に、対称性がよく、より安定な結晶構造であるNiSi$_2$相を形成すると考えられる。

3.5.3　異常成長部の抑制についての検証実験

これらのメカニズム考察結果から考えると、この異常成長はSiの結晶性を制御することによって抑制することが可能である。検証のためにシリサイド異常成長の抑制実験を実施した。その結果、Siイオン注入やNイオン注入、エッチング条件の最適化、Si基板の結晶方位の最適な選択などで異常成長の抑制が可能であることを確認した[83],[84],[88]。図3.23にはその一例として、ゲートサイドウォールエッチングの最適化を実施し、リーク電流不良の対策を行った結果を示す。エッチング条件を最適化することによりリーク電流が改善していることが分かった。このようにNiシリサイド異常部の形状や結晶相を詳細に調べることにより、異常成長の発生メカイズムを立案し、異常成長を抑制することができた。

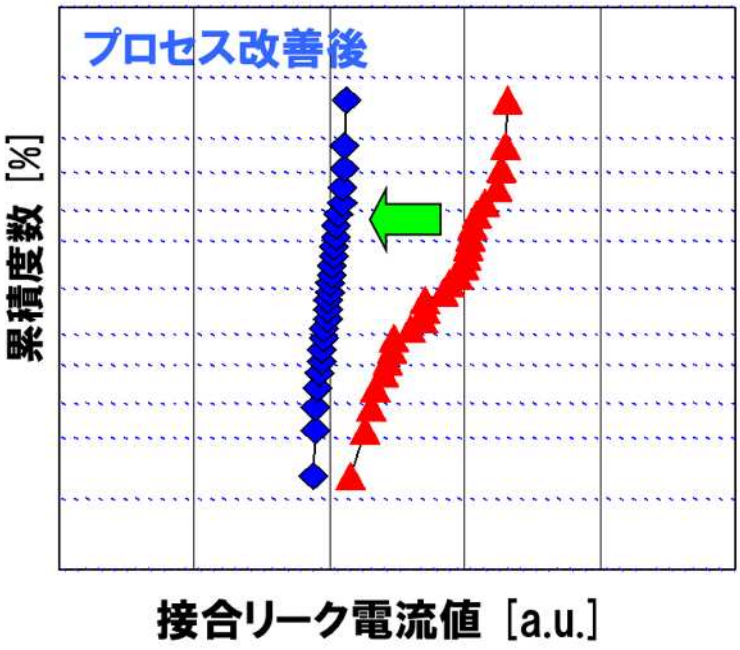


図 3.23　ゲートサイドウォールエッチングプロセスの最適化によるリーク電流改善結果

3.6　むすび

本章では、提案した物理解析フローを、MOS トランジスタの電流リーク不良に適用した結果について述べた。図 3.24 に本章で用いた物理解析フローを示す。MOS トランジスタの電流リーク不良を引き起こす Ni シリサイドの異常成長に着目し、電子線トモグラフィと位置分解型 TEM-EELS という二種類の先端 TEM 解析技術を用いて構造解析を実施した事例について述べた。

１）Ni シリサイドの異常成長に対し、電子線トモグラフィを用いた三次元観察を実施した。その結果、Ni シリサイドの異常成長部は、Si 基板の{111}面に沿って<110>方向に成長していることを確認した。

２）Ni シリサイドの異常成長箇所の結晶性を解析するために、位置分解型 TEM-EELS のケミカルシフトを用いた結晶相同定を行った。その結果、異常部は $NiSi_2$ の単一結晶粒から成ることを明らかにした。

３）TEM 観察の結果から、結晶欠陥が Ni シリサイド異常成長を引き起こす要因であることを突き止めた。

４）これらの物理解析結果から、接合リーク電流不良を引き起こす Ni シリサイドの異常成長メカニズムモデルを構築した。さらにこのモデルから異常成長の抑制実験を立案し、その効果を確認した。

このような、先端 TEM 技術を用いた構造解析手法は、これまでの従来 TEM 技術で解決できない不良に対し有効であることを実証した。このような先端物理解析を組み込んだフローを用いた解析は、半導体デバイスの不良解析に有効であると考える。

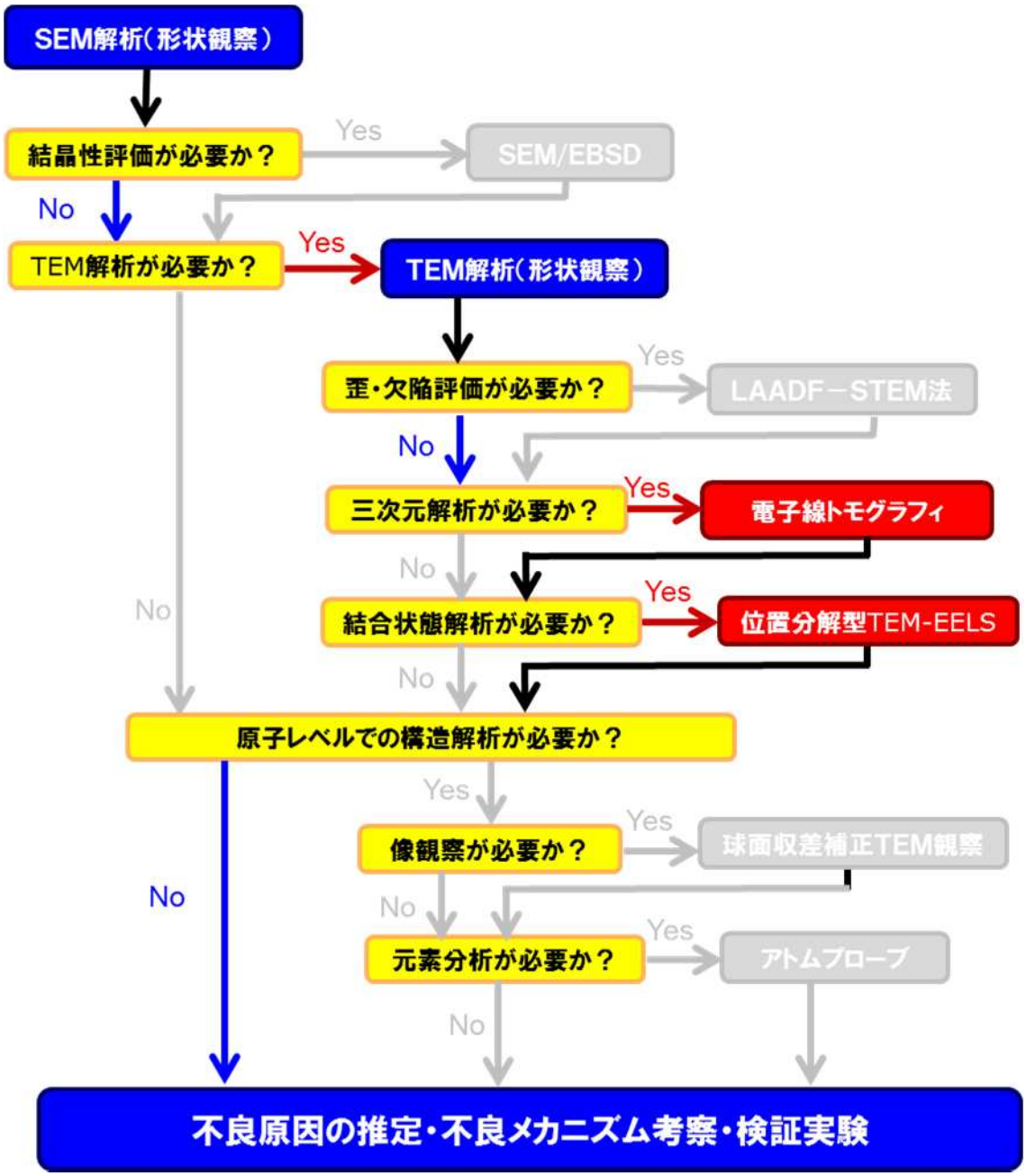


図 3.24　第３章で用いた物理解析フロー

第 4 章　シリサイド断線メカニズム解析[39]-[41]

4.1　まえがき

本章では、提案した物理解析フローを、トランジスタの高抵抗不良に適用した結果について述べる。

先端デバイスのアクセスタイム遅延などを引き起こす Ni シリサイド断線不良のメカニズムを明らかすることを目的に、SEM/EBSD および、アトムプローブの二種類の先端物理解析を用いて Ni シリサイド膜の評価を行った結果について述べる。

Ni シリサイド断線箇所について、SEM 観察、TEM 観察、および SEM/EBSD 解析を行い、形状や結晶状態、歪や粒界分布について解析を行った結果について述べる。さらに、シリサイド膜中の不純物に解析するために、アトムプローブを用いて原子レベルでの不純物分布評価を行った結果について述べる。これらの物理解析から得られた知見を基に、Ni シリサイド断線のメカニズムを考察する。またシリサイドの微細形状や結晶構造の詳細解析の有効性についても議論する。

4.2　半導体デバイス中で発生するシリサイド断線不良について

先端プロセス開発およびデバイスの量産において Ni サリサイドプロセスは最も重要なプロセスのひとつである[82]-[84]。半導体デバイス中の Ni シリサイドは均一な膜厚で NiSi 結晶相を形成することにより低抵抗材料として広く用いられている。図 4.1 に Ni シリサイドがデバイス特性に及ぼす影響を模式図で示す。実際のデバイスでは、高抵抗層である $NiSi_2$ が形成されることによる抵抗上昇や、凝集・モフォロジの悪化による抵抗上昇がしばしば発生する[85]。図 4.2 に実際のシリサイドが断線を起こした箇所を TEM 観察した結果を示す。このようにシリサイドの形状異常は、デバイス特性に大きな影響を及ぼすことが懸念される。

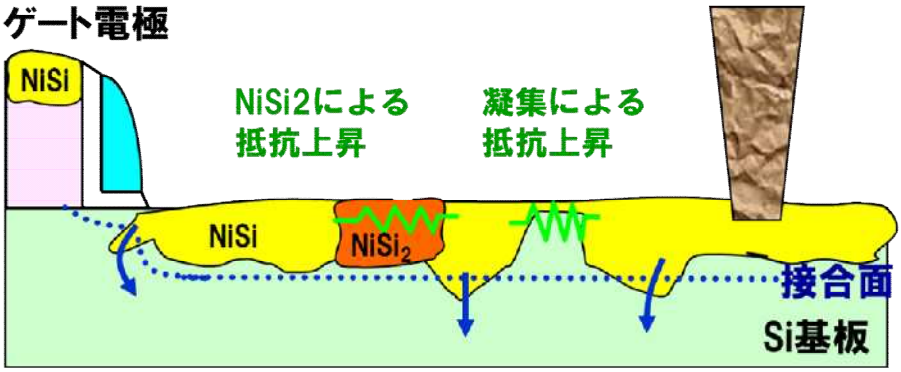


図 4.1　Ni シリサイドがデバイス特性に及ぼす影響の模式図

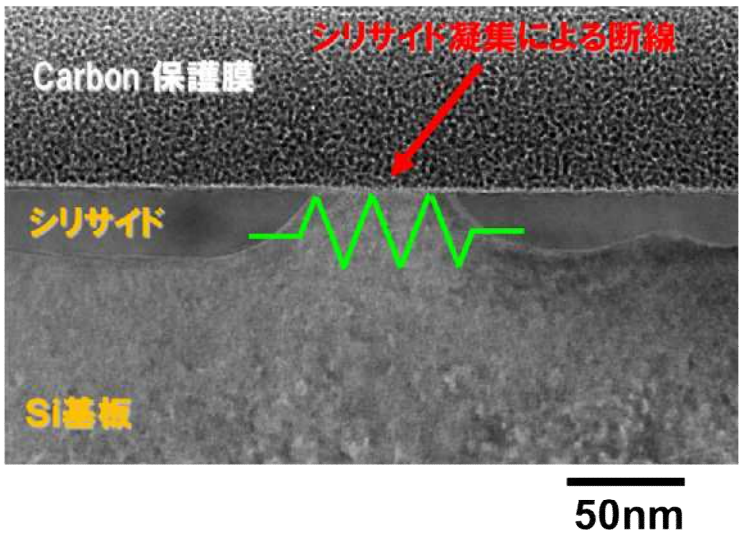


図 4.2　Ni シリサイド断線箇所の断面 TEM 像

これらの問題を回避するためには、ナノメートルオーダでシリサイド形状を制御しプロセスを構築することが重要である。さらにはシリサイドの形成メカニズムや成長の機構を明らかにすることが不可欠である。

半導体デバイス中の Ni シリサイドを解析する手法として、SEM や TEM、XRD は非常に有効な手法であり、これらの手法は現在広く活用されている。実際に、これまでにも Ni シリサイドの凝集に着目した SEM 解析[16]-[19]、TEM 解析[16]-[19]、XRD 解析[16],[18],[19],[89]などが報告されている。しかし、これらの SEM 解析、TEM 解析は単純に Ni シリサイドの形状にのみ着目した解析であり、シリサイドの結晶性に関する解析や、シリサイドの凝集や断線などに着目した詳細解析は十分に行われていないのが現状である[90]-[93]。また、半導体デバイス中の Ni シリサイドは B を注入した P 型基板や、As,P を注入した N 型基板上に形成するが、これらの不純物が Ni シリサイドの形状や結晶性に与える影響については十分に知られていない[61],[94]。

図 4.3 に Ni シリサイドプロセスを用いて形成したスタティックランダムアクセスメモリ（SRAM：Static Random Access Memory）のアクセスタイムを測定した結果を示す。横軸がアクセスタイムを示しており、右側ほどアクセスタイムが遅いことを示している。このグラフに示すように、主分布から外れアクセスタイム遅延を起こしている試料が存在していることが分かる。図 4.4 に実際にアクセスタイム遅延を起こした試料の断面 TEM 解析結果を示す。Ni シリサイドが断線し、高抵抗になったことにより、アクセスタイムが遅延していることが分かった。このように、シリサイドの断線は半導体デバイスの特性劣化を引き起こす原因となっていることが分かる。

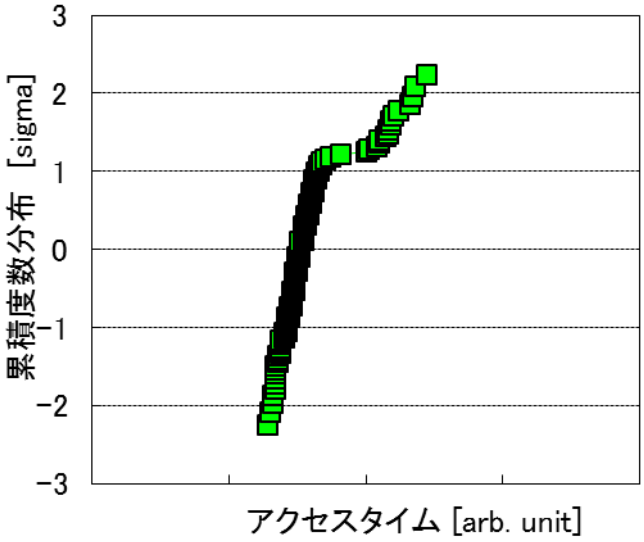


図 4.3　SRAM アクセス時間測定結果。

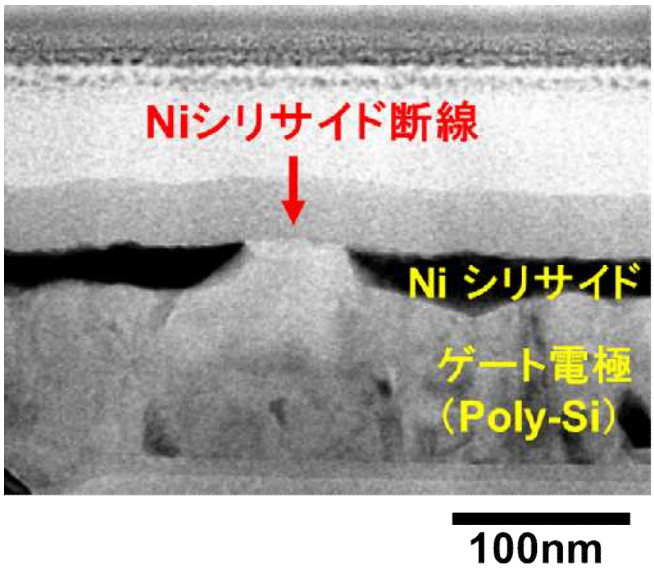


図 4.4　アクセスタイム遅延の発生した箇所の断面 TEM 解析結果

本章では、SRAM のアクセスタイム遅延などの原因となる Ni シリサイドの断線が発生するメカニズムを明らかすることを目的に、先端物理解析技術である、SEM/EBSD とアトムプローブを用いて、半導体デバイスで広く使われている B を注入した P 型基板上のシリサイドの結晶性評価を行った結果について述べる。また、その結果を基に、Ni シリサイド断線不良発生メカニズムについて議論した内容について述べる。

4.3　実験方法

4.3.1　試料作製

評価試料は、65 nm ノードプロセスを用いてSi基板上にNiシリサイドを形成した試料を用いた。Si 基板は B をイオン注入した Si(100)基板を用いた。Ni シリサイド形成後の Ni シリサイド薄膜の膜厚は約 20 nm である。Ni シリサイド詳細解析は、TEM、SEM/EBSD、アトムプローブなど、複数の物理解析技術を用いて行った。

4.3.2　TEM

シリサイドの断線箇所の詳細解析を行うために、TEM 評価を実施した。TEM 試料作製は FIB を用いたマイクロサンプリング法にて行った[71]。TEM 装置は FEI 社 Tecnai G2 F20 (加速電圧 200 kV)を用いた。

4.3.3　SEM/EBSD

SEM/EBSD は SEM を応用した電子線回折手法の一つであり、結晶性や結晶方位を特定するに用いられる手法である[34]。Ni シリサイド薄膜の結晶性解析を行うため、SEM/EBSD を行った。今回の解析で用いた SEM 装置は、Carl Zeizz 社製 ULTLA 55 である。また、EBSD 検出器および解析システムは OXFORD 社製 HKL Channel 5 を用いて行った。

4.3.4　アトムプローブ

アトムプローブは、試料表面の個々の原子の位置と元素を原子レベルで同定することができる分析手法である。アトムプローブの原理と測定方法は、第二章の図2.16に示したとおりである。測定は AMETEK/CAMECA 社製レーザアシスト型アトムプローブ LA-WATAP (Laser-Assisted Wide Angle Tomographic Atom Probe) を用いて行った[70]。図4.5に用いたアトムプローブ装置の外観図を示す。アトムプローブ試料作製はFIBを用いたマイクロサンプリング法にて行った[71]。

図4.5　アトムプローブ装置外観図 (AMETEK/CAMECA社製レーザアシスト型アトムプローブ Laser-Assisted-WATAP)

4.4 物理解析結果

4.4.1 SEMおよびTEM解析結果

図 4.6 に B をイオン注入した P 型 Si 基板上に形成した Ni シリサイド表面を SEM 観察した結果を示す。図中の矢印で示した箇所は、シリサイドの未形成領域であり、その形状はデルタ型をしていることが特徴的である。図 4.7 にシリサイド未形成箇所の断面 TEM 像を示す。Ni シリサイドの未形成箇所では、Si 基板と同一方位の Si 単結晶が形成されており、Ni シリサイド表面が平坦である。また、Ni シリサイド/Si 基板界面はラウンド形状であることが確認できる。

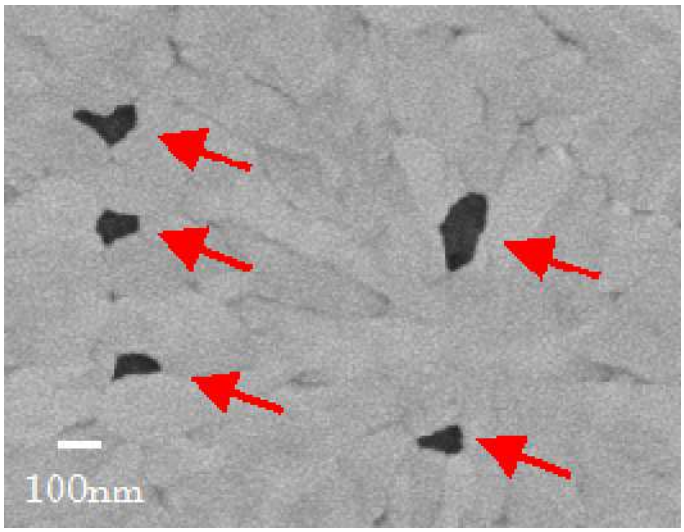


図 4.6 シリサイド表面の SEM 観察結果。赤矢印部はシリサイド未形成箇所を示す。

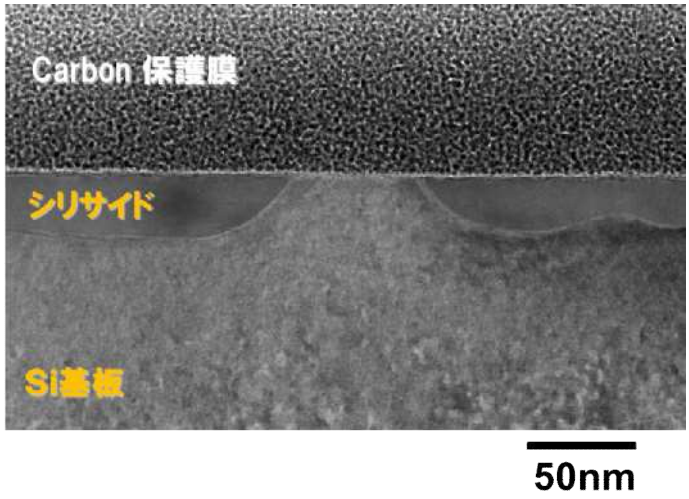


図 4.7 シリサイド未形成箇所の断面 TEM 像。

4.4.2 SEM/EBSD 解析結果

図 4.8 に EBSD 測定から求めた結晶相同定マップを示す。赤色は NiSi を示し、青色は $NiSi_2$ を示している。黒色は結晶方位が同定できなかった箇所を示しており、微結晶領域や結晶粒界などの影響で明瞭なチャネリングパターンが得られなかった箇所を示している。EBSD の結果から、本サンプルは、高抵抗相である $NiSi_2$ は形成されておらず、Ni シリサイドは図 4.9 に示す低抵抗の NiSi 相から構成されていることが分かった。また黄色は Si を示しており、NiSi 未形成領域で Si が露出していることが分かる。

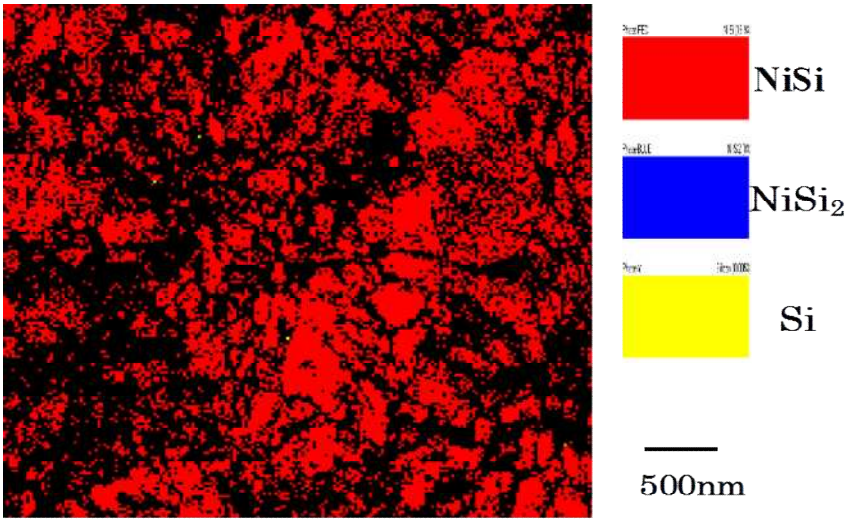


図 4.8 EBSD 測定から求めた結晶相同定マップ

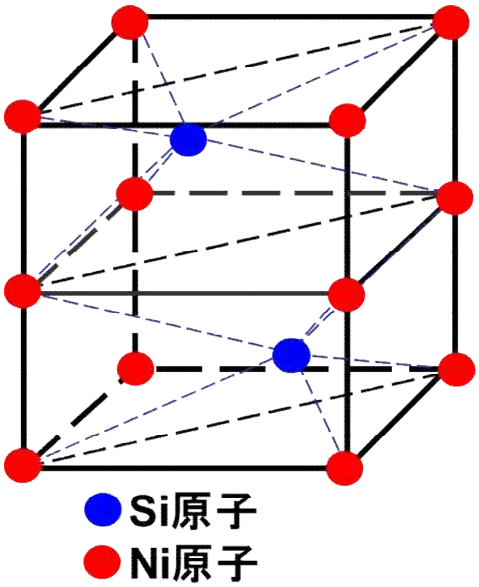


図 4.9 NiSi (斜方晶) の結晶構造

図 4.10 - 4.12 に EBSD 測定から得た結晶方位分布像（IPF：inverse pole figure）を示す。また、各方向 normal direction（ND）、rolling direction（RD）、transverse direction（TD）とサンプルとの座標系（位置関係）を図 4.13 に示す。図 4.10 - 4.12 から分かるように、Ni シリサイドの結晶粒径は 0.5 μm から 1.0 μm で形成されており、大きいグレインで直径が約 1.5 μm 程度である。またいくつかの結晶粒内ではわずかに結晶方位分布像の色が変化していることが分かる。これは結晶方位が場所によって徐々に変化していることを示している。すなわち結晶粒が歪んでいることを示している結果である。

この結晶方位の変化を定量的に解析した一例として、図 4.10 - 4.12 の結晶方位分布像に示した A 点を起点として B 点までのミスオリエンテーション（Misorientation）角をプロットしたものを図 4.14 に示す。Misorientation 角が変化していることから、結晶方位が徐々に変化していることが分かる。また図 4.14 中に矢印で示している箇所は角度が約 10 度変化している箇所であり、これは小角粒界が形成されていることを示している。この結果から、Ni シリサイド薄膜は 1.0 μm 程度の大きな結晶粒の中に、小角粒界で分割された小さな結晶粒が多数存在している構造であることが分かった。

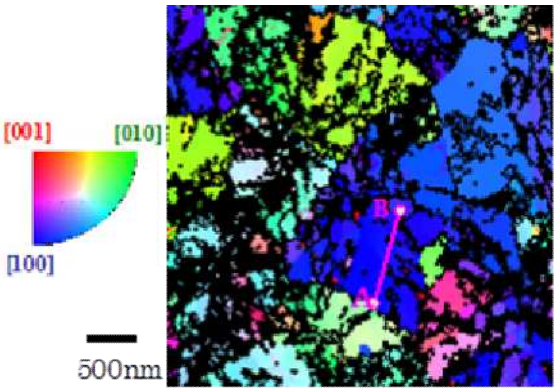


図 4.10　結晶方位分布（ND 方向）

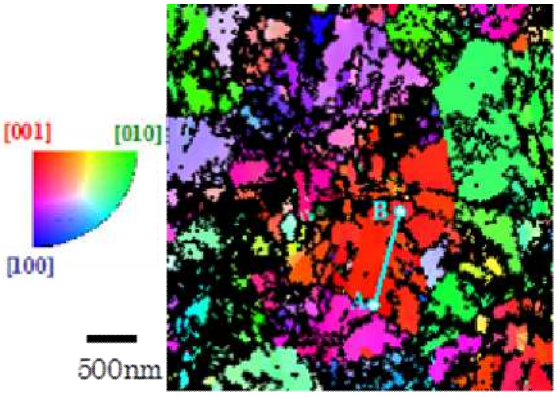


図 4.11　結晶方位分布（RD 方向）

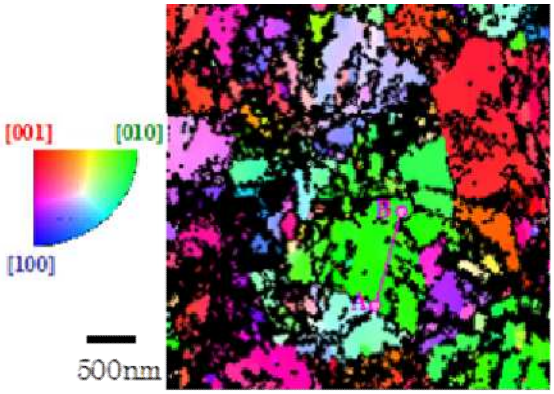


図 4.12　結晶方位分布（TD 方向）

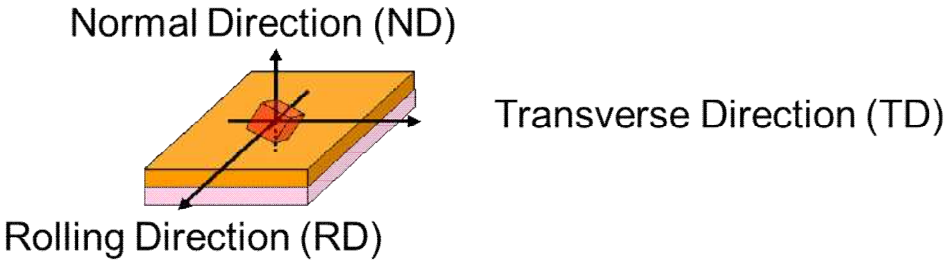


図 4.13　測定試料と EBSD データ解析で示した各方位（ND,RD,TD）との関係

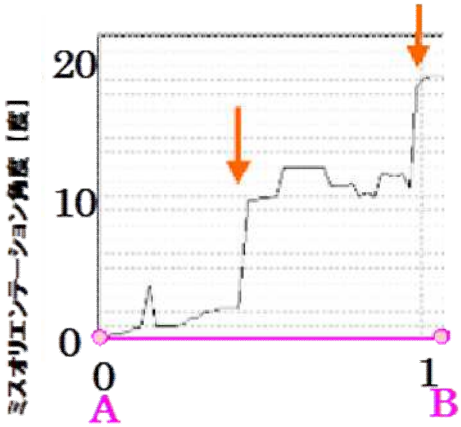


図 4.14　ミスオリエンテーション角度解析結果

4.4.3 アトムプローブ解析結果

Ni シリサイド断線の原因を調べるために、Ni シリサイド中の不純物に着目しアトムプローブ解析を行った。図 4.15 にアトムプローブ測定から得られた結果を基に、B の三次元分布を解析した結果を示す。データ解析領域は 16 nm × 16 nm × 25 nm である。Ni シリサイド膜中の B は不均一かつ離散的に存在し、数 nm 程度の大きさのクラスタを形成していることが分かる。図 4.16 に B および Si の元素分布を重ね合わせたものを示す。データ解析領域は図 4.15 と同様に 16 nm × 16 nm × 25 nm である。B クラスタは Si 基板とシリサイドの界面ではなく、界面から数 nm 上部に存在していることが分かった。

図 4.17 に、図 4.16 中に緑四角枠で示した 3 nm × 3 nm × 9 nm のエリアの組成プロファイルを示す。この結果から、B クラスタは Ni シリサイド/Si 界面から 3 nm 上部の Ni シリサイド膜中に存在していることが判明した。さらに、B 濃度は最大 70 atomic%に達していることが分かった。

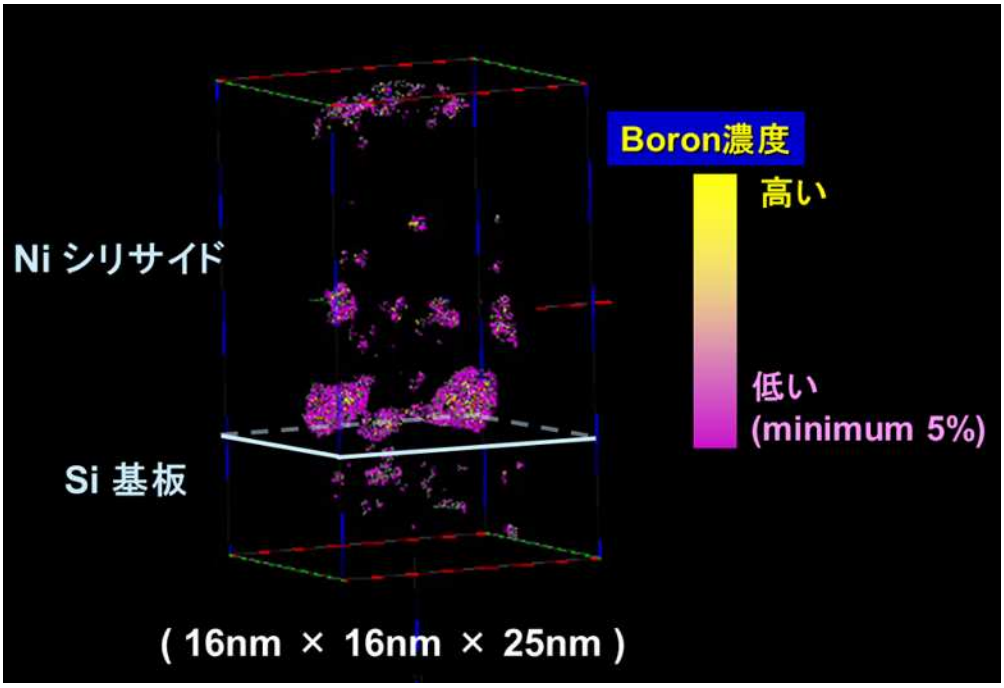


図 4.15 B の三次元分布解析結果

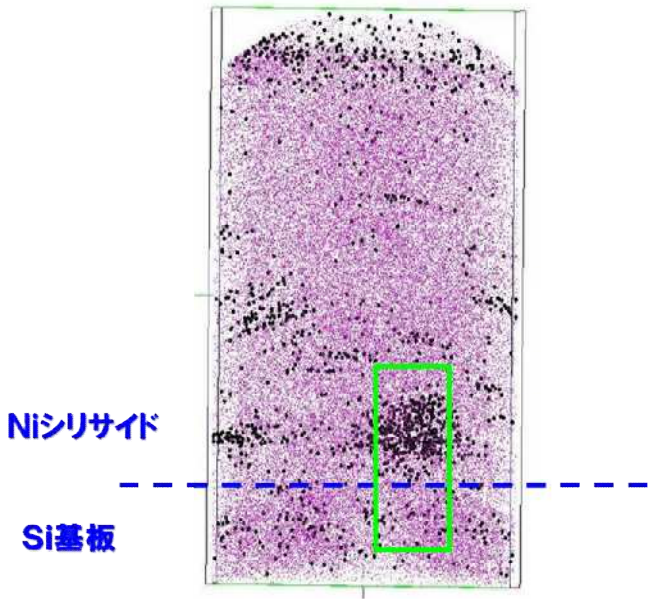


図 4.16　B および Si の 3 次元分布。紫色は Si 原子、黒色は B 原子を示す。

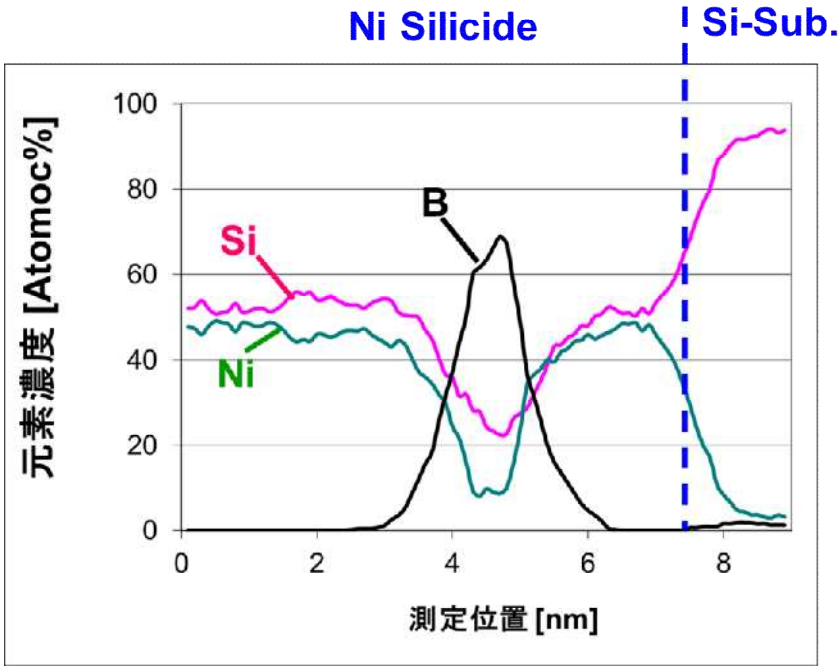


図 4.17　各元素の濃度プロファイル

4.5 断線不良の発生メカニズム考察

SEM/EBSD およびアトムプローブを用いた物理解析で得られた結果から、Ni シリサイドの断線メカニズムについて考察する。

Ni シリサイド薄膜は、ストレスの無い状態では規則正しく格子を組んで存在している。その時の結晶の平面模式図を図 4.18 に示す。しかし、Ni シリサイドは形成時の熱ストレスや機械的ストレスなどを受けると、図 4.19 の様に、結晶中に歪が生じ、転位が導入される。この状態で、さらにストレスが加わると、転位は安定配列し、図 4.20 に示すように小角粒界が形成される[81]。

図 4.21 にデルタ型のシリサイド割れ形成メカニズムを平面模式図にて示す。小角粒界は、図 4.21(a)に示すように、ストレス緩和のために容易に動くことが知られている。しかし、図 4.21(b)の様に、シリサイド膜中に小角粒界の動きを抑制する不純物クラスタが存在すると、自由に動ける小角粒界と、不純物に動きを阻害される小角粒界の境界にデルタ型のシリサイド未形成領域が形成される。これは Orowan モデル[95]と言われる現象であり、金属材料では不純物による粒界移動抑制の現象として知られているが、今回初めて、Ni シリサイド薄膜でもこのような現象が発生していることを突き止めた。

この現象は、ストレスにより転位および小角粒界が形成され移動することにより発生している。Ni シリサイドの断線への影響を調べるために、シリサイド形成の温度を下げてストレスを低減した条件で試料を作製し、SRAM のアクセスタイムを調べた。図 4.22 にシリサイド形成の温度を下げたサンプルの SRAM アクセスタイム評価結果を示す。シリサイド形成の低温化でストレスが低減したサンプルではアクセスタイム遅延は発生しておらず、Ni シリサイド断線は発生していないことを示している。

以上の結果から、Ni シリサイド断線を引き起こす Ni シリサイド未形成の発生メカニズムを立案し、プロセス対策および歩留まり改善を実施することができた。

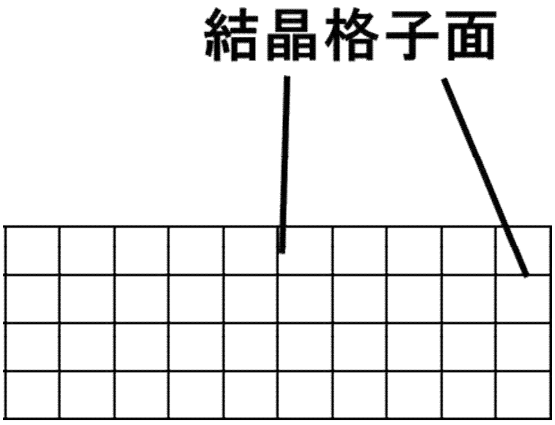


図 4.18　ストレスが無い状態での格子の平面模式図

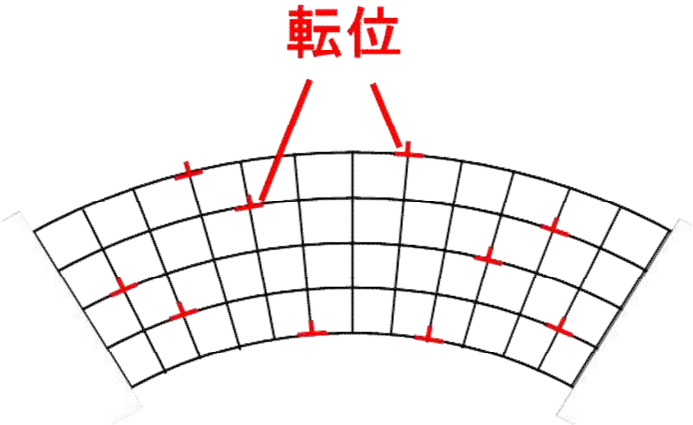


図 4.19　ストレスが印加され転位が導入された状態の結晶の平面模式図

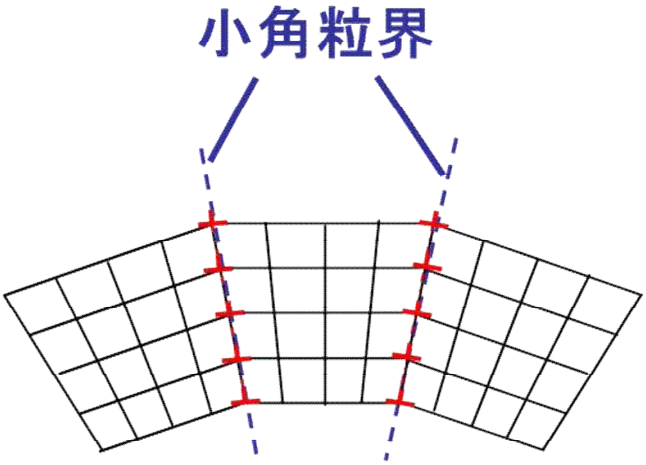
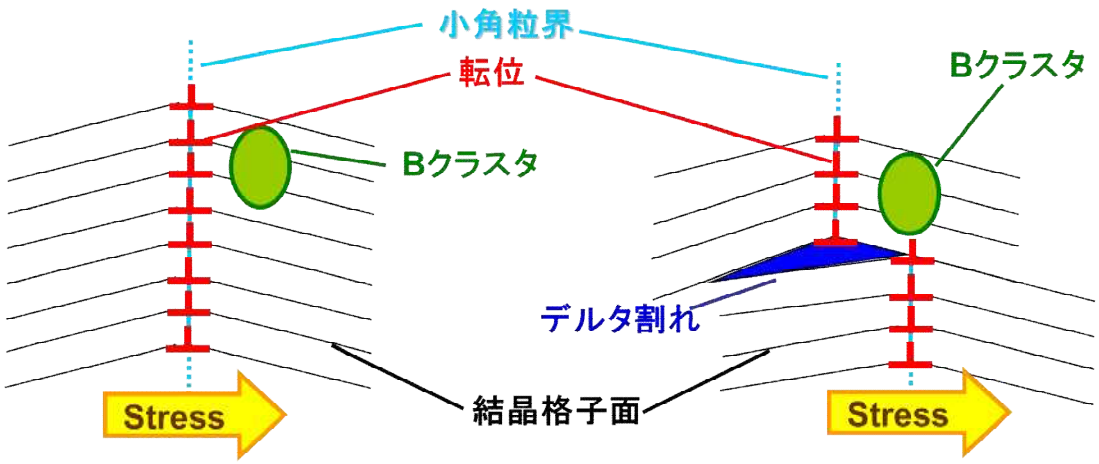


図 4.20　ストレスが印加され転位が整列し小角粒界を形成した状態の結晶の平面模式図



(a) デルタ型のシリサイド割れ形成前　　(b) デルタ型のシリサイド割れ形成後

図 4.21　デルタ型のシリサイド割れ形成メカニズムの平面模式図

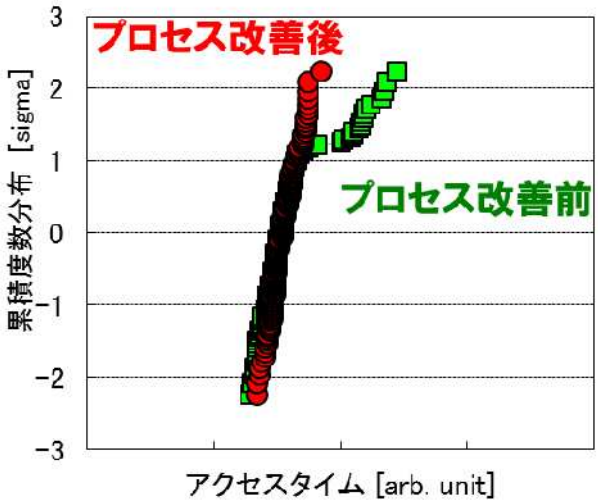


図 4.22　SRAM アクセスタイム評価結果。赤で示したプロセス改善品（シリサイド形成温度低温化）ではストレス低減の効果で SRAM アクセスタイム遅延が発生していない。

4.6 むすび

本章では、提案した物理解析フローを、トランジスタの高抵抗不良に適用した結果について述べた。図 4.23 に本章で用いた物理解析フローを示す。高抵抗不良の原因となる Ni シリサイド断線のメカニズムを明らかにするために、SEM/EBSD および、アトムプローブの二種類の先端物理解析を用いて Ni シリサイド薄膜の評価を行った結果について述べた。

1） SEM/EBSD 測定の結果、Ni シリサイド薄膜は、直径約 1.0 μmの大きなグレインで形成されており、その大きなグレインは歪を持っていること、および、グレインの中には小角粒界が多数存在していることを明らかにした。

2） アトムプローブ解析の結果、Ni シリサイド薄膜中の B は数 nm の大きさのクラスタを形成していることが分かった。また B クラスタは、Si 基板との界面ではなく Ni シリサイド薄膜中に存在していることを明らかにした。

3） これらの先端物理解析の結果から、Ni シリサイドの未形成部に生じるデルタ型の割れは、Ni シリサイド薄膜中の小角粒界の移動が B クラスタに阻害されることにより生じているというモデルを立案した。また、そのモデルを基にプロセス対策実験を行い、効果を検証した。

このように、先端物理解析を駆使して、Ni シリサイドの結晶性やシリサイド膜中に存在する B クラスタのような不純物を詳細に解析することは、不良メカニズムの立案に大きく貢献することを示した。またこのような先端物理解析を用いた解析フローは、先端プロセス開発およびデバイス開発において不可欠であると考える。

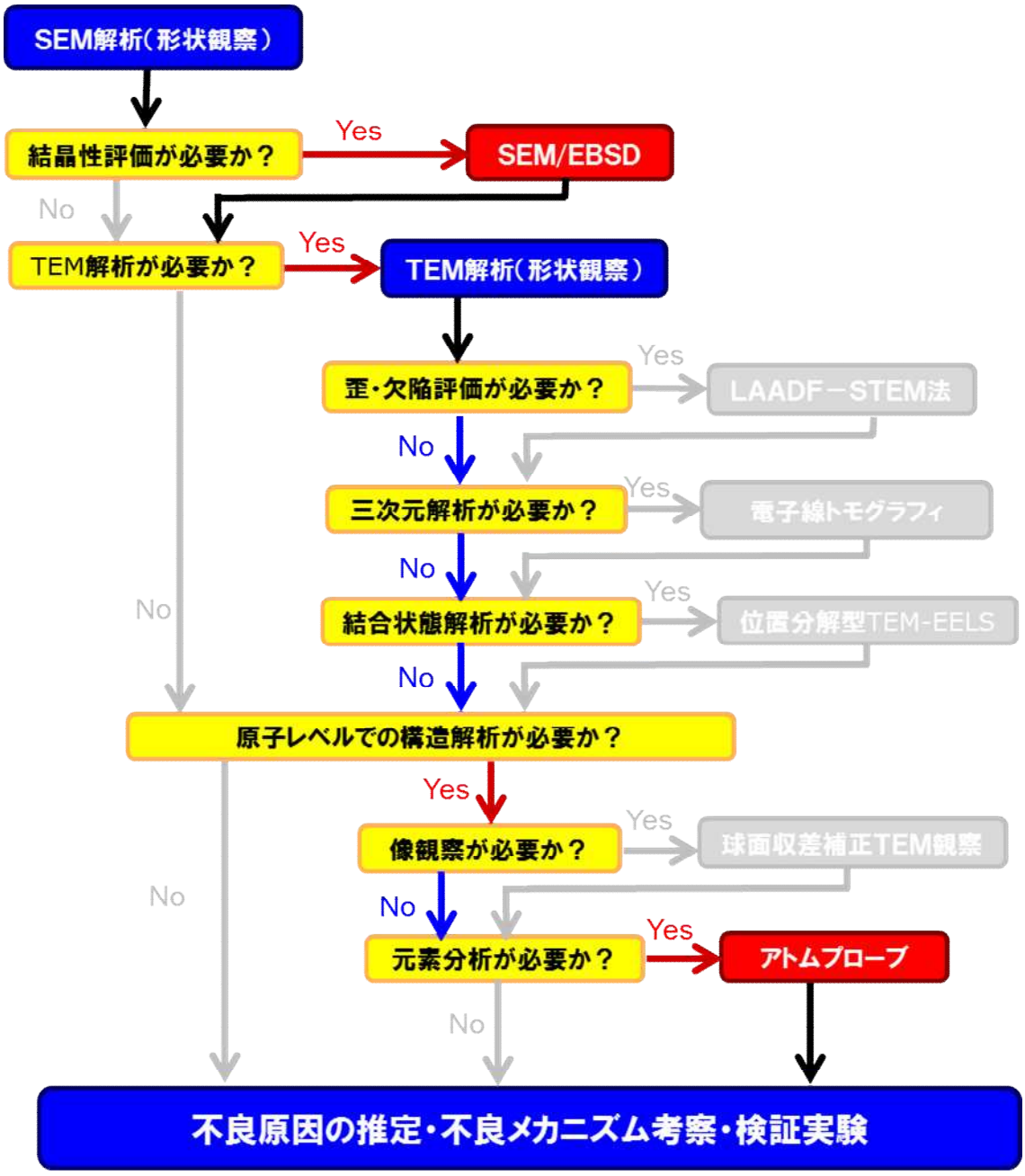


図 4.23　第4章で用いた物理解析フロー

第 5 章　半導体デバイス中の結晶欠陥三次元可視化技術[42]-[44]

5.1　まえがき

本章では、提案した物理解析フローをトランジスタの電流特性不良に適用した結果について述べる。不良の原因となる結晶欠陥を可視化するための TEM 観察手法として、LAADF-STEM 法を提案し、電子線トモグラフィと組み合わせて適用することにより、結晶欠陥が電流特性不良に起因することを解析した結果について述べる。最後に、得られた三次元解析結果から、結晶欠陥の発生メカニズムやデバイス構造との関係について議論した内容について述べる。

5.2　先端トランジスタにおける歪印加技術と歪・結晶欠陥の解析手法

5.2.1　トランジスタにおける歪印加技術

先端 MOS トランジスタでは、性能向上のため、チャネル部に歪を積極的に印加する技術を導入している[4]。デバイスに歪を印加する手法の一つとして、近年、PMOS トランジスタに SiGe ソース/ドレイン（S/D：Source/Drain）を用いてチャネル部に歪を印加し、ホールの移動度を向上させる技術が実用化されている[7]。図 5.1 に SiGe ソース/ドレインを形成したトランジスタの断面 TEM 像を示す。Si よりも格子定数の大きい Ge をソース/ドレイン部に用いることにより、SiGe の格子間隔は Si よりも大きくなり、その結果、SiGe と Si の格子定数の差分の歪が生じ、図 5.1 の赤矢印で示したようにチャネル部に圧縮歪を与える。

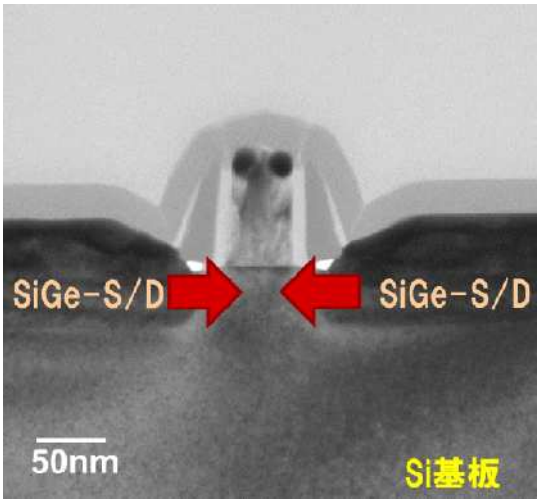


図 5.1　SiGe ソース/ドレインを用いたトランジスタと応力の断面模式図

しかし、その一方で、デバイスに歪を印加することにより、その歪に起因してデバイス中に結晶欠陥が発生することがある。結晶欠陥は、歪の緩和や接合リーク不良などの原因となることから、結晶欠陥の発生は大きな問題となっている[96]。結晶欠陥の発生は、SiGe の形成条件やアニールなどプロセス条件に依存することが知られており、SiGe ソース/ドレインを適用する際にはプロセス条件を最適化し、結晶欠陥を抑制することが不可欠である。そのためには、結晶欠陥の発生メカニズムに対する詳細な解析が必須である。

5.2.2 半導体デバイス中の歪・結晶欠陥解析技術

トランジスタへの歪印加技術の導入にともない、半導体デバイス中の歪や結晶欠陥を測定する技術がこれまで種々検討されてきた。その中でも、TEM は古くから用いられている解析手法であり、また現在でも最も主流な解析手法である。

結晶中の歪を可視化する技術として、近年、LAADF-STEM 法が提案されている[78]。また、LAADF-STEM は、簡便に歪分布を可視化できることから、電子線トモグラフィとの組み合わせにより三次元的な構造を解析するのに適している手法であると考えられる。

本章では、まず、LAADF-STEM による結晶欠陥可視化について検討を行う。次に、SiGe ソース/ドレインを用いた MOS トランジスタで発生した結晶欠陥に対し、LAADF-STEM と電子線トモグラフィの組み合わせによる結晶欠陥の三次元可視化の適用実験を行う。最後に得られた知見から、LAADF-STEM を用いた結晶欠陥の三次元可視化の有効性について議論する。

5.3 実験方法

本実験では、32 nm ノードプロセスを用いて形成した CMOS トランジスタを用いた。物理解析として、トランジスタ中に発生する結晶歪を測定するために NBD を行った。また、結晶欠陥の三次元可視化には、LAADF-STEM と電子線トモグラフィを用いた。

5.3.1 試料作製

試料は、32 nm ノードプロセスを用いて形成した P 型チャネル MOS （PMOS）トランジスタであり、ソース/ドレイン部に、埋め込みエピタキシャル SiGe 層を形成した構造である。PMOS トランジスタは Si(100)基板上に<110>方向をチャネルとして形成した。試料作製のプロセスフローを図 5.2 に示す。ゲート電極形成後、選択エッチングによりソース/ドレイン部の Si 基板をエッチングする。エッチングされた部分に対しクリーニング処理（前処理）を行い、その後ソース/ドレイン部に SiGe エピタキシャル層を形成した試料を作製した。

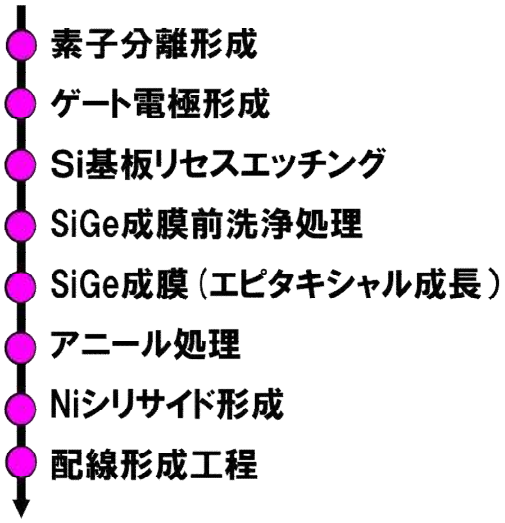


図 5.2　SiGe ソース/ドレインを用いた MOS トランジスタのプロセスフロー

5.3.2　Nano-beam electron diffraction (NBD)

NBD は TEM の応用技術の一つであり、ナノメートルレベルで歪を測定する技術である [27]。今回トランジスタのチャネル部の歪を測定するために、NBD を適用した。

歪測定に必要な回折スポットの取得は、TEM 試料に対し平行に電子ビームを入射し、像面に表れる回折図形を取得することによって行われる。電子線回折では以下の(5.1)式で示すブラッグ条件に従って回折図形にスポットが現れる。

ブラッグ条件: $2d\sin\theta = n\lambda$　　・・・　(5.1)

d　: 格子面間　θ: ブラッグ角　λ: 電子の波長

ブラッグ条件に従い、回折図形のスポット間隔 R から、結晶面の面間隔 d は以下の(5.2)式で導き出すことができる。

面間隔　$d = \lambda L / R$　　・・・　(5.2)

d　: 格子面間隔

2R: スポット間距離

λ: 電子の波長

L: カメラ長

このように、回折図形のスポット間隔 R を計測し、結晶面の面間隔 d を算出することにより、結晶中の歪を求めることができる。

Si 結晶の代表的な入射方位として、図 5.3 に<100>入射条件で NBD を行った場合の概要図を示す。この方位の場合、図 5.3 に示した黄色矢印部の距離が 2R に相当するため、この 2R を測長することにより面間隔を知ることができる。同様に、図 5.4 に<110>入射の場合の NBD 測定の概要図を示す。今回の実験では電子線入射方向は<110>の条件で(200)および(220)の回折スポットを用いて歪を解析した。入射電子ビームは図 5.5 で示すように、半値幅 8.6 nm のスポット径の平行ビームを用いた。

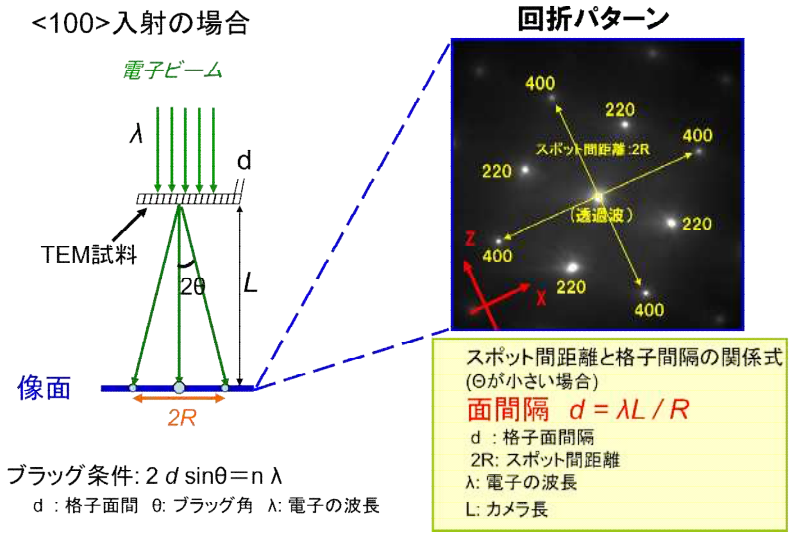


図 5.3　<100>入射条件の場合の NBD の実験概要図

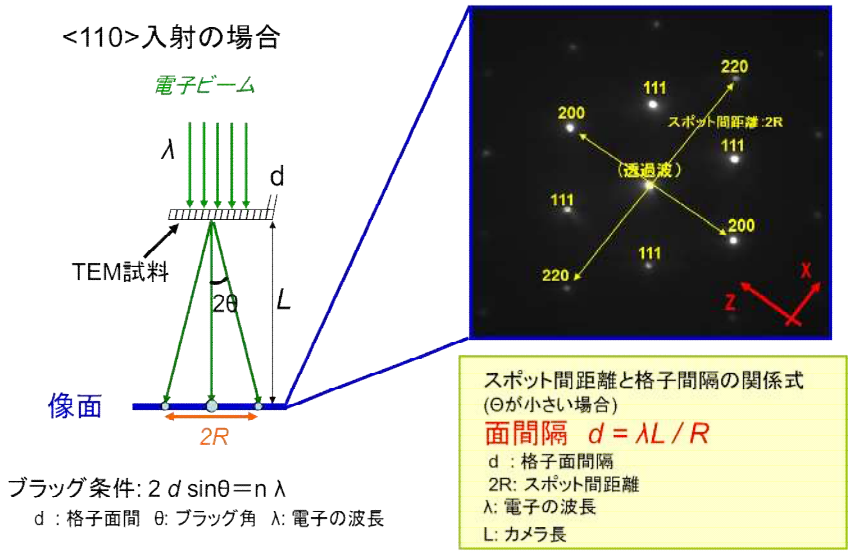


図 5.4　<110>入射条件の場合の NBD の実験概要図

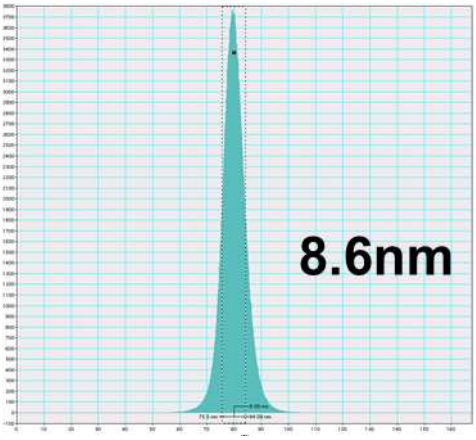


図 5.5　NBD で用いた電子線ビームのプロファイル

5.3.3　LAADF-STEM 法

LAADF-STEM は STEM の応用技術のひとつで、結晶欠陥を可視化するのに有効な技術である[78]。既に第二章の図 2.18 で示したように、LAADF-STEM は回折や歪のコントラスト含むことから、結晶歪や結晶欠陥の可視化に有効な手法であると考えられる。また、LAADF-STEM は、簡便に歪分布を可視化できる技術であることから、電子線トモグラフィとの組み合わせにより三次元的な構造を解析するのに適している手法であると考えられる。今回この LAADF-STEM 法を用いて、デバイス中の結晶欠陥の解析を行った。

5.3.4　電子線トモグラフィ

電子線トモグラフィは、TEM または STEM を用いて試料を傾斜しながら連続的に TEM/STEM 像を取得し、そのデータらから三次元像を構築する解析手法である[55]-[59]。電子線トモグラフィはプローブに電子線を用いることによって、高い空間分解能での三次元形状評価が可能であることは、既に第二章で示してきたとおりである。本章の実験には、FEI 社製 200kV TEM 装置 Tecnai G2 F20（加速電圧：200 kV）を用いた。像取得時の試料傾斜やフォーカス調整はコンピューター制御を用いて自動で行った。試料傾斜は 1 軸傾斜で行った。また高傾斜可能な専用ホルダーを使用し、試料を＋60 °から－60 °まで傾斜して観察を実施した。観察は、結晶欠陥の可視化に有利な LAADF-STEM モードを用いて STEM 像を約 100 枚取得した。

5.4　結晶欠陥の三次元可視化評価結果

図 5.6 に、SiGe ソースドレイン構造を用いた PMOS トランジスタの電気特性（I_{on}-I_{off} 特性）評価結果を示す。縦軸はオフ電流（I_{off}）を示し、横軸はオン電流（I_{on}）を示す。トランジスタの特性は I_{off}/I_{on} が大きいほど、つまり I_{on} が小さいほどスイッチング特性が劣化していることを示している。サンプル A とサンプル B を比較した場合に、サンプル B の方が I_{on} が劣化していることが分かる。

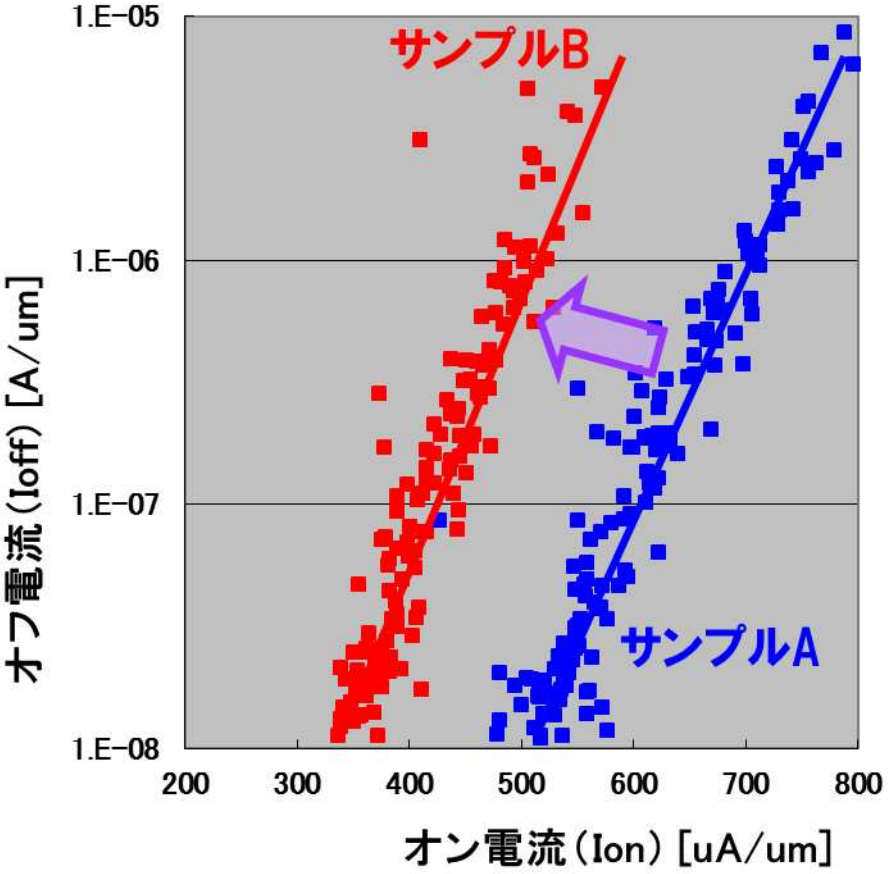
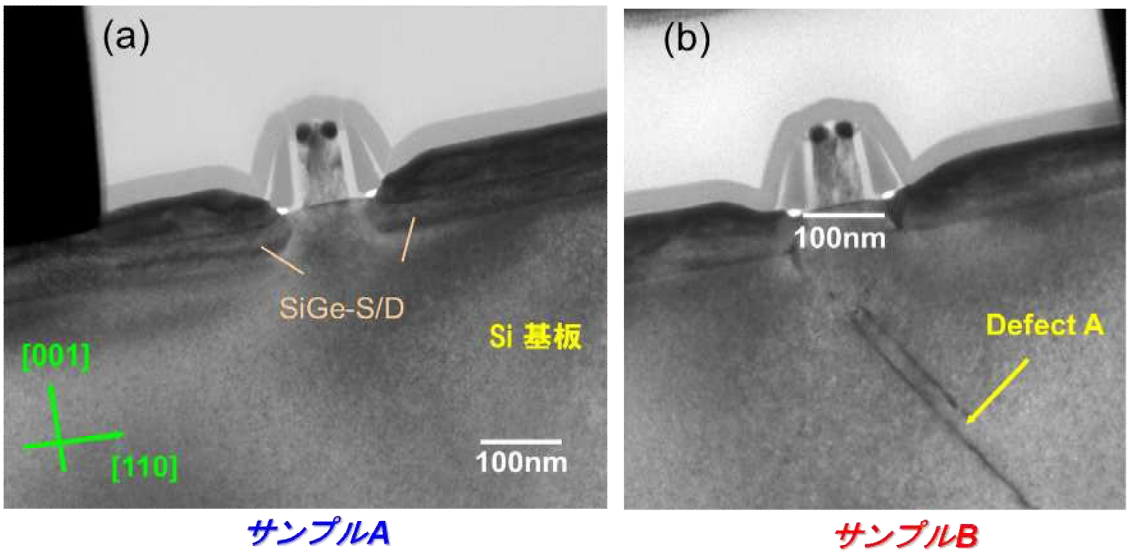


図 5.6　I_{on}-I_{off} 特性評価結果

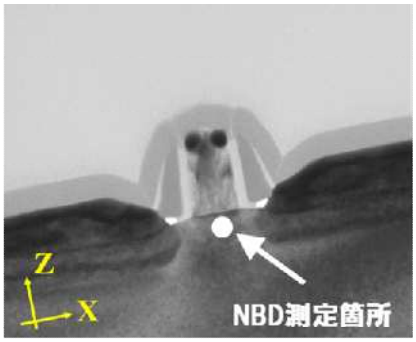
サンプル B の I_{on} 劣化の原因を究明するために、それぞれのサンプルについて断面 TEM 解析を行った。図 5.7 にそれぞれのサンプルを断面 TEM 解析した結果を示す。サンプル A では結晶欠陥が発生していないのに対し、サンプル B では結晶欠陥が発生しているのが分かる



(a) サンプル A　　(b)サンプル B

図 5.7　断面 TEM 像

それぞれのサンプルのチャネル部の応力を調べるために、NBD 測定を実施した。図 5.8 に NBD を用いてチャネル部の応力測定した結果を示す。ε_{xx} はチャネル方向（X 方向）ε_{zz} は基板垂直方向（Z 方向）の歪量を示し、プラスの値が引っ張り、マイナスの値が圧縮で示した。NBD 測定の結果から、結晶欠陥の発生しているサンプル B で歪量が小さくなっていることが分かる。サンプル B は、結晶欠陥が生じることにより SiGe ソースドレイン部によって印加された歪が緩和され、デバイス特性（I_{on}）が劣化したものと考えられる。



	サンプルA	サンプルB
ε xx (Horizontal)	−0.57%	−0.21%
ε zz (Vertical)	+0.77%	+0.37%

図 5.8　NBD によるチャネル部の歪測定結果。ε_{xx} はチャネル方向（X 方向）ε_{zz} は基板垂直方向（Z 方向）の歪量を示す。

図 5.7 中の TEM 像で確認した結晶欠陥を STEM でも捉えるために、HAADF-STEM と LAADF-STEM の二種類の観察手法の比較実験を行った。図 5.9 にサンプル B を HAADF-STEM モードと LAADF-STEM モードで観察した結果を示す。HAADF-STEM 像では、結晶欠陥のコントラスを確認することができなかった。一方、LAADF-STEM 像は結晶欠陥を明瞭に可視化できていることが分かる。これは LAADF-STEM モードが回折コントラストを含むことにより結晶欠陥（転位）によるブラッグ条件の差が像コントラストに反映されたためである。これらの結果から、LAADF-STEM は結晶欠陥を可視化するのに有利な観察手法であることを実証した。

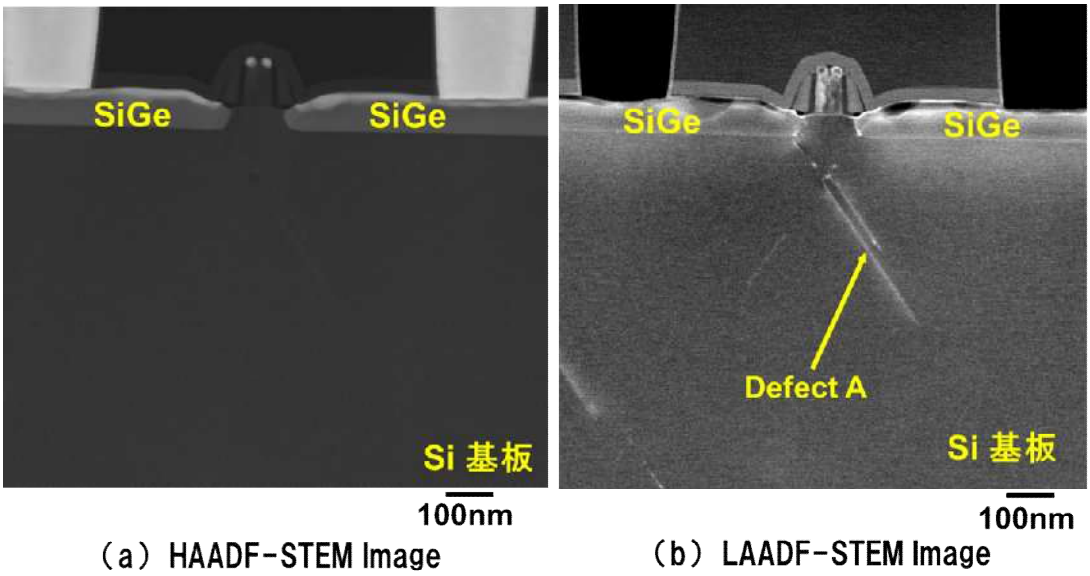


図 5.9　断面 STEM 像（サンプル B）

次に、このサンプル B で発生している結晶欠陥の三次元構造を調べるために、LAADF - STEM モードを用いて、電子線トモグラフィを行うことを試みた。図 5.10 - 5.12 に LAADF - STEM モードで取得した連続傾斜像を基に、三次元再構築した結果を示す。図 5.10 はチャネル垂直方向（図 5.10 中の（A）の方向）からみた三次元構築像である。結晶欠陥は明瞭なコントラストで三次元可視化できていることが確認できる。また図 5.10 の Defect A は、SiGe-S/D 端を起点とし、(111)面に沿って存在していることが確認できた。図 5.11 はチャネル垂直方向に対し、45°回転した方向（図 5.11 中の（B）の方向）からみた三次元構築像である。この方向から見ることにより図 5.10 では分かりにくかった Defect B をはっきりと確認することができる。また、図 5.11 は、Defect A と Defect B が両方見える方向であり、それぞれの欠陥の位置関係を三次元的に把握することができる。そのため、お互いの欠陥同士がどのように交差しているのかを知ることができる。図 5.12 は、チャネル平行方向（図 5.12 中の（C）の方向）からみた三次元再構成像である。Defect A と Defect B どちらの欠陥も明瞭に確認することができる。また、図 5.12

の方向から観察することにより、Defect B は<110>方向に延びていることを確認することが可能である。

このように、LAADF-STEM を用いることにより、HAADF-STEM では検出できない結晶欠陥のコントラストを捉えることができた。また LAADF-STEM と電子線トモグラフィを組み合わせることにより、結晶欠陥の三次元可視化が可能となった。これにより、結晶欠陥の存在する面方位や成長方向を三次元的に把握することが可能となった。

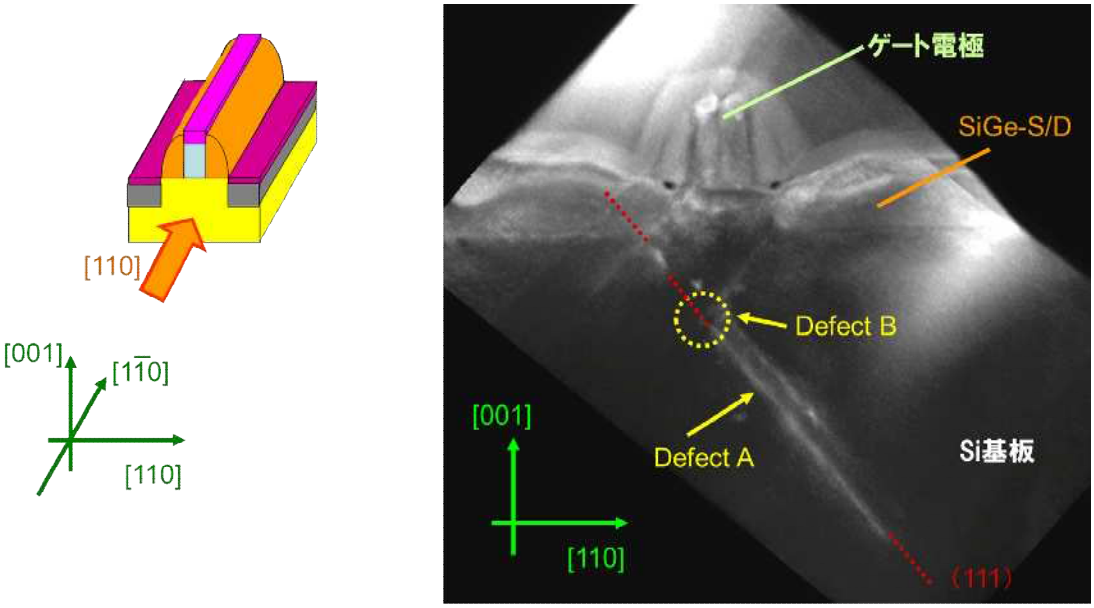


図 5.10　三次元構築像（チャネル垂直方向）

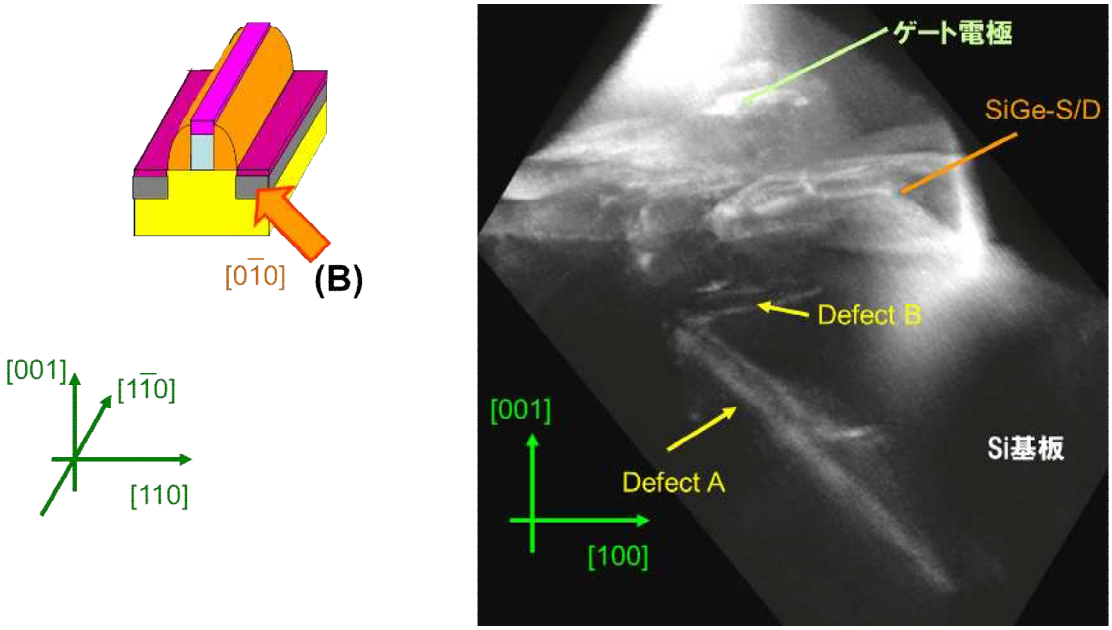


図 5.11　三次元再構築像（チャネル垂直方向から 45 度回転した方向）

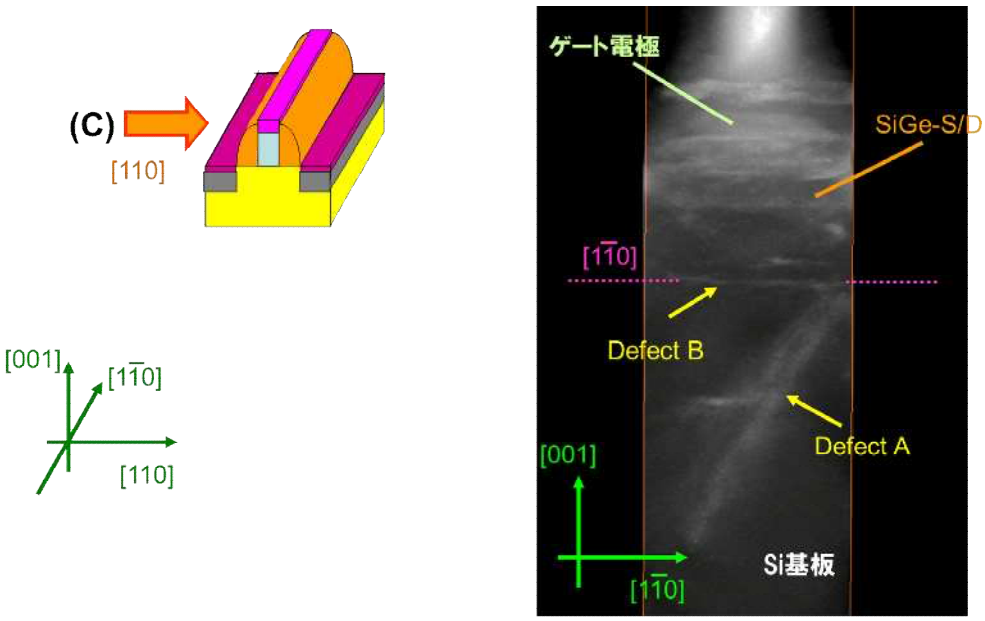


図 5.12　三次元構築像（チャネル垂直方向）

5.5　結晶欠陥の発生メカニズム考察

LAADF-STEM と電子線トモグラフィを組み合わせた手法で得られた結晶欠陥の三次元可視化結果を基に、結晶欠陥の発生メカニズムについて考察する。

図 5.13 にトランジスタと結晶欠陥の位置関係を模式図に示す。Defect A は青色で示した(111)面内で[101]方向に延びている。また、Defect B は紫色で示した(111)面内で[110]方向に成長していることが分かる。これらの結果から、どちらの欠陥もチャネル近傍の歪が大きい領域で発生していることが分かる。また欠陥の発生状況から、Defect A は図 5.13 に示したトランジスタの左側の SiGe/Si 界面から(111)に面に沿って成長したことが分かる。また、Defect B は右側の SiGe/Si 界面から別の(111)に沿って成長し、Defect A によって動きを阻害された結果、[110]方向に延びた状態で止まったと考えられる。このように、複数の欠陥とデバイス構造の位置関係を三次元的に観察することにより、それぞれの欠陥が左右の SiGe/Si 界面を起点に発生して、別々の(111)に沿って成長したことが分かった。

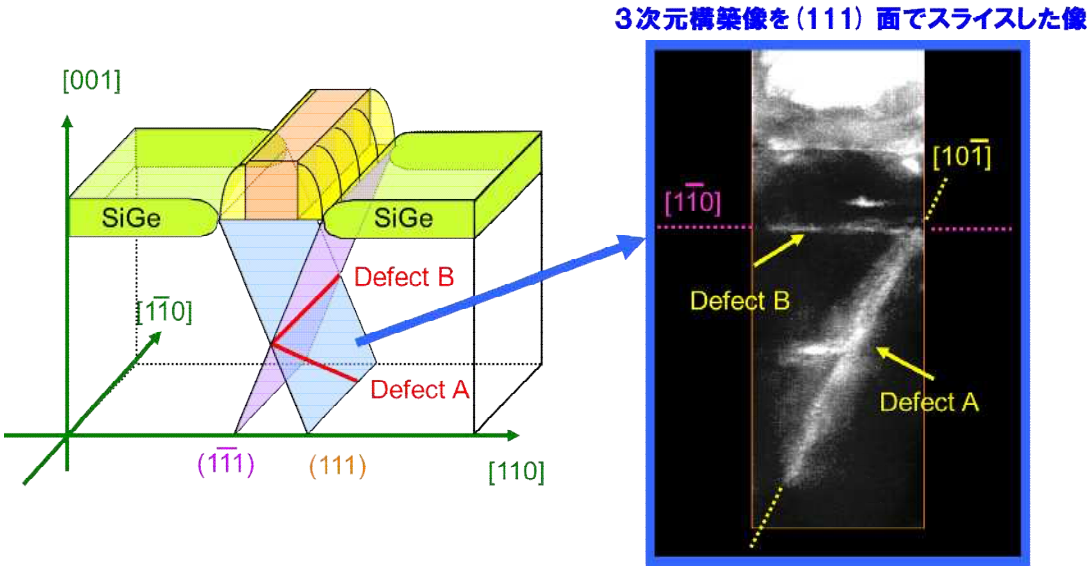


図 5.13　トランジスタと結晶欠陥の模式図および(111)面で抽出したスライス像

5.6　結晶欠陥三次元可視化の応用

結晶欠陥を三次元的に可視化する技術を、実際のトランジスタで発生しているリーク電流不良解析に適用した。

固浸レンズ（SIL：Solid Immersion Lens）プレートを用いて、空間分解能を上げた発光解析[52],[53]を行い、リーク箇所を特定し、断面 TEM 解析を行った。図 5.14 に不良個所の断面 LAADF - STEM 像を示す。コンタクト（CONT：Contact）近傍に結晶欠陥が Si(111)面に沿って伸びていることが分かる。

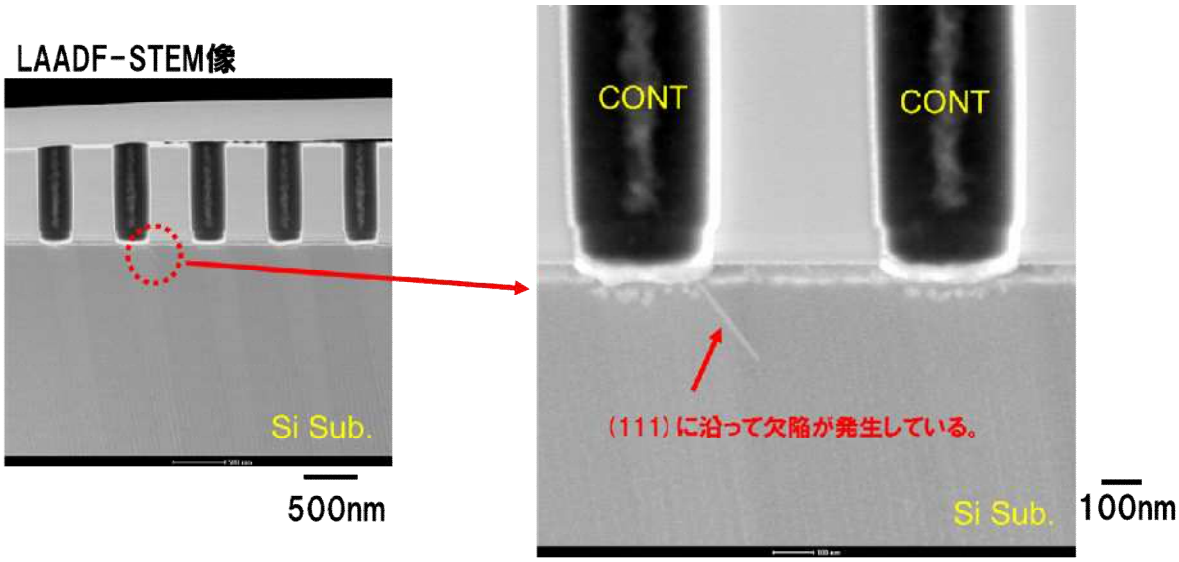


図 5.14　断面 LAADF-STEM 像

結晶欠陥とデバイス構造の三次元的な位置を明確にするために、LAADF-STEM を用いた電子線トモグラフィを実施した。図 5.15 に三次元構造解析から得られた、デバイス構造と結晶欠陥の位置関係を示す。図 5.14 に示した通常の断面 STEM 像だけでは、結晶欠陥はコンタクトの底部から発生しているように見える。しかし、三次元解析を行うことにより、結晶欠陥の起点はコンタクトの底部ではないことが明確になった。

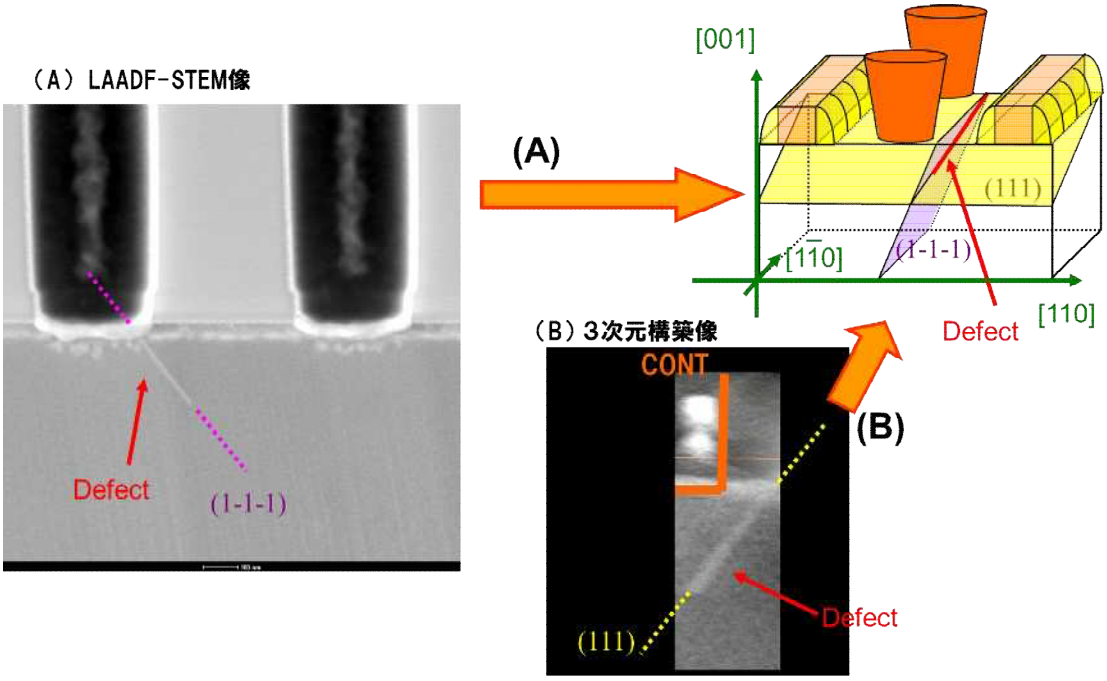


図 5.15　三次元構造解析から得られたデバイス構造と結晶欠陥の位置関係

このような、結晶欠陥を三次元的に可視化する技術は、任意の方向から結晶欠陥を解析するのに有効である。また、結晶欠陥の存在する結晶面や方位と、デバイス構造との位置関係を三次元的に把握することができる技術である。その結果、結晶欠陥の発生起点や成長･スリップの方向、欠陥の増殖や欠陥同士の相互作用について結晶学的な考察を行うことができた。このような先端デバイス中の結晶欠陥の詳細解析は、結晶欠陥が発生したプロセスや構造の原因を突き止めるのに有効な手法である。

5.7　むすび

本章では、提案した物理解析フローをトランジスタの電流特性不良に適用した結果について述べた。図 5.16 に本章で用いた物理解析フローを示す。結晶欠陥を可視化するための TEM 観察手法として、LAADF-STEM 法と電子線トモグラフィを組み合わせた手法を提案し、不良解析に適用した結果について述べた。

1）デバイス中の結晶欠陥を可視化する技術として、LAADF-STEM 法を適用した。LAADF-STEM 法は結晶の回折情報を含むため、HAADF-STEM では捉えることのできない結晶欠陥のコントラストを明瞭にとらえることが可能であることを確認した。

2）結晶欠陥を三次元可視化する技術として、LAADF-STEM 法と電子線トモグラフィを組み合わせた解析手法を、実際のデバイス解析に適用した。その結果、デバイス中の結晶欠陥の三次元可視化に成功し、デバイス構造と結晶欠陥の位置関係を三次元的に把握することができた。また複数の欠陥が異なるすべり面に存在し、互いに三次元的に交差している様子を捉えることに成功した。

3）得られた三次元解析結果から、トランジスタ中に発生した欠陥が、SiGe-S/D の端部から特定の結晶方位に沿って発生していることを突き止めた。このことから、結晶欠陥は SiGeS/D 部の歪の大きい領域を起点とし、Si{111}面に沿って延びていることが分かった。

4）　本手法を、接合リーク電流不良に適用し、結晶欠陥が接合リーク不良の原因となっていることを明らかにした。また結晶欠陥とデバイス構造の三次元的な位置関係を把握することにより、プロセス原因を推定することができた。

LAADF-STEM 法と電子線トモグラフィを組み合わせた解析手法は、先端デバイス中の結晶欠陥をナノメートルオーダーで三次元可視化できる唯一の手法である。このような新規物理解析技術を組み込んだ解析フローは、デバイス不良解析に欠かせない技術であると考える。

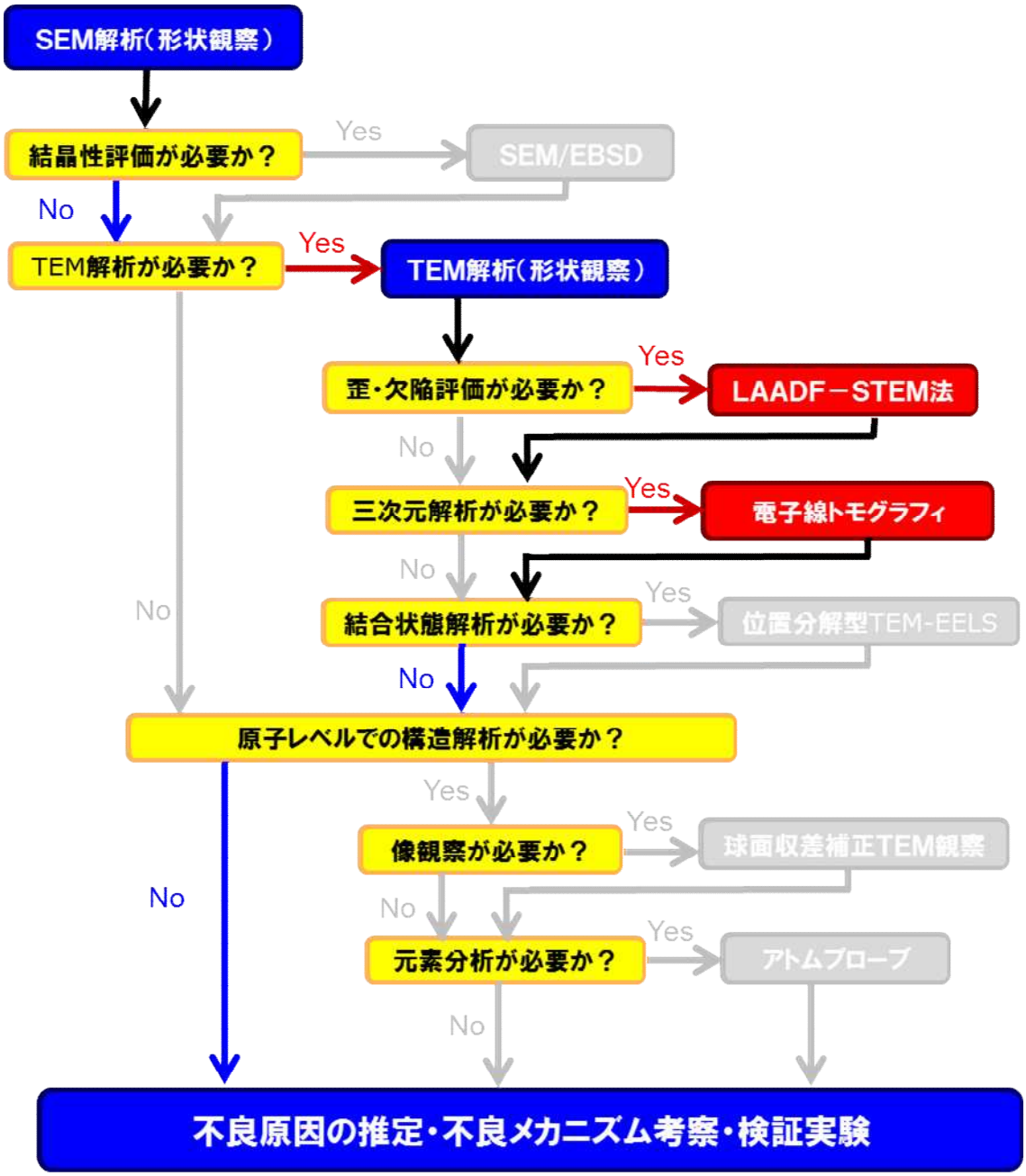


図 5.16　第5章で用いた物理解析フロー

第 6 章　Hf 添加ゲート絶縁膜の TDDB 寿命劣化原因究明のための原子レベル構造解析[45]-[47]

6.1 まえがき

本章では、提案した物理解析フローを、トランジスタの酸化膜経時破壊（TDDB：Time dependent dielectric breakdown）寿命劣化の解析に適用した結果について述べる。

原子レベルの空間分解能を有する、球面収差補正走査透過型電子顕微鏡とアトムプローブの二種類の物理解析手法を用いて、Hf 添加ゲート絶縁膜の構造解析を行い、ゲート絶縁膜中の不純物の拡散や凝集について解析した結果について述べる。その後、得られた物理解析結果から、高誘電率ゲート絶縁膜（High-k 膜）の TDDB 寿命劣化のメカニズムを考察した内容について述べる。

6.2 High-k 膜の導入とその問題点

半導体デバイスの高性能化により、トランジスタの電流駆動能力の向上が求められている。MOS トランジスタの電流駆動能力（I_D）は以下の(6.1)式で表される

$$I_D = (1/2)\,\mu_{eff}\,(W/L)\,(k/T)(V_G - V_{th})^2 \quad \cdots \quad (6.1)$$

I_D：MOS トランジスタの電流駆動能力

μ_{eff}：チャネルの実効移動度

W：チャネル幅　L：チャネル長

V_G：ゲート電圧　V_{th}：しきい値電圧

k：ゲートゲート絶縁膜の誘電率　T：ゲート絶縁膜の膜厚

I_D を向上させるには、ゲート絶縁膜（T）の膜厚を小さく、つまりはゲート絶縁膜を薄くする必要がある。これまでのデバイスの微細化により、現在のデバイスではゲート絶縁膜（シリコン酸化膜）の厚みはすでに 2 nm 以下となっており、さらに 1 nm 程度にまで薄膜化することが要求されている。しかし、ゲート絶縁膜をこれ以上薄膜化すると、絶縁膜を電子がトンネルすることによるゲートリーク電流が大きな問題となってくる[97]-[99]。さらには、ゲート絶縁膜が薄くなることによりプロセスによる膜厚の制御が難しくなり、しきい値電圧（V_{th}）のばらつきも大きくなる。

この問題を回避するために、ゲート絶縁膜材料として新規に高誘電率ゲート絶縁膜（High-k 膜）を導入し、ゲートゲート絶縁膜の誘電率（k）を大きくすることにより、電流駆動能力（I_D）を向上させることが検討されている。また、それに伴いしきい値電圧の制御やゲートリーク電流を低減することが可能であり、既に多くのデバイスで研究されている[100]-[101]。

表 6.1　High-k 膜の候補とその物性値の一覧

	SiO_2	Al_2O_3	La_2O_3	HfO_2	ZrO_2	Ta_2O_5	TiO_2
誘電率	3.9	～10	27	25～40	～20	26.5	30～80
結晶化温度	- -	>1000	>1000	700	400～800	650	400
Bandgap[eV]	9	5.6～6.7	5.5	5.7	5.5	4.7	3.1～4.6
Siに対する安定性[kJ/mol]	Stable	63.4	98.5	47.6	42.3	-52.5	7.5

※Si に対する安定性は $Si+MO_2 \rightarrow M+SiO_2$ の反応エネルギーを示す。

表 6.1 に、High-k 膜の候補とその物性値の一覧を示す。複数の材料の中でゲート絶縁膜として要求とされる物性から、High-k 材料は絞られてくる。誘電率は SiO_2（k = 3.9）に比べて大きな値が必要となる。しかし、一般に誘電率が高くなると、結晶化温度が下がり、バンドギャップは小さくなる傾向がある。また、Si に対して安定であること（熱処理により Si と反応しないこと）は MOS トランジスタ作製において、極めて重要である。このような観点から high-k ゲート材料は選択される。

しかし、表 6.1.から分かるように、High-k 膜の多くは、SiO_2 と比べると熱安定性に劣り、また結晶化してしまうことやバンドギャップが小さいことから、製造上の容易性やプロセス変動に対する安定性、信頼性の点で多くの問題が発生することが懸念される。また、新規材料を導入することにより、プロセスが複雑化し、TDDB などの信頼性確保について多くの問題が発生している[102]-[104]。図 6.1 にゲート絶縁膜破壊の模式図を示す。このように、ゲート絶縁膜に High-k 膜を導入することにより、ゲート電極と Si 基板間で絶縁膜破壊が生じ、デバイスの不良原因となることがある。

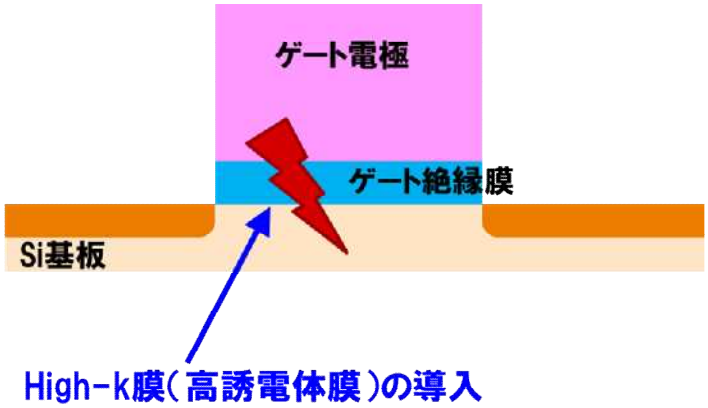


図 6.1　ゲート絶縁膜破壊の模式図。

これらの問題を回避し、High-k 膜材料を用いた絶縁膜の信頼性を確保するためには、ゲート絶縁膜中の組成や元素分布などをナノメートルオーダーで把握し、これらの物性や膜質が電気特性や信頼性に与える影響を把握することが必須である。また、これらの現象に対する物理メカニズムを明らかにすることが重要である。

近年、原子レベルでの構造解析手法として、球面収差補正機能（Cs コレクター）を搭載した TEM/STEM 装置やアトムプローブの研究が進んでおり、これらの技術を半導体デバイス解析の分野に応用する事例が報告されている[55],[59],[105]。本章では、Hf を用いた High-k 膜に着目し、ゲート絶縁膜中の組成や元素分布について原子レベルでの物理解析を試みた。またこれらの結果から、High-k 膜の膜質が信頼性劣化に与える影響について議論を行った。

6.3 実験方法

6.3.1 試料作製

TDDB 信頼性評価用試料として、MOS トランジスタのテスト構造試料を作製した。また、物理解析用試料としてパターン無し試料を作製した。

TDDB 信頼性評価用試料は、40 nm ノードプロセスで形成した MOS トランジスタテスト構造を用いた。試料の作製フローを図 6.2 に示す。素子分離を形成後、Si 基板上に SiO_2 を 2.3 nm 形成する。続けて SiO_2 に対しプラズマ窒化処理を施し、SiO_2 上に Hf を形成する。その後、ゲート電極となる Poly-Si を成膜し、最後にアニール（Post annealing）を行う。図 6.3 に評価試料の断面模式図を示す。最終的な構造は、下から、Si 基板、SiO_2(N)、Hf 層、Poly-Si の積層構造である。

図 6.2 試料作製フロー

図 6.3 試料断面模式図

今回、High-k 膜がゲート絶縁膜破壊に与える影響を調べるために複数の試料を作製した。表 6.2.に作製した試料の条件表を示す。サンプル A およびサンプル B は Hf の濃度を一定(1.0 × 10^{14} [atoms/cm^2])とし、アニール温度を変化させた時の影響を調べるために準備した。またサンプル *a* からサンプル *f* はアニール温度を一定とし、Hf の濃度を変化させた時の影響を調べるために準備した。

表 6.2 評価試料条件表

サンプル No.	アニール温度	Hf濃度 [/cm^2]
A	1000℃	1.0E+14
B	1050℃	
a	1050℃	without Hf
b		5.0E+13
c		1.0E+14
d		1.5E+14
e		2.0E+14
f		3.0E+14

TEM 解析、アトムプローブ解析のための物理解析試料は、MOS トランジスタテスト構造と同一プロセス条件で作製したパターン無し試料を用いた。

6.3.2 物理解析手法

Hf 添加ゲート絶縁膜の構造を原子レベルで解析するために、二種類の先端物理解析手法を用いた。一つは球面収差補正走査透過型電子顕微鏡、もう一つはアトムプローブである。

球面収差補正走査透過型電子顕微鏡

High-k 膜の構造を超高分解能で観察するために、球面収差補正走査透過型電子顕微鏡を用いて解析を行った。

TEM 評価試料は FIB を用いたマイクロサンプリング法にて作製した[106]。TEM 試料膜厚はおよそ 70 nm である。STEM 解析は球面収差補正機能（Cs コレクター）を搭載した市販の TEM/STEM 装置 Titan （加速電圧：300 kV）を用いて行った[107]。STEM 観察は HAADF-STEM モードを用いて行った。また、STEM 像を取得した後、HREM 社製解析ソフト DecConvHAADF を用いて STEM 像のノイズ除去処理を行った[108]。

アトムプローブ

アトムプローブ分析は、試料表面の個々の原子の位置と元素を同定することができる分析手法であることは前述したとおりである[64]-[70]。図 6.4 に今回解析した High-k 膜の測定試料構造とアトムプローブ測定の模式図を示す。先端の半径が約 50 nm のピラー状（針状）となるように High-k 膜を含む状態の試料を FIB にて作製した[71]。試料に高電圧パルスを印加し、試料表面で電界蒸発した原子を位置検出型の検出器にて検出し、飛行時間（t）：Time-of-flight (ToF)と検出器の位置（X,Y）深さ方向の分布(z)から、試料中の元素の種類と 3 次元的な座標を特定するした。アトムプローブ測定は、AMETEK/CAMECA 製 Local Electrode Atom Probe（LEAP）4000XHR を用いて行った[109]。図 6.5 に用いたアトムプローブ装置の外観図を示す。

今回、アトムプローブを用いて、High-k 薄膜中の N、O、Hf 元素の三次元分布解析を実施した。

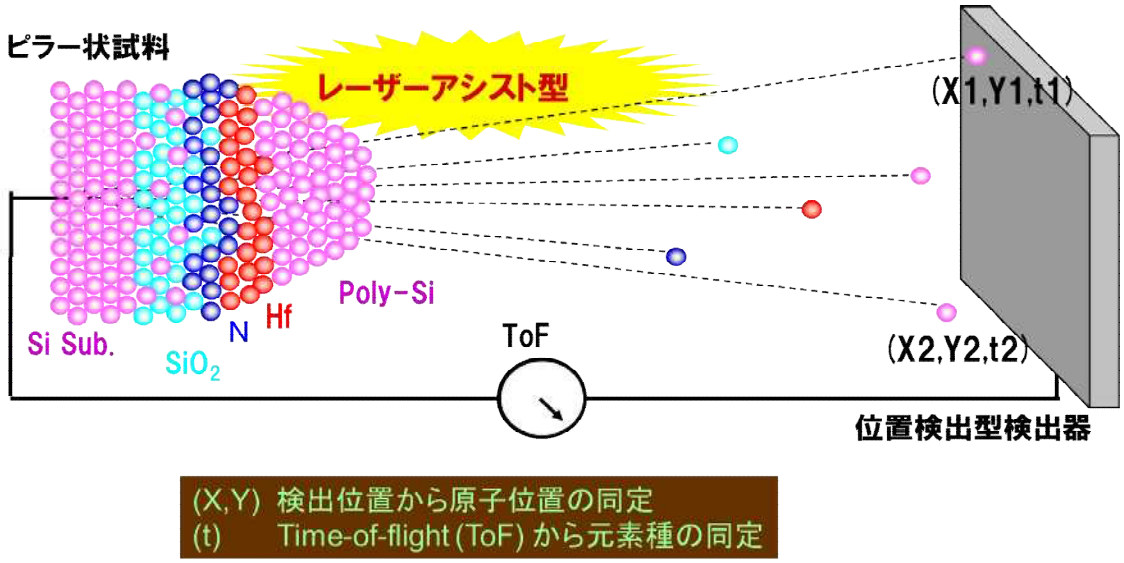


図 6.4　アトムプローブの原理の模式図

図6.5　アトムプローブ装置の外観 (Local Electrode Atom Probe (LEAP) 4000XHR)

6.4 実験結果

6.4.1 アニール温度依存性評価結果

High-k膜を適用したサンプルのTDDB寿命とアニール温度の関係について解析を行った。図6.6にTDDB寿命（T_{bd}）評価を行った結果を示す。Poly-Si電極側をアノードとしてTDDB測定を実施した結果を示す。その結果、青のプロットで示した低温アニールを適用したサンプルAと比べ、高温アニールを適用したサンプルBでTDDB寿命が劣化していることが分かった。

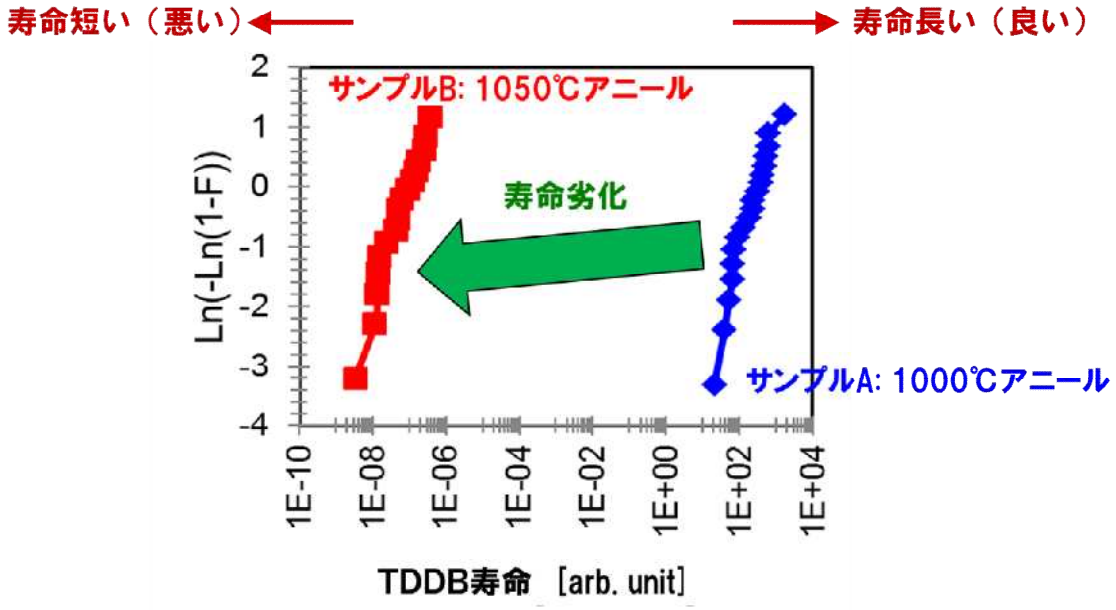


図6.6 TDDB寿命のアニール温度依存性評価結果

高温アニールでTDDB寿命が劣化する原因を究明するために物理解析を実施した。図6.7にそれぞれのサンプルについて断面STEM解析を行った結果を示す。観察はHAADF-STEMモードで、球面収差補正無しのTEM装置（Tecnai G2 F20 （加速電圧：200 kV））を用いて実施した。サンプルAではHf層が均一に形成されているのに対し、サンプルBではHf層が不均一に形成されているのが分かる。

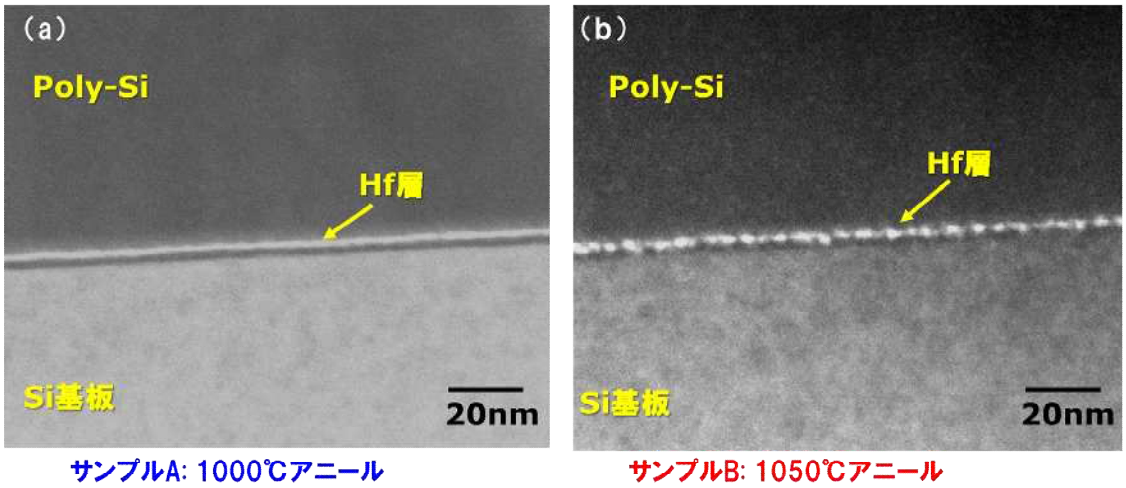


図6.7　断面HAADF-STEM像　(a) 左：サンプルA、(b) 右：サンプルB

サンプルBの不均一なHf層の詳細な構造を解析するため、球面収差補正走査透過型電子顕微鏡にてサンプルBの詳細解析を実施した。図6.8に球面収差補正走査透過型電子顕微鏡を用いてHAADF-STEMモードで取得した断面STEM像を示す。また、図6.9には図6.8を基に画像処理にてノイズ除去した像を示す。これらの像から分かるように、Hf層は不均一な構造で存在しており、断裂している箇所もあることが分かった。またHfは凝集しており、一部はSiON側に拡散し結晶化していることが判明した。このようなHfの構造はTDDB測定中に電子の流れる経路となることから、TDDB寿命の劣化の原因となる[110]。高温アニール品ではHf層の異常がTDDB寿命の劣化の原因となっていると考えられる。

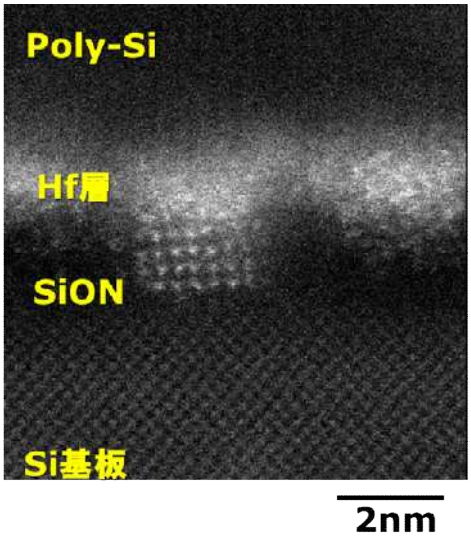


図6.8　球面収差補正走査透過型電子顕微鏡を用いて取得した断面STEM像 (サンプルB)

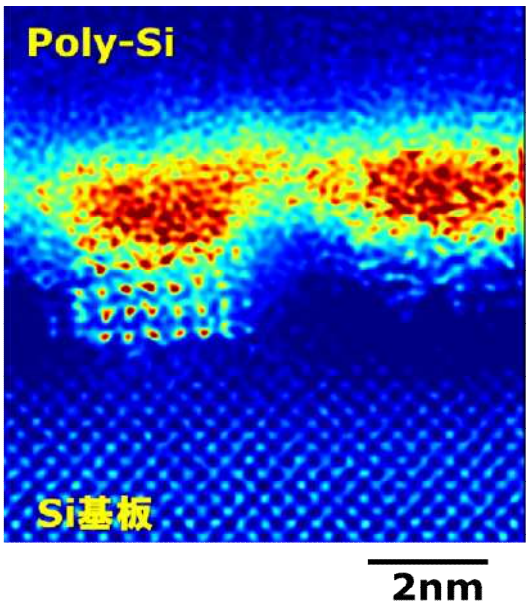


図6.9　画像処理後の断面STEM像（サンプルB）

断面STEM解析の結果から、High-k膜中の元素分布がTDDB寿命に影響を与えていることが分かった。次に、High-k膜中の元素分布を詳細に調べるためにアトムプローブ解析を実施した。図6.10と図6.11にアトムプローブで測定した三次元元素マップを示す。図6.10はサンプルAについて、N、O、Hfを解析したものであり、図6.11はサンプルBについて同様に、N、O、Hfを解析したものである。サンプルAでは、Hf原子の拡散は見られず、均一な膜として存在しているのに対し、サンプルBではHfが拡散し幅広く分布していることが分かった。

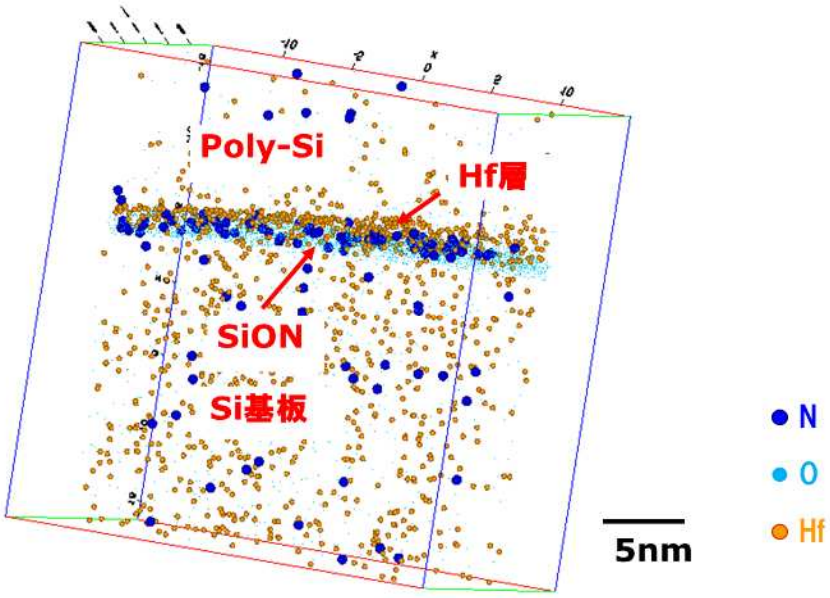


図6.10　三次元元素マップ (サンプルA)

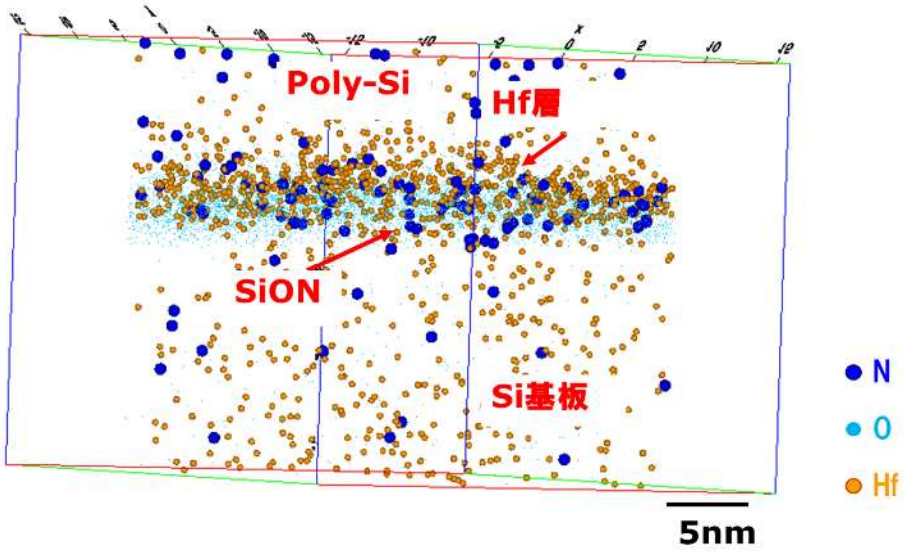


図6.11　三次元元素マップ (サンプルB)

図6.12に、図6.10および図6.11を二次元マップにして比較したものを示す。サンプルAではHfがPoly-Siの直下に均一に存在しているのに対し、サンプルBではHfはブロードな分布を示しており、Poly-Si側およびSiON側に拡散している様子が分かる。

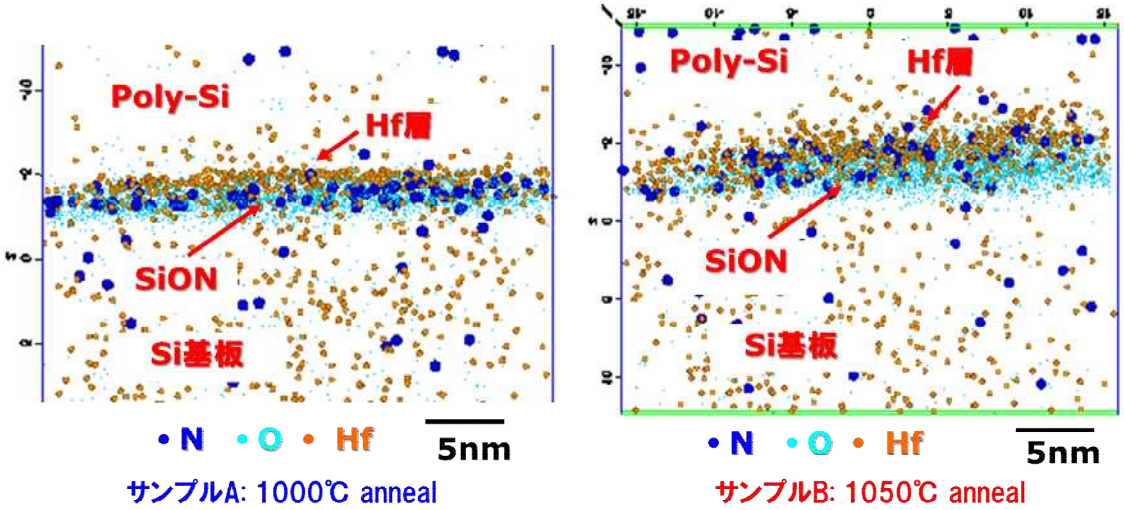


図6.12　二次元元素マップ　(左:サンプルA、右:サンプルB)

次に、High-k膜近傍の元素分布に着目し定量分析を行った。図6.13に、アトムプローブの測定結果からHigh-k膜近傍の元素分布を定量解析した結果を示す。それぞれのグラフの横軸は測定位置を示しており、Si基板とSiONの界面の位置をゼロとして表示した。縦軸はアトムプローブ測定の結果から求めた元素濃度を、左軸にO元素の濃度、右軸にHf元素とN元素の濃度をそれぞれatomic%で示した。サンプルAではPoly-Si直下にHfの急峻なピークが存在しており、またHf層の直下にもNの強いピークが存在している事がわかる。一方、サンプルBでは、HfとNのピーク位置が重なっている事が分かる。さらに、HfとNのピーク強度はサンプルAよりも弱くなっていることも分かった。HfおよびNが高温アニールにより相互拡散し、このような分布になったと考えられる。

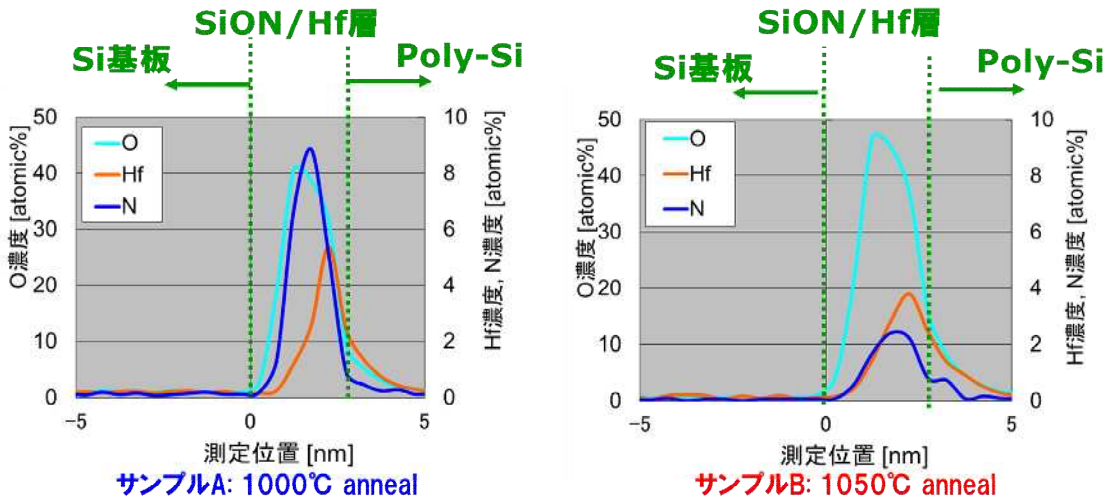


図6.13　High-k膜近傍の元素分布解析結果　(左：サンプルA、右：サンプルB)

球面収差補正走査透過型電子顕微鏡を用いた断面STEM解析およびアトムプローブを用いた三次元元素分布解析の結果から、TDDB寿命の劣化は、Hfが高温アニール時に拡散し、SiON中で結晶化することが原因であると推定することができた。

6.4.2 Hf濃度依存性評価結果

これまでの物理解析結果から、Hfを用いたHigh-k膜のTDDB寿命の劣化は、Hf元素の分布に依存していると考えられる。この現象を詳細に調べるために、High-k膜に添加するHfの濃度を変化させて、TDDB寿命にどのような影響を与えるかについて実験を行った。図6.14にHf濃度を変えたサンプルを球面収差補正走査透過型電子顕微鏡にて観察し、画像処理を行った結果を示す。サンプル*b*のHf濃度は5.0×10^{13} [atoms/cm^2]、サンプル*c*のHf濃度は1.0×10^{14} [atoms/cm^2]である。いずれのサンプルもアニール温度は1050 ℃である。サンプル*b*はHfの濃度が薄いために、Hfの拡散は見られないが、サンプル*c*ではHfが凝集しSiON側に拡散していることが分かる。この結果から、Hfの凝集および拡散はHfの濃度に依存していると考えられる。

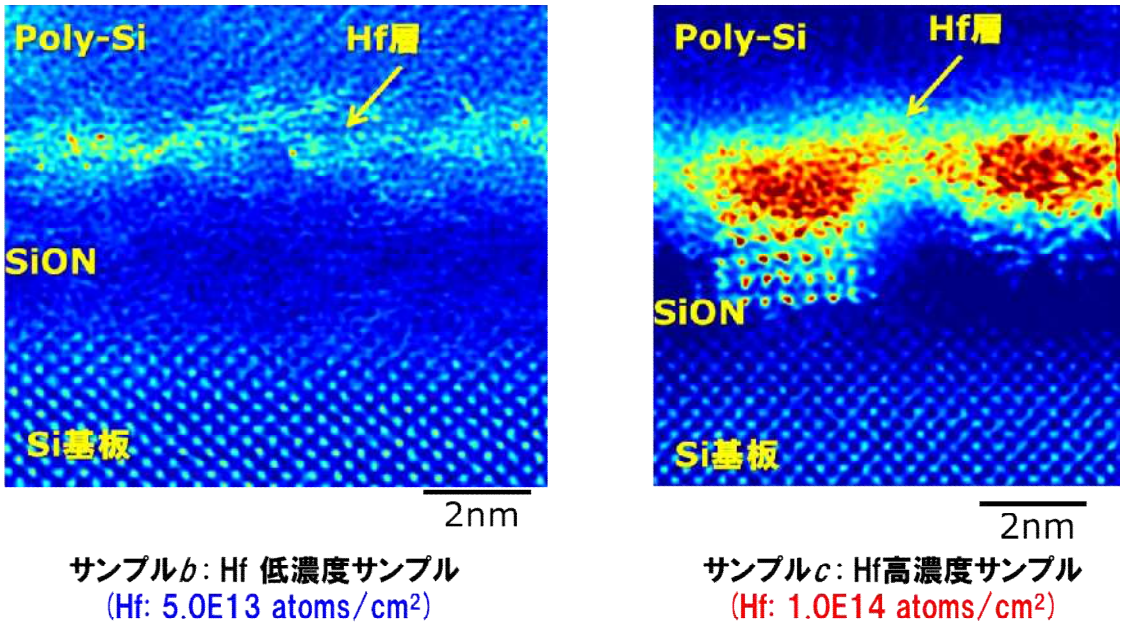


図6.14 断面STEM像（画像処理後）左：サンプル*b*、右：サンプル*c*

次に、TDDB寿命のHf濃度依存性について解析した結果について示す。図6.15にN型チャネルNMOS（NMOS）のTDDB寿命のHf濃度依存性を調べた結果を示す。Hf濃度が高くなるにつれて、TDDB寿命が短くなっている傾向であった。またその傾きは、Hf濃度に対して一定の値であることが分かった。

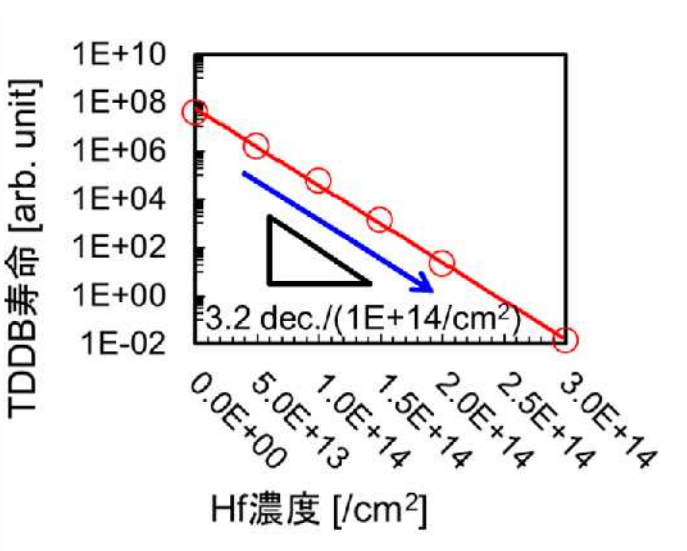


図6.15　TDDB寿命のHf濃度依存性（NMOS）

図6.16にP型チャネルMOS（PMOS）のTDDB寿命のHf濃度依存性を調べた結果を示す。PMOSではHf濃度が低い領域（1.0×10^{14} [atoms/cm^2]以下）ではTDDB寿命の劣化は起きず、TDDB寿命は一定であることが分かった。またHf濃度が濃い領域（1.0×10^{14} [atoms/cm^2]以上）では、Hf濃度が高くなるにつれて、一定の傾きでTDDB寿命が劣化していることが分かった。

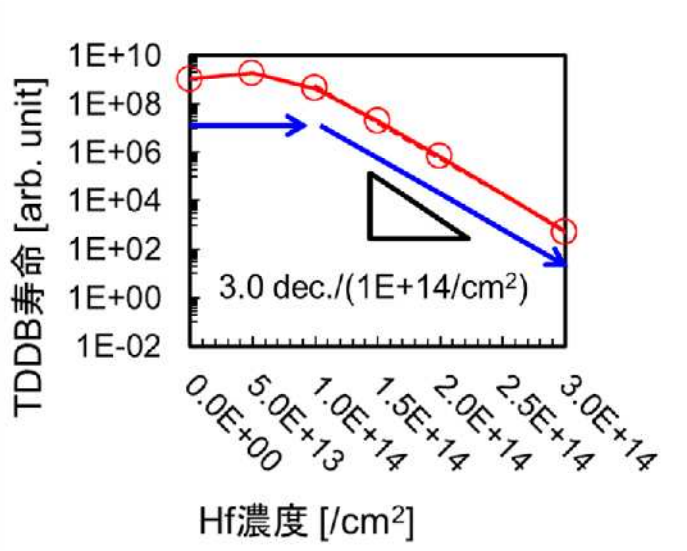


図6.16　TDDB寿命のHf濃度依存性（PMOS）

Hf濃度が高い領域では、NMOSもPMOSもHf濃度に依存してTDDB寿命は短くなり、その傾きはNMOSとPMOSでほぼ同じである。一方、Hf濃度が低い領域ではNMOSは寿命劣化が生じるのに対し、PMOSでは寿命の劣化は生じていないことが分かった。

6.5 Hf添加High-k膜のTDDB寿命劣化メカニズム考察

これまでの結果を基に、Hf添加High-k膜のTDDB寿命劣化メカニズムについて考察する。図6.17に、NMOSの場合のTDDB測定の断面模式図を示す。NMOSの場合、TDDB測定時に電子はSi基板側からゲート電極側に流れる。この場合アノード側はゲート電極となりHfが存在する側となる。TDDB寿命の劣化の原因となる陽極正孔注入（AHI：Anode hole injection）や水素離脱（HR：Hydrogen release）はアノード側で起きることが知られている[111]。NMOSの場合、アノード側にHfが存在することにより、Hfの濃度に関わらずTDDB寿命劣化が生じていると考えられる。

図6.18に、PMOSの場合のTDDB測定の断面模式図を示す。PMOSの場合、TDDB測定時に電子はゲート側からSi基板側に流れる。この場合アノード側はSi基板となり、本来Hfが存在しない側となる。Hf濃度が低い場合、Hfはアノード側であるSi基板まで到達していないため、TDDB寿命の劣化の原因となるAHIやHRは起きず、TDDB寿命の劣化は生じない。それに対し、Hfの濃度が高い場合、Hfはアノード側であるSi基板まで到達し、その結果、アノード側でTDDB寿命の劣化の原因となるAHIやHRが起きて、TDDB寿命が劣化すると考えられる。

これらの結果から、Hf濃度が高い領域ではTDDB寿命はHfの濃度によって決まり、Hfの濃度が低い領域では、TDDB寿命劣化にNMOS、PMOSで差が生じることが分かった。またこれらの現象は、Hfの拡散現象から考察することができた。

本研究では、Hfの拡散現象からTDDB劣化のモデルを構築した。しかし、実際のデバイス中で発生するTDDB劣化は、Hf以外のN原子やO原子の挙動や、Hfや酸化膜の成膜条件にも大きく依存することが考えられる。さらには、実際のTDDB測定条件によっても破壊モードが変わる可能性も考えらえる。そのため、実際のデバイス中でのTDDB劣化現象の解明には、Hfの拡散以外の要因についても十分に考慮する必要があると考える。

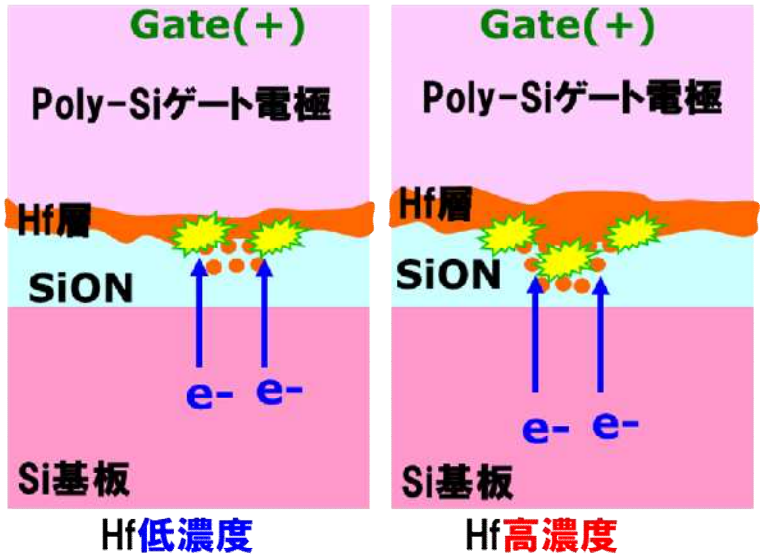


図6.17　TDDB寿命劣化のメカニズム模式図（NMOS）

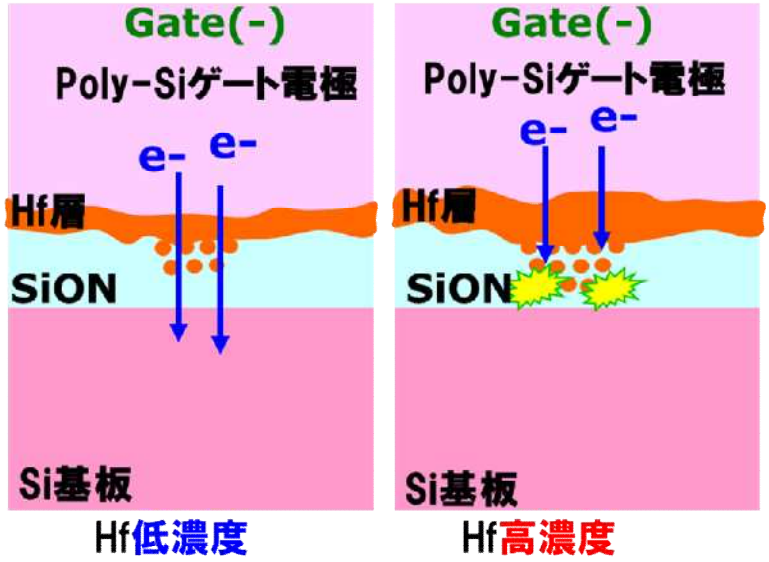


図6.18　TDDB寿命劣化のメカニズム模式図（PMOS）

6.6 むすび

本章では、提案した物理解析フローを、トランジスタの TDDB 寿命劣化の解析に適用した結果について述べた。図 6.19 に本章で用いた物理解析フローを示す。

原子レベルの空間分解能を有する、球面収差補正走査透過型電子顕微鏡とアトムプローブを用いた Hf 添加ゲート絶縁膜の構造解析と、TDDB 寿命劣化メカニズムの考察を行った結果について述べた。

1） 原子レベルの空間分解能を有する、球面収差補正走査透過型電子顕微鏡を用いて、ゲート絶縁膜中のHf原子の構造解析を実施した。Hfは高温アニールにより凝集し、またSiON側に拡散し一部結晶化していることを確認した。この拡散したHfがTDDB測定時の電流経路となっていると考えられる。

2) Hf添加ゲート絶縁膜中の三次元元素分布を調べるためにアトムプローブ解析を実施した。その結果、HfとNは高温アニールにより相互拡散していることを突き止めた。このHfの拡散が、TDDB寿命の劣化の原因となっていると考えられる。

3) TDDB寿命とHf濃度の依存性について物理解析を行った。Hf濃度が少ない場合にはHfの拡散は起きにくいことを球面収差補正走査透過型電子顕微鏡の観察から確認した。

4） NMOSとPMOSの違いに着目し、TDDB寿命とHf濃度の関係について解析を行った。NMOSはHfの濃度に対して一定の割合でTDDB寿命劣化が生じるのに対し、PMOSではHfが高濃度の場合のみTDDB寿命の劣化が生じ、Hfが低濃度の場合は、TDDB寿命劣化が生じないことが分かった。

5) これらの結果を基に、TDDB寿命劣化のメカニズム考察を行った。Hf濃度が高い領域でTDDB寿命はHfの濃度によって決まり、Hfの濃度が低い場合にはNMOS、PMOSで差が生じることを、Hfの拡散現象から考察することができた。

このように、先端物理解析技術を組み込んだフローで得られた解析結果を基に、不良個所の物理的な構造を明らかにし、信頼性不良のメカニズムを考察することは、デバイスの信頼性向上には欠かせないと考えられる。このような先端物理解析を用いて信頼性物理を考察するというアプローチは、今後ますます重要になると考えられる。

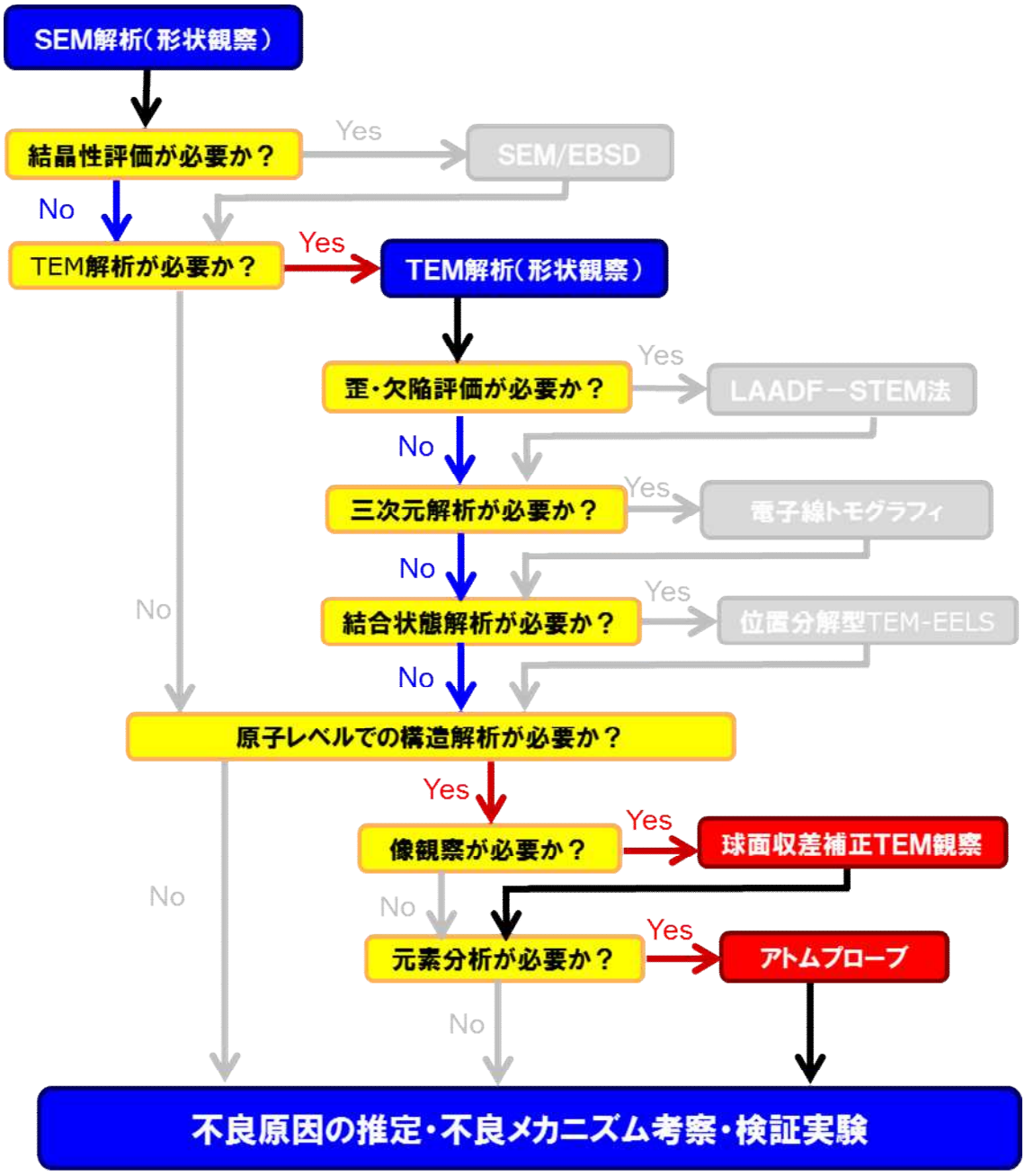


図 6.19 第6章で用いた物理解析フロー

第 7 章　半導体デバイス三次元構造解析の応用[48],[49]

7.1　まえがき

本章では、半導体デバイスの三次元構造解析手法である電子線トモグラフィを、物理解析フローの一環として取り込むために、三次元形状の定量解析やバックエンドプロセスへの応用展開を検討した結果について述べる。また、Cu 配線の信頼性不良解析に適用した結果についても述べる。最後に電子線トモグラフィをデバイスの物理解析フローに適用した場合の有効性について議論する。

7.2　三次元構造解析の応用

半導体デバイスの微細化および、デバイス構造の多様化により、一断面のみの観察では、正確な形状を把握することや、不良の全貌を明らかにすることが困難になってきている。これらの問題を解決するために、電子線トモグラフィを用いた三次元構造解析は有力な手法であることを第二章で説明し、またシリサイド材料の解析や結晶欠陥の解析に有効であることを示した（第三章および第五章）。

半導体デバイス不良は製造工程にて作りこまれることが多いが、現在の半導体デバイスは、素子分離形成から、配線形成までおよそ千工程にもおよぶ工程を経て形成される。このような多種多様のプロセスの中で起こる不良は、第三章や第五章で示した様なフロントエンドプロセスやトランジスタ周辺の不良ばかりではなく、バックエンドプロセスに起因する不良も発生する。そのため、デバイスの物理解析においても、フロントエンドプロセスおよびバックエンドプロセスどちらに対しても、不良原因を究明する技術が要求される。

また、近年の半導体デバイスは、デバイス特性を極限まで向上させるため、ナノメートルオーダーで形状を制御するプロセスを構築する必要がある。それに伴い、デバイスの出来上がり具合（仕上がり寸法）をナノメートルスケールで評価する必要がある。しかし、デバイス構造の複雑化に伴い、デバイス形状は三次元的な広がりをもつ構造となり、仕上がり寸法も三次元的に計測することが要求されている。

本章では、電子線トモグラフィを半導体デバイスの物理解析フローに取り組むために、半導体デバイス中の様々な材料および、様々なプロセス工程の解析に応用展開することを検討した。

まず始めに、電子線トモグラフィから得られた三次元情報を基に、三次元形状の寸法をナノメートルオーダーで計測することを試みた。続いて、第三章や第五章で示したような、フロントエンドプロセスやトランジスタ周辺の材料のみではなく、バックエンドプロセスの解析にも応用展開することを検討した。さらに、実際に信頼性不良を起こした Cu 配線のサンプルに電子線トモグラフィの適用実験を行った。最後に得られた結果

から電子線トモグラフィによる三次元構造解析の有効性について議論した。

7.3　電子線トモグラフィ

電子線トモグラフィは、試料を傾斜しながら連続的に TEM 像または STEM 像を取得し、そのデータから三次元構築像を構築する解析手法であることは前述したとおりである。

本章で用いた TEM 試料はすべて、FIB を用いて、リフトアウト法で行った[71]。TEM 試料膜厚は 130～200nm で通常の TEM 観察試料（80～100nm）より厚めに作製した。

TEM/STEM 像取得は、FEI 社製 TEM 装置 Tecnai G2 F20（加速電圧：200 kV）を用いた。試料傾斜は、高傾斜可能な専用ホルダーを使用して 1 軸傾斜で行い、試料を＋70°から－70°まで傾斜し、TEM 像または HAADF-STEM 像を 100～150 枚取得した。

7.4　三次元構造の定量解析結果

7.4.1　Viaバリアメタルのカバレッジ定量評価

バリアメタルのカバレッジ不良はViaの初期不良や信頼性不良の原因となるため、そのカバレッジをナノメートルオーダーで評価するとは非常に重要である。今回、SiO_2絶縁膜にボトム径130nmのViaを形成後、Tiバリアメタルを形成した試料にて、形状やカバレッジ、膜厚などの三次元解析を実施した。Viaのアスペクト比（深さ/直径比）はおよそ４である。図7.1に通常の断面TEM観察を実施した結果を示す。図中のAu粒子はマーカーである。

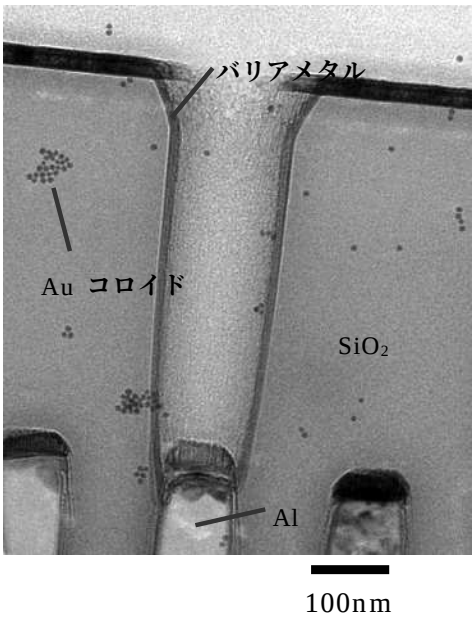


図7.1　Viaの断面TEM像

この状態からサンプルを傾斜させながら、TEM 像を約 100 枚取得した。傾斜角度は＋70°から－70°である。そのデータを基に三次元構築した像を図 7.2 に示す。通常の TEM 像では

得ることができない奥行き方向の形状情報が得られることを示すことができた。図 7.3 に Via 中央部でのスライス像を示す。スライス像は奥行き方向の情報を含まないためエッジコントラストが不鮮明になることなく明瞭な像を得ることができる。特に Via 底部のバリアメタルの微細構造まではっきりと確認することができ、Via の落ち込み部でのバリアメタルのカバレッジや膜厚も評価できることを確認した。

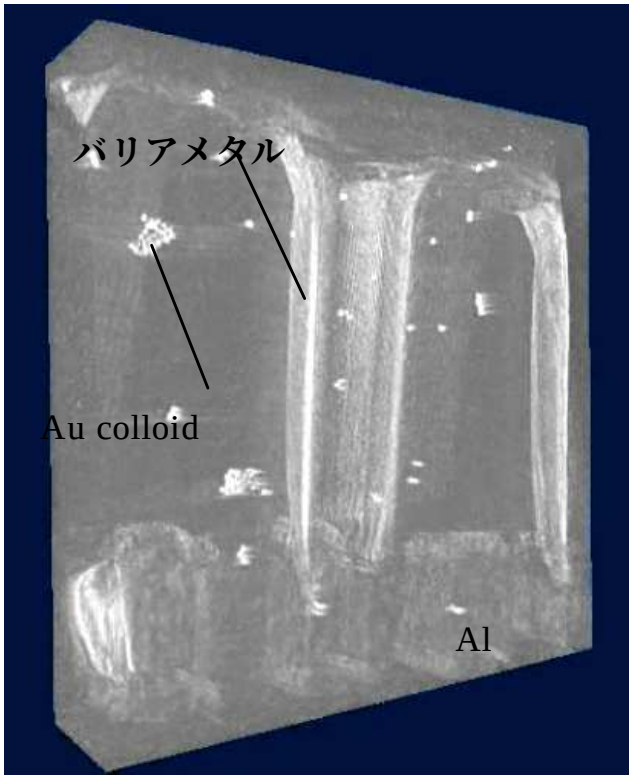


図 7.2　三次元構築像

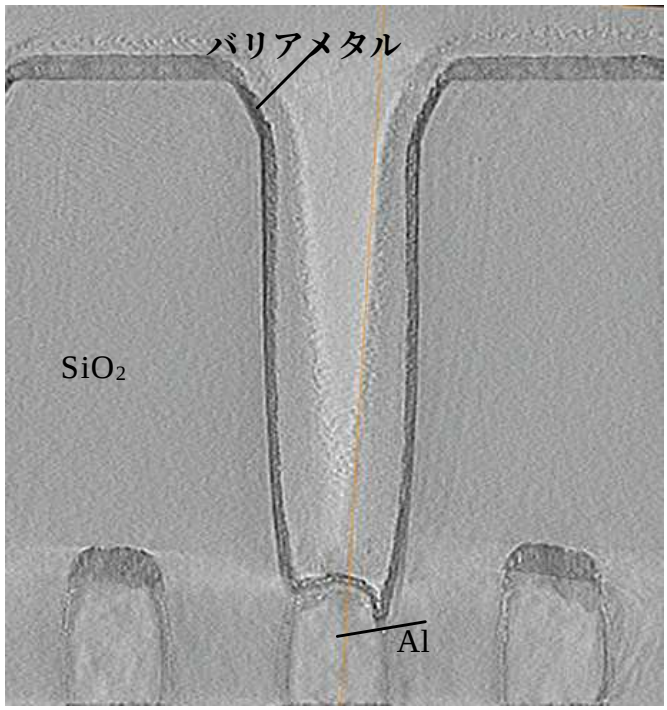


図 7.3　Via 中央部でのスライス像

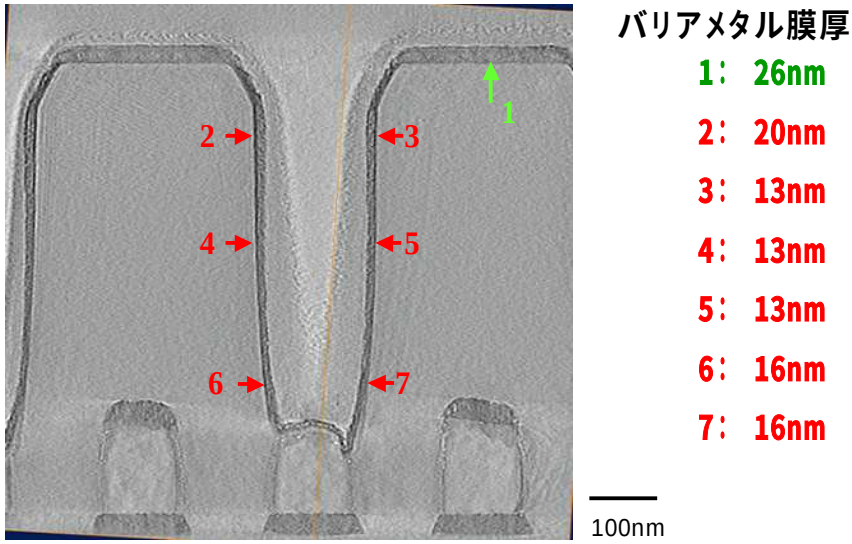


図7.4　バリアメタル膜厚測定結果

さらに、図 7.3 のスライス像を基にバリアメタルの膜厚を測長した結果を図 7.4 に示す。図 7.4 中の緑矢印“1”で示す平坦部ではバリアメタルの膜厚が 26 nm であるのに対して、赤矢印“4”～“7”で示す Via 側壁では 13 nm ～ 16 nm となっていることを確認した。従来の TEM 観察では、150 nm 径以下のヴィアのバリアメタル膜厚評価は困難であったが、三次元データを用いることによって、定量評価が可能であることを実証することができた。

7.4.2　MOSトランジスタにおけるシリサイドのラフネス定量評価

先端プロセスにおいてシリサイドプロセスは最も重要なプロセスの一つである[82]。シリサイドの微細構造は接合リークやソースドレインリークに影響を及ぼすため[83],[84]、高歩留まり・高信頼度のシリサイドプロセスを確立するためには、ナノメートルオーダーでのシリサイド三次元形状を評価することが重要である。電子線トモグラフィを用いてシリサイドの界面ラフネスの三次元定量解析を行った。

試料は65 nmノードのNiシリサイドプロセスを用いて作製したMOSトランジスタである。評価したトランジスタのゲート長は約80 nmである。図7.5に電子線トモグラフィより得られた三次元構築像を示す。ソースドレイン(S/D)シリサイドの底部が三次元的に複雑な形状となっていること明瞭に確認できる。

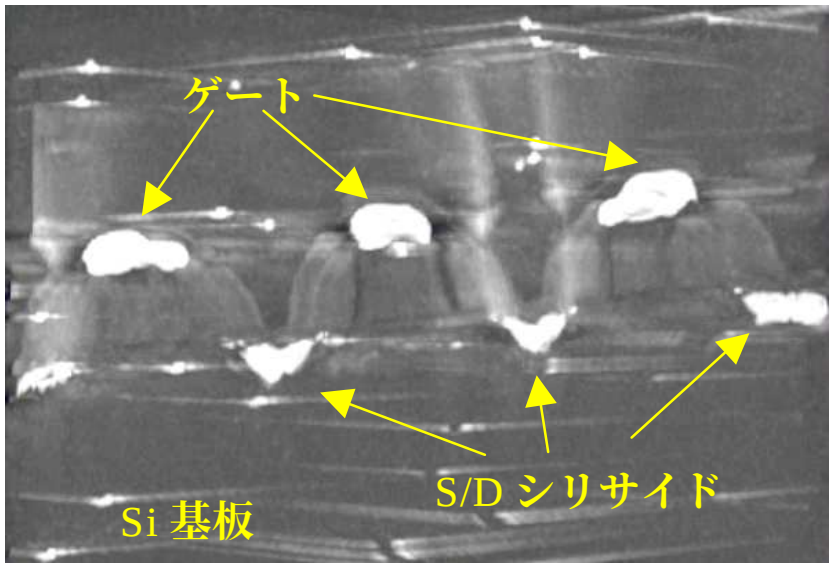
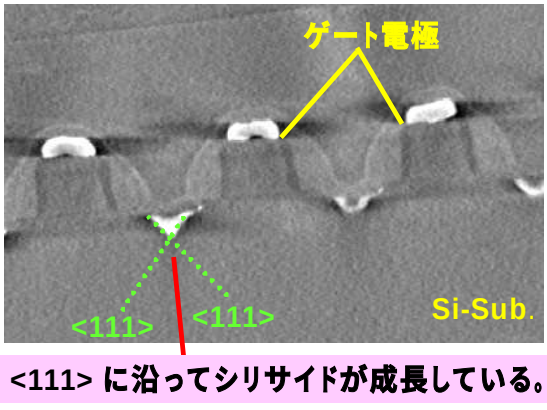
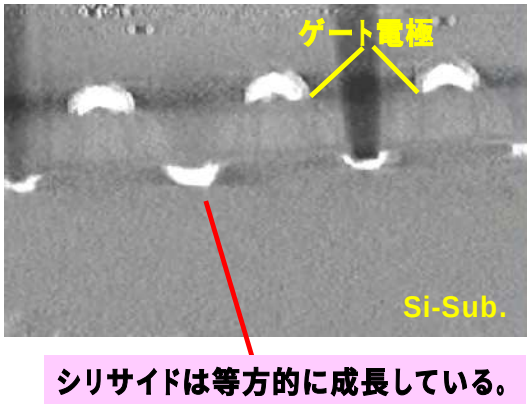


図 7.5　三次元構築像

次に、同一試料から抽出したPMOSとNMOSをそれぞれ評価した結果を図7.6に示す。PMOSではSi基板の<111>面に沿ってシリサイドが成長しているのに対して、NMOSでは、PMOSで見られたような成長は現れず等方的に成長していることを確認した。通常のTEM像は透過像であるためこのような三次元形状の相違を見極めることが困難であるが、電子線トモグラフィを用いることによりこのような微細な領域でのシリサイド形状の比較が可能であることを実証した。



(a) PMOS トランジスタ部



(b) NMOSトランジスタ部

図7.6　MOSトランジスタ部のスライス像

PMOSのシリサイド形状を詳細に議論するために、ソースドレインシリサイド部のみを抽出した三次元構築像を図7.7に示す。この三次元構築像から、シリサイドは<111>面に沿ってピラミット状（四角錐状）に形成されていることを、より明確に確認することができた。

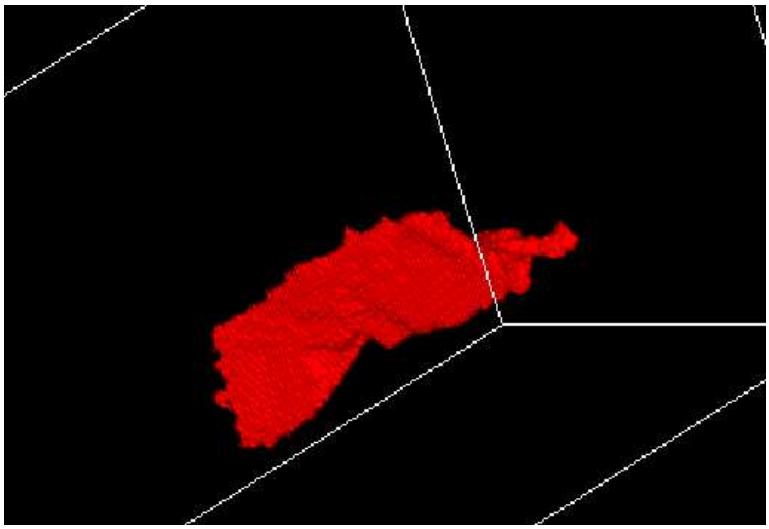


図7.7　シリサイド部のみ抽出した三次元構築像

シリサイド基板界面の凸凹を定量的に評価するため、図7.7の結果を基にスライス像からシリサイド膜厚を定量評価した結果を図7.8に示す。素子分離端（STI端）でシリサイドが厚くなっており、活性領域中央部では膜厚が薄くなっていることを定量的に確認できた。このように電子線トモグラフィのデータを用いて所望の三次元形状の定量化や統計解析が可能であることを確認した。

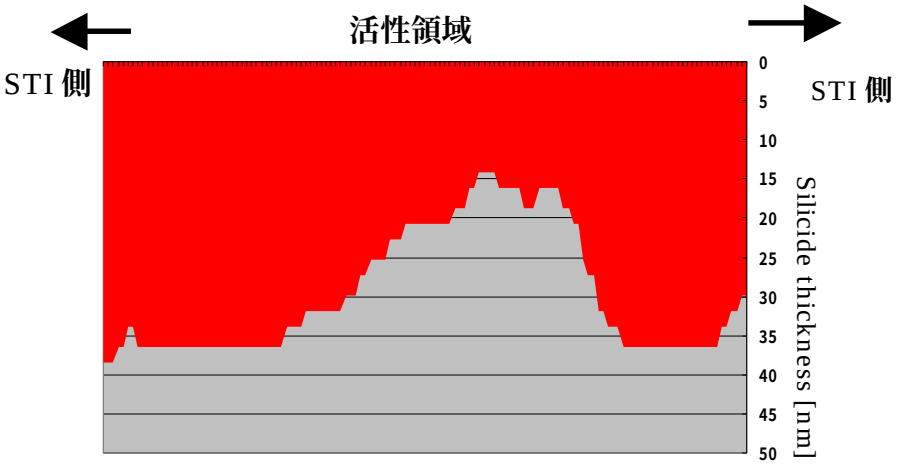


図 7.8　シリサイド膜厚定量評価結果

7.5　バックエンドプロセス解析への適用結果

Cu 配線のエレクトロマイグレーション（EM：Electromigration）や応力誘起ボイド（SIV：Stress Induced Voiding）といった信頼性上の問題がクローズアップされているが[11],[112]-[115]、その不良メカニズムは充分に解明されていない。これらのメカニズムを解明するためには、不良箇所そのものの三次元構造を把握し、不良原因となる物理現象を捉えることが重要である。本節では、信頼性不良のメカニズム解明を目的として、電子線トモグラフィによる不良個所の三次元構造評価の検討を行った。

7.5.1　CuVia EM 不良箇所の三次元構造解析

Cu Via の EM 初期不良箇所について、三次元微細形状評価を実施した。図 7.9 に不良箇所の断面 TEM 像を示す。TEM 像から Via 底にボイドが形成されていることを確認することができる。しかし、ボイドの三次元的な形状を断面 TEM 像から把握することは困難である。

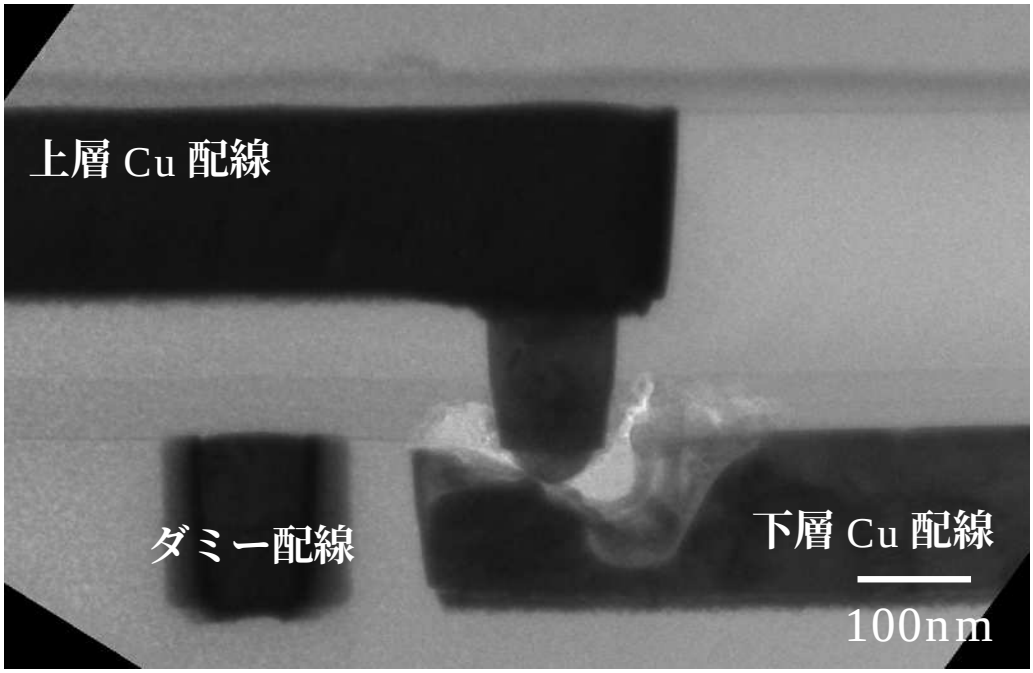


図 7.9　EM 不良箇所の断面 TEM 像

図 7.9 と同一箇所について、電子線トモグラフィを用いて三次元解析を行った結果を、図 7.10 および図 7.11 に示す。図 7.10 は不良箇所の三次元再構築像であり、図 7.11 は不良 Via 中心部のスライス像である。三次元再構築像では、ボイドの三次元形状を明瞭かつ立体的に把握することができる。また、スライス像では、奥行き方向の重なりのない断面像が得られるため、Via 底部の詳細な三次元形状評価が可能である。このように、

三次元データから抽出したスライス像を用いることによって、図 7.11 の矢印で示すように、Via 底の界面から電子の経路に沿ってボイドが成長していることを容易に確認することが可能となった。

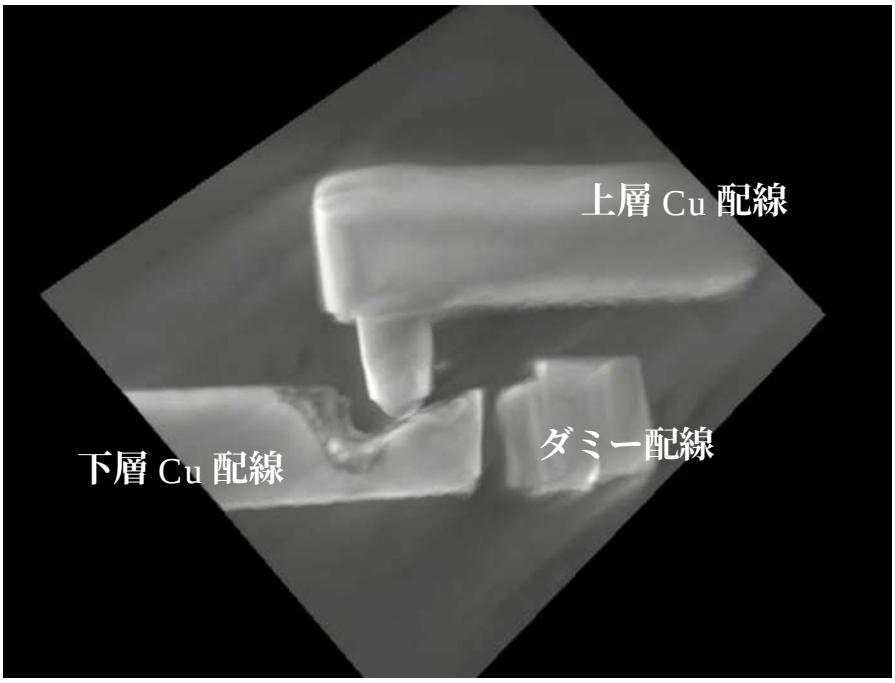


図 7.10　EM 不良箇所の三次元再構築像

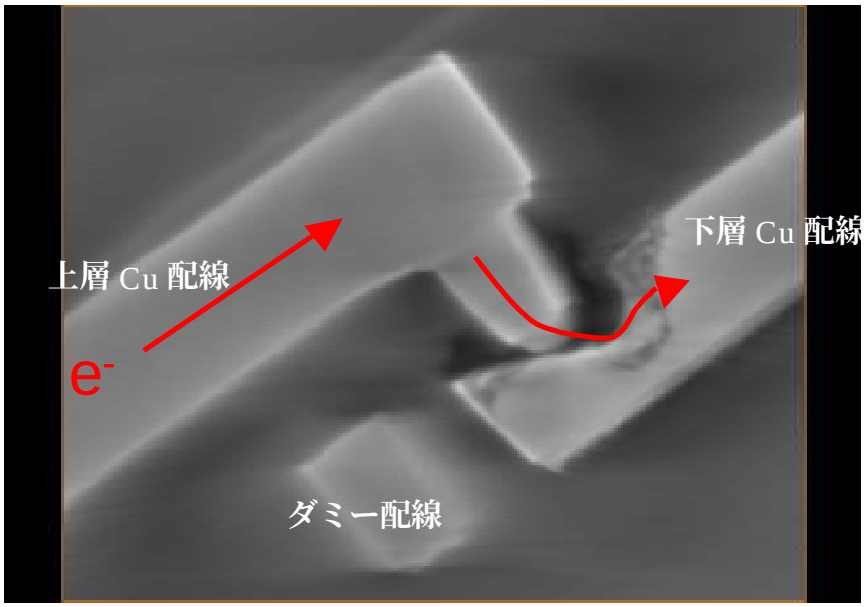


図 7.11　EM 不良箇所のスライス像

7.5.2　CuVia SIV 不良箇所の三次元構造解析

Cu Via の SIV によるオープン（OPEN）不良箇所　(Via 径 100nm)について、電子線トモグラフィを用いた三次元構造解析を実施した。

図 7.12 に不良箇所の断面 TEM 像を示す。Via 底に Cu の密度が低下していると思われるコントラストを確認することができるが、TEM 像は奥行きの情報を含むため、詳細な形状情報を得ることが難しい。そのため OPEN 不良（非導通不良）になっていることを TEM 像から断定することは困難である。

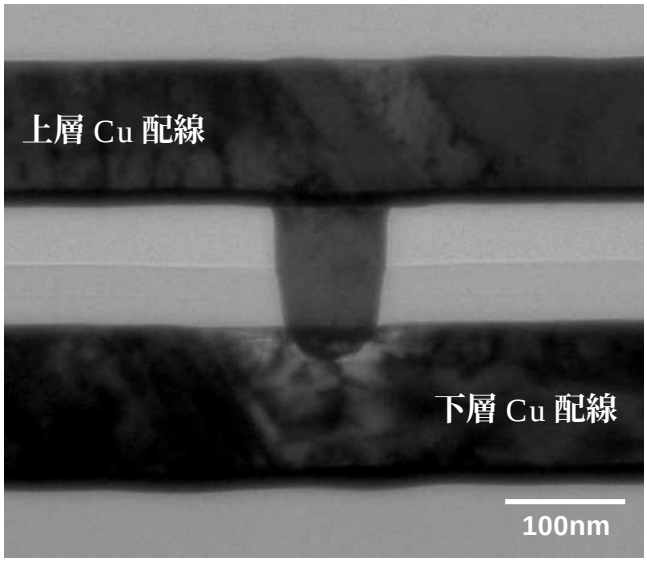


図 7.12　SIV による不良箇所の断面 TEM 像

電子線モグラフィを用いて、本試料の同一箇所を三次元構造解析した結果を図 7.13 に示す。図 7.13 は Via の中心部を抽出したスライス像である。下層配線と Via との間にすり鉢状にボイドが形成されており、物理的にオープン不良になっていることを確認することができた。また、スライス像から Via 底には結晶粒界が存在すると思われ、その結晶粒に沿ってボイドが成長しているものと推測できる。このように従来の TEM では不良個所の状態を詳細に把握することが難しい試料に対し、三次元構造解析を用いることにより、不良部の形状を正確に把握することが可能であることを示した。

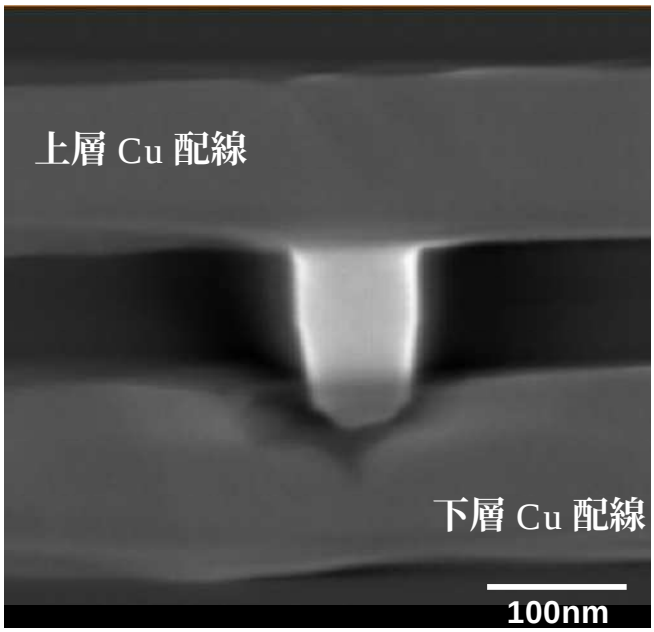


図 7.13　SIV **による不良箇所のスライス像**

7.6　むすび

本章では、半導体デバイスの三次元構造解析手法である電子線トモグラフィを、物理解析フローの一環として取り込むために、三次元形状の定量解析やバックエンドプロセスへの応用展開を検討した結果について述べた。図 7.14 に本章で用いた物理解析フローを示す。また、電子線トモグラフィをデバイスの物理解析フローに適用した場合の有効性について議論した。

１）電子線トモグラフィの応用として三次元形状の定量解析を行った。その結果、Via のバリアメタルのカバレッジや Ni シリサイドの膜厚分布を定量解析可能であることを示した。

３）バックエンドプロセスの不良解析への適用事例として、Cu 配線の信頼性不良の事例を示した。その結果、実際の不良箇所を三次元観察で捉えることに成功し、電子の流れと不良個所の関係や、不良箇所形状を把握することができた。

電子線トモグラフィは、三次元定量評価が可能であることを示した。またフロントエンドプロセスからバックエンドプロセスまでを網羅する解析手法として応用展開できることを示した。電子線トモグラフィは、デバイスの三次元構造解析および不良メカニズム解明に大きく貢献する技術であることを示した。

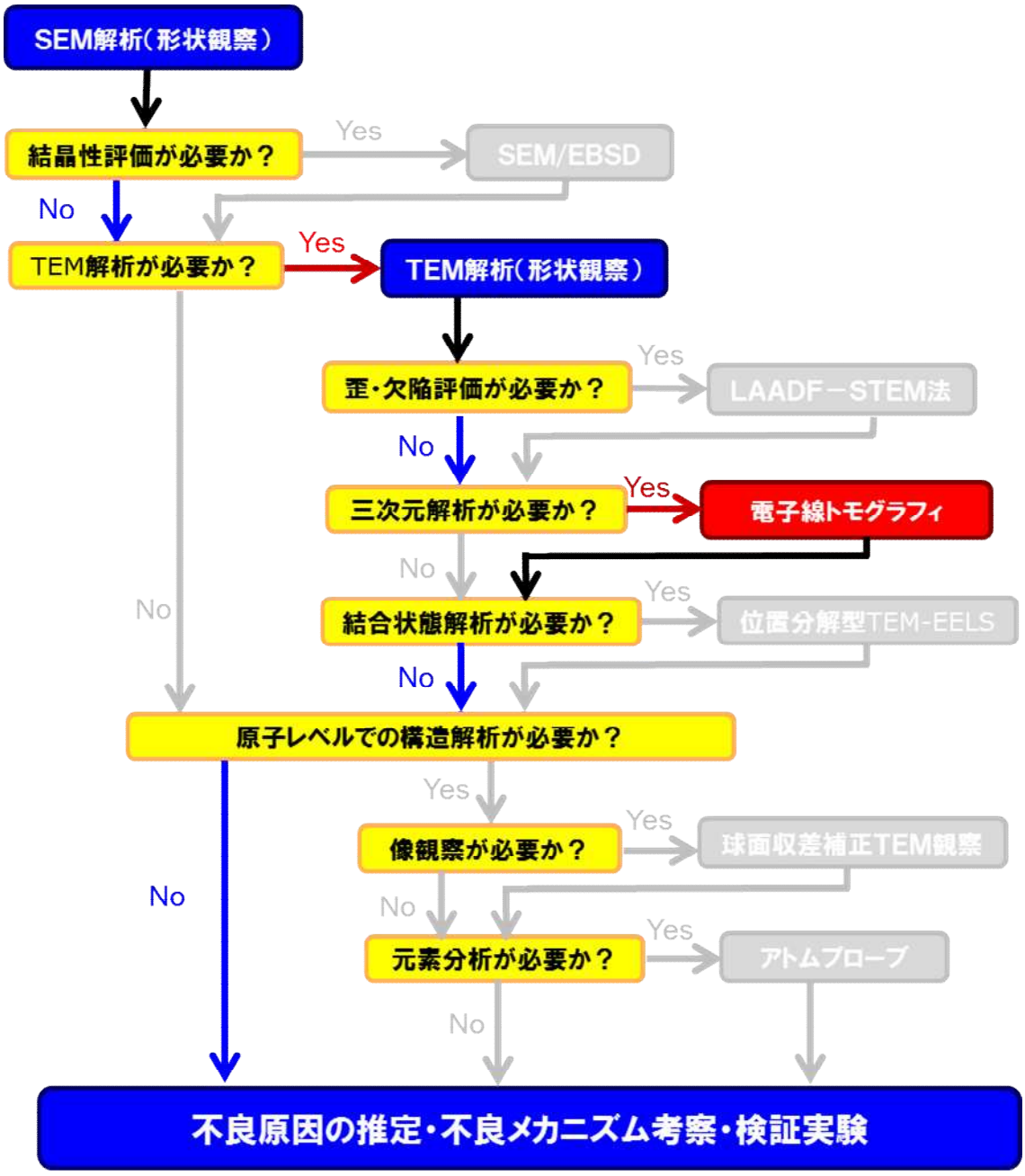


図 7.14　第7章で用いた物理解析フロー

第８章　結論

本研究では、半導体デバイスの物理解析フローに、新たに先端物理解析手法を組み込んだ物理解析フローを提案し、これまでの物理解析では原因究明が困難であった、歪や不純物、三次元微細構造などに起因する不良に本手法を適用した結果について述べた。また、実際のデバイス不良解析における新規物理解析手法の有効性について議論した。

第１章では、半導体デバイスの微細化やデバイス構造の複雑化にともない、デバイス解析が従来の手法だけでは困難になってきている現状について論じ、本研究の背景と目的について述べた。

第２章では、半導体デバイス解析の現状について議論し、これまでのデバイス物理解析フローの問題点を明らかにした。また、これらの課題を解決するために、新たな先端物理解析手法を提案した。次に、それぞれの手法の原理と特徴について説明し、デバイス解析への適用可能性を検討し、これらの先端物理解析手法を取り入れた新しい物理解析フローを提案した。

第３章では、提案した物理解析フローをリーク電流が増加した不良デバイスに適用した結果について述べた。半導体デバイス中で接合リーク電流不良を引き起こす Ni シリサイドの異常成長について、電子線トモグラフィと位置分解型 TEM-EELS の二種類の先端 TEM 解析技術を用いて構造解析を行った結果について論じた。実際に接合リーク電流不良が発生しているトランジスタについて解析を行い、Ni シリサイドの異常成長がデバイスの動作に不具合を生じさせていることを突き止めた。この Ni シリサイド異常成長の現象を理解するために、電子線トモグラフィや TEM-EELS 等の先端 TEM 技術を用いてナノメートルスケールで三次元構造解析や結晶解析を実施した。その結果、異常成長は Si(111)面に沿って Si<110>方向に成長していることを確認した。また異常成長部は $NiSi_2$ の単結晶から形成されていることを確認した。また、結晶方位を変えたサンプルでの Ni シリサイド拡散実験も実施し、これらの結果から、Ni シリサイドの異常成長は(111)面の<110>方向のように、原子間隔が広く、Ni の拡散経路となりやすい方位に選択的に成長することを突き止めた。物理解析結果から Ni シリサイドの異常成長の起きるメカニズムを考察し、本手法の有効性を検証した。

第４章では、提案した物理解析フローをトランジスタの高抵抗不良に適用した結果について述べた。半導体デバイスの高抵抗不良を引き起こす Ni シリサイド断線に着目して、SEM/EBSD および、アトムプローブの二種類の先端物理解析を用いて Ni シリサ

イド膜の評価を行った結果について述べた。Ni シリサイド膜の結晶性について、SEM/EBSD 解析を行い、Si 基板上の Ni シリサイド膜は隣接する結晶粒同士が 10 度程度の結晶方位の差を持つ小角粒界を多く含む構造であることを明らかにした。また Ni シリサイド膜中の不純物についてアトムプローブを用いた原子レベルでの解析を行い、Ni シリサイド膜中には、B が数 nm の大きさのクラスタを形成して存在していることを確認した。これらの物理解析結果から、断線のメカニズムについて考察し、Ni シリサイドの断線は Ni シリサイド膜中の小角粒界が膜中の B クラスタによって移動を妨げられ、それにより Ni シリサイド膜の割れが生じ、断線に至るメカニズムを考察した。

第５章では、提案した物理解析フローをトランジスタデバイスの電気特性不良に適用した結果について述べた。半導体デバイス中の結晶欠陥を三次元可視化する技術として、LAADF-STEM 法を提案し、電子線トモグラフィと組み合わせて、結晶欠陥を三次元可視化することを試みた結果について述べた。続いて、SiGe ソース/ドレイン構造の MOS トランジスタ中で発生する結晶欠陥について本手法を適用し、結晶欠陥の三次元解析を実施した。その結果、結晶欠陥は、<111>面に沿って発生しており、結晶欠陥の起点はトランジスタの SiGe ソース/ドレイン部であることを確認した。デバイス構造と結晶欠陥の三次元的な位置関係を詳細に把握することにより、結晶欠陥の起点とすべり面を特定し、結晶欠陥の発生メカニズムや複数の結晶欠陥の相互作用について議論した。また、本手法の有効性を確認するために、結晶欠陥起因で接合リーク不良となっている試料について、結晶欠陥の三次元可視化を行い、不良原因を突き止めることができた。本手法は、先端デバイス中の結晶欠陥をナノメートルオーダーで三次元可視化できる唯一の手法であり、今後のデバイス不良解析および信頼性解析において有効な物理解析手法であることを議論した。

第６章では、提案した物理解析フローをトランジスタの絶縁膜経時破壊の解析に適用した結果について述べた。球面収差補正走査透過型電子顕微鏡とアトムプローブを用いて、Hf 添加ゲート絶縁膜の構造解析と、TDDB 寿命劣化メカニズムの考察を行った結果について述べた。原子レベルの分解能を有する、球面収差補正走査透過型電子顕微鏡により Hf 原子の直接観察を行い、Hf 原子がゲート絶縁膜中で拡散している様子を捉えることができた。また、絶縁膜中の三次元元素分布を調べるためにアトムプローブ解析を実施した。その結果、Hf と N は高温アニールにより相互拡散しすることを突き止めた。これらの物理解析の結果から、TDDB 寿命劣化の考察を行い、Hf の拡散現象から TDDB 寿命劣化が NMOS と PMOS で異なるメカニズムを考察し、現象を把握することができた。

第７章では、提案したフローをバックエンドプロセスで形成される Cu 配線の信頼性

劣化や三次元解析に適用した結果について述べた。電子線トモグラフィの応用展開として三次元形状の定量化と、バックエンドプロセスへの適用を試みた。その結果、Via のバリアメタルのカバレッジや Ni シリサイドの膜厚分布を定量解析することができた。また、バックエンドプロセス（Cu 配線プロセス）の故障解析への適用し、実際の故障箇所を三次元観察で捉えることに成功した。また得られた結果から、電子の流れと故障個所の関係や、故障後の故障箇所形状を把握することができた。電子線トモグラフィは半導体プロセスの様々な工程に対する解析へ応用展開できることを実証し、デバイスの三次元構造解析および故障解析に大きく貢献する技術であることを示した。

本研究では、提案した先端物理解析を組み込んだ解析フローは、非常に有効であることを示した。一方、提案したフローは、新規に半導体デバイスに適用した手法であり、解析手法の選択は、研究者やエンジニアの経験に依存する部分が多い。今後、多くの解析事例を蓄積し、最適なフローを選択するための知見を得る必要があると考える。また、個々の先端物理解析技術については、半導体デバイスを解析するための最適な条件設定や、測定・データ解析の自動化が、今後の課題であると考える。

半導体デバイスの微細化・高性能化に伴い、半導体デバイス構造が多様化していく中で、デバイス中で発生する、初期不良や信頼性問題を解決するための物理解析は、今後ますます重要となってくる。本研究で議論した、先端物理解析技術は、半導体デバイスの不良解析に有効な手法であり、今後ますますの応用展開が期待される技術である。さらに、これらの先端物理解析技術を組み込んだ物理解析フローを構築することは、今後の半導体デバイスに性能向上・信頼性確保に欠かせない技術である。

謝辞

本研究を遂行するにあたり、終始懇切丁寧な御指導と御鞭撻を賜りました、大阪大学大学院 情報科学研究科 情報システム工学専攻 中前幸治教授に深く感謝申し上げます。

本論文を執筆するにあたり、懇篤なる御指導を頂くとともに、数々の御教示を賜りました、大阪大学大学院 情報科学研究科 情報システム工学専攻 尾上孝雄教授、同 三浦克介准教授、大阪大学名誉教授 独立行政法人国立高等専門学校機構奈良工業高等専門学校 谷口研二校長に感謝の意を表します。

筆者が、大阪大学大学院博士後期課程に在学中、御指導、御教授を賜りました、大阪大学大学院 情報科学研究科 情報システム工学専攻 今井正治教授、土屋達弘教授、竹村治雄教授に厚く御礼申し上げます。

本研究に関しまして、有意義な御指導、御教示を賜りました、大阪大学大学院 情報科学研究科 情報システム工学専攻 御堂義博助教に、心より感謝の意を表します。

筆者が、大阪大学大学院情報科学研究科情報システム工学専攻後期課程に在学することへの御配慮と、本研究の遂行および論文執筆の機会を与えて下さいました、ルネサスエレクトロニクス株式会社 生産本部 デバイス・解析技術統括部 解析評価技術部 部長 小山徹博士、同 元主管技師 小守純子氏に感謝申し上げます。

本研究の遂行および論文執筆にあたり、数々の御教示と有益な討論を頂いた、ルネサスエレクトロニクス株式会社 生産本部 デバイス・解析技術統括部 解析評価技術部 服部信美氏、朝山匡一郎博士、片山俊治博士、廣瀬幸範博士、村田直文氏、橋川直人博士、本田和仁氏、今井ゆかり氏、福本晃二博士、中西伸登博士、河上恵氏、中嶋伸恵氏に厚くお礼申し上げます。また、ルネサスエレクトロニクス株式会社 生産本部 デバイス・解析技術統括部 解析評価技術部の皆様、および株式会社ルネサスセミコンダクタエンジニアリング デバイス技術部の皆様には大変お世話になり、ここに厚くお礼申し上げます。

本研究の遂行にあたり、Ni シリサイドの試料作製および解析に関する御討議を行っていただき、また多くの有益な御助言をいただきました、ルネサスエレクトロニクス株式会社 生産本部 プロセス技術統括部 プロセス成膜技術部　浅井孝祐氏、前川和義氏、柏原慶一郎氏（現三菱電機）、山口直博士に厚く御礼申し上げます。

本研究の遂行にあたり、High-k 膜の試料作製および解析に関する御討議を行っていただき、また多くの有益な御助言をいただきました、ルネサスエレクトロニクス株式会社 生産本部 プロセス技術統括部 プロセス成膜技術部 井上真雄博士、同 デバイス・解析技術統括部 MCU デバイス開発部 西田彰男氏、舟山幸太氏（現東芝）に厚く御礼申し上げます。

本研究の遂行にあたり、アトムプローブ分析を行っていただきました、アメテック株式会社 カメカ事業部 射場忠氏、石川真起志氏、Cameca Instruments Inc.社 D.A.Reinhard 氏、 D.Olson 氏、および I.Martin 氏に厚く御礼申し上げます。

最後に、本研究の遂行にあたり、多大なる理解をいただき、温かく励まし支えてくれた最愛の家族である、恭子、芽衣、佳穂、賢一、綾美、ならびに、父 信昭、母 裕子に深く感謝いたします。

参考文献

[1] International Technology Roadmap for Semiconductors (ITRS) 2011 Edition （電子情報技術産業協会（JEITA）半導体部会 半導体技術ロードマップ専門委員会（STRJ）訳）(2011)

[2] C. Sampedro, F. Gámiz, A. Godoy, “On the extension of ET-FDSOI roadmap for 22 nm node and beyond”, Solid-State Electronics Volume 90, pp. 23–27 (2013)

[3] H. Iwai, “Roadmap for 22 nm and beyond”, Microelectronic Engineering Volume 86, pp. 1520–1528 (2009)

[4] T. Skotnicki, C. F.-Beranger, C. Gallon, F. Boeuf, S. Monfray, F. Payet, A. Pouydebasque, M. Szczap, A. Farcy, F. Arnaud, S. Clerc, M. Sellier, A. Cathignol, J.-P. Schoellkopf, E. Perea, R. Ferrant, and Hervé Mingam” Innovative Materials, Devices, and CMOS Technologies for Low-Power Mobile Multimedia”, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 55, NO. 1, pp. 96-130 (2008)

[5] S. Im, N. Srivastava, K. Banerjee, and K. E. Goodson, “Scaling Analysis of Multilevel Interconnect Temperatures for High-Performance ICs”, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 52, NO. 12, pp.2710-2719 (2005)

[6] S. Sharma, “22nm High K Metal Gate Inverter Comparative Analysis of Substrate Biasing Effect on Low Power And High Performance Ptm Models”, International Journal of Soft Computing and Engineering, Volume-2, Issue-2, pp.251-256 (2012)

[7] A. Nishiyama, K. Matsuzawa and S. Takagi, “SiGe source/drain structure for the suppression of the short-channel effect of sub-0.1-µm p-channel MOSFETs”, Electron Devices, IEEE Transactions on Volume:48 , Issue: 6 pp.1114-1120 (2001)

[8] T. Miyashita, T. Owada, A. Hatada, Y. Hayami, K. Ookoshi, T. Mori, H. Kurata, and T. Futatsugi, “Physical and Electrical Analysis of the Stress Memorization Technique (SMT) using Poly-Gates and its Optimization for Beyond 45-nm High-Performance Applications”, IEEE International Electron Devices Meeting, Tech. Dig., pp55-58. (2008)

[9] G. Lucovsky and J.L. Whitten, “Metal gate electrodes for devices with high-k gate dielectrics: Zr/ZrO2 and Hf/HfO2 intrinsic interfacial transition regions”, Microelectronic Engineering, Volume 84, pp. 2259-2262 (2007)

[10] G. I. Bourianoff, P. A. Gargini, D. E. Nikonov, “Research directions in beyond CMOS computing”, Solid-State Electronics Volume 51, pp. 1426–1431 (2007)

[11] Y. Hirose, K. Maekawa, M. Fujisawa, K. Fukumoto and Y. Mashiko, ”Crystal structure characterization of advanced metal interconnects using electron backscatter diffraction pattern (EBSP)”、Proceedings of IEEE The International Meeting for Future of Electron

Devices Kansai, pp. 91-92 (2003)

[12] J. T. Heath, C.-S. Jiang, and M. M. Al-Jassim, “Measurement of semiconductor surface potential using the scanning electron microscope”, JOURNAL OF APPLIED PHYSICS 111, 046103 (2012)

[13] K. Fujiyoshi, K. Sawai, K. Inoue, K. Saiki, and K. Sakurai, “Voltage Contrast for Gate-Leak Failures Detected by Electron Beam Inspection”, IEEE TRANSACTIONS ON SEMICONDUCTOR MANUFACTURING, VOL. 20, NO. 3, pp. 208-214 (2007)

[14] K. Nakamae, H. Fujioka, K. Ura, T. Takagi, and S. Takashima, “A hemispherical retarding-field energy analyzer with microchannel plate detector and a high extracting field for voltage measurement in the scanning electron microscope,” J. Phys. E, vol. 19, pp. 847–852 (1986)

[15] C. Van Bockstael, K. De Keyser, R. L. Van Meirhaeghe, C. Detavernier, J. L. Jordan-Sweet, and C. Lavoie, “Influence of a transient hexagonal phase on the microstructure and morphological stability of NiSi films”, APPLIED PHYSICS LETTERS 94, 033504 (2009)

[16] J. A. Kittl, A. Lauwers, O. Chamirian, M. Van Dal, A. Akheyar, M. De Potter, R. Lindsay, and K. Maex, “Ni- and Co-based silicides for advanced CMOS applications” Microelectronic Eng. 70 pp. 158-165 (2003)

[17] O. Chamirian, J. A. Kittl, A. Lauwers, O. Richard, M. Van Dal, K. Maex, “Thickness scaling issues of Ni silicide”, Microelectronic Eng. 70 pp. 201-208. (2003)

[18] K. Okubo, Y. Tsuchiya, O. Nakatsuka, A. Sakai, S. Zaima, and Y. Yasuda, “Influence of Structural Variation of Ni Silicide Thin Films on Electrical Property for Contact Materials”, Jpn. J. Appl. Phys. 43 pp. 1896-1900 (2004)

[19] D. Deduytsche, C. Detavernier, R. L. Van Meirhaeghe, and C. Lavoie, “High-temperature degradation of NiSi films: Agglomeration versus $NiSi_2$ nucleation”, J. Appl. Phys. 98 (2005) 033526

[20] N. Ikarashi, K. Watanabe, K. Masuzaki, and T. Nakagawa, “Thermal stability of a HfO2 /SiO2 interface”, APPLIED PHYSICS LETTERS 88, 101912 (2006)

[21] A. Paskaleva, M. Lemberger and A. J. Bauera, “Stress induced leakage current mechanism in thin Hf-silicate layers”, APPLIED PHYSICS LETTERS 90, 042105 (2007)

[22] V. Teodorescu and L. Nistor, H. Bender, A. Steegen, A. Lauwers, and K. Maex, J. Van Landuyt, “In situ transmission electron microscopy study of Ni silicide phases formed on 001 Si active lines”, JOURNAL OF APPLIED PHYSICS VOLUME 90, NUMBER 1, pp.167-174 (2001)

[23] H.S von Harracha,, B. Freitaga, W Geritsa, and A Sandborgb, “Optimization of EDX performance in Tecnai TEMs”, Micron Volume 34, pp. 185–188 (2003)

[24] H. Tanaka, M. Koike, M. Tomita, Y. Kamimuta, T. Ino, M. Koyama, and S. Takeno,

"Method for precise extraction of optical functions from transmission electron energy loss spectroscopy", Journal of Physics: Conference Series 26 pp. 81–84 (2006)

[25] K. Asayama, N. Hashikawa, K. Kajiwara, T. Yaguchi, M. Konno, and H. Mori, "Boron Observation in p-Type Silicon Device by Spherical Aberration Corrected Scanning Transmission Electron Microscope", Applied Physics Express 1 074001 (2008)

[26] K. Kimoto, K. Ishizuka, T. Mizoguchi, I. Tanaka and Y. Matsui, "The study of Al-L23 ELNES with resolution-enhancement software and first-principles calculation", Japanese Society of Microscopy Microscopy 52(3): pp. 299–303 (2003)

[27] P. Favia, M. Bargallo Gonzales, E. Simoen, P. Verheyen, D. Klenov and H. Bendera, "Nanobeam Diffraction: Technique Evaluation and Strain Measurement on Complementary Metal Oxide Semiconductor Devices", Journal of The Electrochemical Society, 158 (4) H438-H446 (2011)

[28] K. Saitoh, Y. Yasuda, M. Hamabe, and N. Tanaka, "Automated characterization of bending and expansion of a lattice of a Si substrate near a SiGe/Si interface by using split HOLZ line patterns", Journal of Electron Microscopy 59(5): pp. 367–378 (2010)

[29] L. Clément, R. Pantel, L. F. Tz. Kwakman, and J. L. Rouvière, "Strain measurements by convergent-beam electron diffraction: The importance of stress relaxation in lamella preparations", APPLIED PHYSICS LETTERS VOLUME 85, NUMBER 4, pp.651-653 (2004)

[30] J. Huang, M. J. Kima, P. R. Chidambaram, R. B. Irwin, P. J. Jones, J. W. Weijtmans, E. M. Koontz, Y. G. Wang, S. Tang, and R. Wise, "Probing nanoscale local lattice strains in advanced Si complementary metal-oxide-semiconductor devices", APPLIED PHYSICS LETTERS 89, 063114 (2006)

[31] F. Uesugi, T. Yamazaki, K. Kuramochi, I. Hashimoto, K. Kojima, and S. Takeno, "Distortion Measurement of Multi-Finger Transistor Using Split Higher-Order Laue Zone Lines Analysis "Japanese Journal of Applied Physics Vol. 47, No. 5, pp. 3709–3711 (2008)

[32] J.-L. Rouviere, L. Clément, R. Pantel and L. Kwakman, "HOLZ Line Broadening in CBED Strain Measurements. The Case of Si/SiGe/Si Layers", in Proc. 16th Int. Microscopy Congr., 2006, p. 1022. (2006)

[33] A Armigliato, R Balboni, S Balboni, S Frabboni, A Tixier, G.P Carnevale, P Colpani, G Pavia, A Marmiroli, "TEM/CBED determination of strain in silicon-based submicrometric electronic devices", Micron, Volume 31, Issue 3, pp. 203–209 (2000)

[34] K. De Keyser, C. Van Bockstael, C. Detavernier, R. L. Van Meirhaeghe, J. Jordan-Sweet, and C. Lavoie, "Epitaxial Formation of a Metastable Hexagonal Nickel–Silicide Semiconductor Devices, Materials, and Processing:" Electrochem. Solid-State Lett. 11, pp. H266-H268 (2008)

[35] X. Yin, S. J. Liew, T. Y. Jiang, J. Xi, R. Kakarala. “Non-Destructive Failure Analysis and Measurement for Molded Devices and Complex Assemblies with X-ray CT and 3D Image Processing Techniques”, Singapore International NDT Conference & Exhibition pp.1-12. (2013)

[36] S. Kudo, Y. Hirose, T. Yamaguchi, K. Kashihara, K. Maekawa, K. Asai, N. Murata, T. Katayama, K. Asayama, N. Hattori, T. Koyama, and K. Nakamae, “Analysis of Junction Leakage Current Failure of Nickel Silicide Abnormal Growth Using Advanced Transmission Electron Microscopy ”, IEEE TRANSACTIONS ON SEMICONDUCTOR MANUFACTURING, (6 頁) (2013) (accepted)

[37] S. Kudo, Y. Hirose, N. Hashikawa, T. Yamaguchi, K. Kashihara, K. Maekawa, K. Asai, N. Murata, K. Asayama, and E. Murakami, “ANALYSIS OF NI SILICIDE ABNORMAL GROWTH MECHANISM USING ADVANCED TEM TECHNIQUES”, Proc. Int. Reliability Phys. Symp., pp. 580-583. (2008)

[38] **工藤修一、廣瀬幸範、山口直、柏原慶一郎、村田直文、片山俊治、朝山匡一郎、小守純子, “電子線トモグラフィを用いた** Ni **シリサイドの三次元構造解析”、 第** 28 **回** LSI **テスティングシンポジウム**, pp. 273-276 (2008)

[39] S. Kudo, Y. Hirose, Y. Ogawa, T. Yamaguchi, K. Kashihara, N. Murata, T. Katayama, N. Hattori, T. Koyama, and K. Nakamae, “Study of Formation Mechanism of Nickel Silicide Discontinuities in High Performance Complementary Metal-Oxide-Semiconductor devices”, Japanese Journal of Applied Physics, (2013) (accepted)

[40] S. Kudo, Y. Hirose, T. Futase, Y. Ogawa, T. Yamaguchi, K. Kihara, K. Kashihara, N. Murata, T. Katayama, K. Asayama and E. Murakami, “Study of Formation Mechanism of Nickel Silicide Discontinuities in High Performance CMOS devices”, Proc. Int. Reliability Phys. Symp., pp. 311-316. (2009)

[41] **工藤修一, 廣瀬幸範, 二瀬卓也, 小川吉文, 山口直, 柏原慶一朗, 村田直文, 片山俊治, 朝山匡一郎, 村上英一、“**Ni **シリサイド断線不良の形成メカニズム解析”、第** 29 **回** LSI **テスティングシンポジウム**, pp. 377-381 (2009)

[42] S. Kudo, N. Nakanishi, Y. Hirose, K. Sato, T. Yamashita, H. Oda, K. Kashihara, N. Murata, T. Katayama, K. Asayama, J. Komori, and E. Murakami, “Three-Dimensional Visualization Technique for Crystal Defects in High Performance p-Channel Metal–Oxide–Semiconductor Field-Effect Transistors with Embedded SiGe Source/Drain”, Japanese Journal of Applied Physics 49, 04DA22 (4 頁) (2009)

[43] S. Kudo, N. Nakanishi, Y. Hirose, K. Sato, T. Yamashita, H. Oda, K. Kashihara, N. Murata, T. Katayama, K. Asayama, J. Komori and E. Murakami, “Three-Dimensional Visualization Technique for Crystal Defects in High Performance CMOS Devices with Embedded SiGe-Source/Drain”, 2009 International Conference on Solid State Devices and Materials pp.

38-39. (2009)

[44] 工藤修一、吉田岳司、本田和仁、村田直文、廣瀬幸範、片山俊治、小守純子、小山徹、中前幸治、“SIL プレートを用いた発光解析と電子線トモグラフィによる結晶欠陥起因リーク不良の解析”、第 31 回 LSI テスティングシンポジウム, pp.303-308 (2011).

[45] S. Kudo, Y. Hirose, K. Funayama, K. Ohgata, M. Inoue, K. Eguchi, A. Nishida, K. Asayama, N. Hattori, T. Koyama, and K. Nakamae, “Atomic-Level Study of TDDB Mechanism of Hfdoped SiON Gate Dielectrics using Cs-Corrected STEM and Atom Probe Tomography”, Proc. Int. Reliability Phys. Symp.,5B.2. pp. 1-5 (2013)

[46] S. Kudo, Y. Hirose, K. Funayama, M. Inoue, A. Nishida, N. Hattori, T. Koyama, and K. Nakamae, “Study of Hf-doped SiON Gate Dielectrics by using Atom Probe Tomography”, 2013 JSAP-MRS Joint Symposia, JSAP-MRS-F-007 (1 頁) (2013)

[47] 工藤修一, 廣瀬幸範, 舟山幸太, 大形公士, 井上真雄, 中嶋伸恵, 国宗依信, 朝山匡一郎, 服部信美, 小山徹, 中前幸治、“Hf 添加ゲート絶縁膜の TDDB 劣化メカニズム解明”、第 32 回 LSI テスティングシンポジウム pp. 245-250 (2012)

[48] S. Kudo, Y. Hirose, K. Fukumoto, S. Maegawa, J. Shimanuki and Y. Inoue, “Three-Dimensional Fine Structure Observation of Advanced ULSI Devices Using Electron Tomography”, 2006 International Meeting for Future of Electron Devices, Kansai, pp. 49-50 (2006)

[49] S. Kudo, Y. Hirose, K. Fukumoto, S. Maegawa, J. Shimanuki, and Y. Inoue, “Three-dimensional fine structure observation of advanced ULSI devices using electron tomography”, in Proc. 16th Int. Microscopy Congr., pp. 1440. (2006)

[50] LSI テスティング学会編、“LSI テスティングハンドブック”、(2008)

[51] 二川清、”はじめてのデバイス評価技術“、(2012)

[52] T. Koyama, E. Yoshida, J. Komori, Y. Mashiko, H. Katoh, and T. Nakasugi, “ High Resolution Backside Fault Isolation Technique Using Directly Forming Si Substrate into Solid Immersion Lens”, Proceedings of 2003 IEEE Intrnational Reliability Physics Symposium pp. 529-535 (2003)

[53] T. Yoshida, T. Koyama, J. Komori, Y. Mashiko, and A. Onoyama, “Reverse-side Fault Isolation Technique For 90 nm and Beyond Technologies”, Proceedings of Internationnal Meeting for Future Electron devices, Kansai pp.89-90. (2003)

[54] S. B. Ippolito, B.B. Goldberg, and M. S. Unlu, “High spatial resolution subsurface microscopy”, Appl. Phys. Lett. 78, pp.4071-4073. (2001)

[55] K. Asayama Y. Kato, T. Fujii, K. Yoshida, A. Takaoka and H. Mori., “Reliability Analyses of Cu Wiring LSIs by 3D Images Re-Constructed From CT-UHVEM Data”, Proceedings of The 16th International Microscopy Congress, p1441 (2006)

[56] 鷹岡昭夫他、“特集 電子線トモグラフィ”、顕微鏡学会誌 Vol.39 No.1 p2-33 (2004)

[57] C. Kübel, A. Voigt, R. Schoenmakers, M. Otten, D. Su, T.-C. Lee, A. Carlsson, and J. Bradley, “Recent Advances in Electron Tomography: TEM and HAADF-STEM Tomography for Materials Science and Semiconductor Applications”, Microsc. Microanal. 11, pp. 378–400 (2005)

[58] **馬場則男、“電子線トモグラフィ”、蛋白質 核酸 酵素**, Vol. 49 No. 11, p1601-p1606 (2004)

[59] L. - C. Chen, R. Huang, R. L. Huang, D. Su, “Three Dimensional Characterization of Buried Defects in Cu Interconnects by Electron Tomography”, in Proc. 16th Int. Microscopy Congr., 2006, p. 1921.

[60] K. Asayama, N. Hashikawa, T. Yamaguchi, S. Terada, and H. Mori, “Polymorphs Discrimination of Nickel Silicides in Device Structure by Improved Analyses of Low Loss Electron Energy Low Spectrum”, Japanese Journal of Applied Physics, Vol. 46, No. 22, pp.L528-L530. (2007)

[61] Y.-L. Jiang, A. Agarwal, G.-P. Ru, G. Cai, and B.-Z. Li, “Nickel silicide formation on shallow junctions”Nucl. Inst. Methods Phys. Res. B 237, 160 (2005)

[62] A. J. Schwartz, M. Kumar and B. J. Adams, “Electron Backscatter Diffraction in Materials Science”, Kluwer Academic/Plenum Publishers, Chapter 3, pp31-38 (2000)

[63] F. J. Humphreys, “Characterisation of fine-scale microstructures by electron backscatter diffraction (EBSD)”, Scripta Materialia, Volume 51, Issue 8, pp. 771–776 (2004)

[64] E. W. Müller, J. A. Panitz, and S. B. McLane, “The Atom‐Probe Field Ion Microscope Rev. Sci. Instrum., 39, pp.83-86 (1968).

[65] D. Blavette, A. Bostel, J. M. Sarrau, B. Deconihout, and A. Menand, “An atom probe for three-dimensional tomography”, Nature 363, pp. 432 - 435 (1993)

[66] O. Nishikawa, E. Nomura, M. Wada, Y. Tsunashima, S. Horie, M. Shibata, T. Yoshimura and R. Uemori,”Atom‐probe study of the early stage of silicide formation. II. Ni‐Si system” J. Vac. Sci. Technol. B 1, pp. 10-14 (1983)

[67] A. Cerezo, T. J. Godfrey and G. D. W. Smith, “Application of a position‐sensitive detector to atom probe microanalysis”, Rev. Sci. Instrum, 59, pp. 862-866 (1988).

[68] O. C.-Mirédin, C. P.-Pellegrino, D. Mangelinck, D. Blavette, “Boron redistribution during reactive diffusion in Ni–Si contacts”, Microelectronic Eng. 87, pp. 271-273 (2010)

[69] J.S. Moorea, K.S. Jonesa, H. Kennelb, and S. Corcoranb, “3-D analysis of semiconductor dopant distributions in a patterned structure using LEAP”, Ultramicroscopy 108 pp. 536–539 (2008)

[70] B. Gault, F. Vurpillot, A. Vella, M, Gilbert, A. Menand, D. Blavette and B. Deconihout, “Design of a femtosecond laser assisted tomographic atom probe”, Review of Scientific Instruments 77, 043705 (2006)

[71] L. R. Herlinger, S. Chevacharoenkul and D.C. Erwin, “TEM Sample Preparation Using A Focused Ion Beam and A Probe Manipulator”, Proceedings of 22nd International Symposium for Testing and Failure Analysis, p199-205 (1996)

[72] I. D. Wolf, H. E. Maes, and S. K. Jones, “Stress measurements in silicon devices through Raman spectroscopy: Bridging the gap between theory and experiment”, J. Appl. Phys. 79 (9), pp.7148-7156 (1996)

[73] T. Tada, V. Poborchii, and T. Kanayama,” Study of stress distribution in a cleaved Si shallow trench isolation structure using confocal micro-Raman system”, JOURNAL OF APPLIED PHYSICS 107, 113539 (2010)

[74] M. Mizuo, T. Yamaguchi, S. Kudo, Y. Hirose, H. Kimura, J. Tsuchimoto, and N. Hattori, “Analysis of Channel Stress Induced by NiPt-Silicide in Metal–Oxide–Semiconductor Field-Effect Transistor and Its Generation Mechanism”, Japanese Journal of Applied Physics 52 096502 (2013)

[75] D. Kosemura, and A. Ogura, “Quantitative Analysis of Stress Relaxation in Transmission Electron Microscopy Samples by Raman Spectroscopy with a High-Numerical Aperture Lens”, Japanese Journal of Applied Physics 50 04DA06 (2011)

[76] M. Hytch, F. Houdellier, F. Hue, and E. Snoeck, “Nanoscale holographic interferometry for strain measurements in electronic devices”, NATURE Vol 453 19, pp.1086-1090 (2008)

[77] F. Hue, M. Hytch, H. Bender, F. Houdellier, and A. Claverie, “Direct Mapping of Strain in a Strained Silicon Transistor by High-Resolution Electron Microscopy”, PHYSICAL REVIEW LETTERS, 100, 156602 (2008)

[78] Z. Yua, D. A. Muller, and J. Silcox, “Study of strain fields at a-SiO/c-Si interface”, JOURNAL OF APPLIED PHYSICS VOLUME 95, NUMBER 7, pp.3362-3371 (2004)

[79] D. A. Muller, “Structure and bonding at the atomic scale by scanning transmission electron microscopy”, Nature Materials 8, pp.263 - 270 (2009)

[80] **岡山重夫**、”**収差補正電子光学**”, **顕微鏡**、45 pp. 119-124 (2010)

[81] H. Sawada, Y. Tanishiro, N. Ohashi, T. Tomita, F. Hosokawa, T. Kaneyama, Y. Kondo, K. Takayanagi, “STEM imaging of 47-pm-separated atomic columns by a spherical aberration-corrected electron microscope with a 300-kV cold field emission gun”, J Electron Microsc. 58 (6) pp. 357-361 (2009)

[82] M. Tsuchiaki, O. Kazuya, and H. Chie, “Junction Leakage Generation by NiSi Thermal Instability Characterized Using Damage-Free n+/p Silicon Diodes”, Japanese Journal of Applied Physics Vol. 43 No. 8A, pp5166-5173 (2004)

[83] T. Yamaguchi, K. Kashihara, T. Okudaira, T. Tsutsumi, K. Maekawa, T. Kosugi, N. Murata, J. Tsuchimoto, K. Shiga, K. Asai, and M. Yoneda, “Suppression of Anomalous Gate Edge Leakage Current by Control of Ni Silicidation Region using Si Ion Implantation Technique”,

IEEE International Electron Devices Meeting, Tech. Dig., pp855-858. (2006)

[84] T. Yamaguchi, K. Kashihara, S. Kudo, K. Hayashi, N. Hashikawa, T. Okudaira, T. Tsutsumi, L. Maekawa, H. Oda, K. Asai, and M. Kojima, “A Novel Low Leakage-Current Ni Silicide Process in nMOSFETs on Si (110) Substrate”, IEEE International Electron Devices Meeting, Tech. Dig., pp139-142 (2007)

[85] F. d’Heurle, C. S. Peterssom, J. E. E. Baglin, S. J. La Placa and C. Y. Wong “Formation of thin films of NiSi: Metastable structure, diffusion mechanisms in intermetallic compounds”, J. Appl. Phys. Vol. 55 No. 12, pp4208-4218 (1984)

[86] P. A. Midgley, M. Weyland, “3D electron microscopy in the physical sciences: the development of Z-contrast and EFTEM tomography”, Ultramicroscopy 96 pp. 413-431 (2003)

[87] **深井 有 著、“拡散現象の物理”、3 章、**p81-p105、（2008）

[88] K. Kashihara, T. Yamaguchi, T. Okudaira, T. Tsutumi, K. Maekawa, K. Asai, and M. Yoneda, “Improvement of thermal stability of nickel silicide using N2 ion implantation prior to nickel film deposition”, Proceedings of The 6th International Workshop on Junction Technology, 2006, pp176-179 (2006)

[89] C. Detavernier, J. Jordan-Sweet, and C. Lavoie, “Texture of NiSi films on Si(001), (111), and (110) substrates” J. Appl. Phys. 103, p. 113526 (2008)

[90] A. Lauwers, M de Potter, O. Chamirian, R. Lindsay, C. Demeurisse, C. Vrancken, K. Maex, “Silicides for the 100-nm node and beyond: Co-silicide, Co(Ni)-silicide and Ni-silicide”, Microelectronic Engineering, Volume 64, pp. 131–142 (2002)

[91] M.K Datta, S.K Pabi, B.S Murty, “Thermal stability of nanocrystalline Ni silicides synthesized by mechanical alloying”, Materials Science and Engineering: A Volume 284, pp. 219–225 (2000)

[92] D. Deduytsche, C. Detavernier, R. L. Van Meirhaeghe, and C. Lavoie, “High-temperature degradation of NiSi films: Agglomeration versus NiSi2 nucleation”, J. Appl. Phys. 98, p. 033526 (2005)

[93] C.-L. Lina and W.-K. Yeh, “Impact of SOI thickness on device performance and gate oxide reliability of Ni fully silicide metal-gate strained SOI MOSFET”, Microelectronic Engineering Volume 88, pp. 228–234 (2011)

[94] C. Zaring, H. Jiang, B.G. Svensson ,and M. Ostling, “Boron redistribution during formation of nickel silicides”, Appl. Surf. Sci. 53, p. 147 7152 (1991)

[95] J. S. Koehler, F. Seitz, W.T. Read, Jr., W. Shockley, and E. Orowan, "Dislocations in Metals", The American Institute of Mining and Metallurgical Engineers Inc., Chapter 3, pp.175-188 (1954)

[96] T. Skotnicki, C. F. Beranger, C. Gallon, F. Boeuf, S. Monfray, F. Payet, A. Pouydebasque,

M. Szczap, A. Farcy, F. Arnaud, S. Clerc, M. Sellier, A. Cathignol, J. P. Schoellkopf, E. Perea, R. Ferrant, and H. Mingam, “Innovative Materials, Devices, and CMOS Technologies for Low-Power Mobile Multimedia”, IEEE Trans. Electron Devices 55 pp. 96-130 (2008)

[97] Eric M. Vogel, Monica D. Edelstein, and John S. Suehle, “Reliability of ultra-thin silicon dioxide under substrate hot-electron substrate hot-hole and tunneling stress”, Microelectronic Engineering 59 pp. 73-83 (2001)

[98] Yee-Chia Yeo, Qiang Lu, and Chenming Hu, “ MOSFET Gate Oxide Reliability” International Journal of High speed Electronics and Systems, Vol. 11, No. 3 pp. 849-886 (2001)

[99] S. Lombardo, F. Crupi, C. Spinella, and B. Neri “Transients during pre-breakdown and hard breakdown of thin gate oxides in metal-SiO2-Si capacitors”, Materials Science in Semiconductor Processing 2 pp. 359-367 (1999)

[100] C. B. Oh, H. S. Kang, H. J. Ryu, M. H. Oh, H. S. Jung, Y. S. Kim, J. H. He, N. I. Lee, K. H. Cho, D. H. Lee, T. H. Yang, I. S. Cho, H. K. Kang, Y. W. Kim, and K. P. Suh, “Manufacturable embedded CMOS 6T-SRAM technology with high-k gate dielectric device for system-on-chip applications" IEDM Tec. Digest, pp. 423 - 426 (2002)

[101] T. Iwamoto, T. Ogura, M. Terai, H. Watanabe, H. Watanabe, N. Ikarashi, M. Miyamura, T. Tatsumi, M. Saitoh, A. Morioka, K. Watanabe, Y. Saito, Y. Yabe, T. Ikarashi, K. Masuzaki, Y. Mochizuki, and T. Mogami., “A highly manufacturable low power and high speed HfSiO CMOS FET with dual Poly-Si gate electrodes”, IEDM Tec. Digest, pp. 639-642 (2002)

[102] M. Terada, Y. Yabe, H. Watanabe, S. Fujieda, A. Morioka, S. Kotsuji, T. Iwamoto, M. Saitoh, T. Ogura, and Y. Saito, “Breakdown Mechanisms and Lifetime Prediction for 90nm-node Low-power HfSiON/SiO2 CMOSFETs”, Extended Abstracts of 2004 International Conference on Solid State Devicdes and Materials, (2004) pp. 74-75

[103] I. Hirano, K. Kato, Y. Nakasaki, S. Fukatsu, and Y. Mitani, “Novel TDDB Mechanism for p-FET accelerated by Hydrogen from HfSiON Film”, Proc. Int. Reliability Physics Symp., pp. 424-429 (2010)

[104] A. Paskaleva, M. Lemberger, and A. J. Bauer, “Stress induced leakage current mechanism in thin Hf-silicate layers”, Appl. Phys. Lett. 90, 042105 (2007)

[105] N. Ikarashi, “Atomic structure of a Ni diffused Si (001) surface layer: Precursor to formation of $NiSi_2$ at low temperature”, Journal of Applied Physics 107, 033505 (2010)

[106] L. A. Giannuzzi and F. A. Stevie: Introduction to Focused Ion Beams (Springer, New York) Chap. 11, p. 229 (2005)

[107] M v. d. Stam, M. Stekelenburg, B. Freitag, D. Hubert and J. Ringnalda、“A New Aberration-Corrected Transmission Electron Microscope for a New Era”、MICROSCOPY AND ANALYSIS,p.9-11. (2005)

[108] K. Ishizuka, “DeConvHAADF: Software Cs-corrector for STEM-HAADF Microscopy”, Proc. 8th Asia-Pacific Conference on Electron Microscopy, (2004)

[109] P.H. Clifton, T.J Gribb, S.S.A. Gerstl, R.U. Ulfig and D.J. Larson, “Performance Advantages of a Modern, Ultra-High Mass Resolution Atom Probe”, Microscopy and Microanalysis 14(S2) pp. 454-455 (2008)

[110] K. L. Pey, N. Raghavan, X. Li, W. H. Liu, K. Shubhakar, X. Wu, and M. Bosman,” New Insight into TDDB and Psot Preakdown Reliability of Novel High-k Gate Dielectric Stacks”, Proc. Int. Reliability Physics Symp., pp. 354-363 (2010)

[111] Y. – C. Yeo, Q. Lu, and C. Hu, “MOSFET Gate Oxide Reliability: Anode Hole Injection Model and its Applications”, International Journal of High Speed Electronics and Systems, 11, pp. 849 -886 (2001).

[112] K. Mori, K. Maekawa, N. Amou, D. Kodama, H. Miyazaki, N. Suzumura, K. Honda, Y. Hirose, K. Asai and M. Yoneda, “Reliability Improvement and its Mechanism for Cu Interconnects with Cu-Al Alloy Seeds”, Proceedings of Advanced Metallization Conference, pp. 467-473 (2006)

[113] D. Kodama, S. Fukui, N. Miura, K. Goto, N. Suzumura, M. Matsuura, T. Furusawa and H. Miyazaki, “The Stress Control of Capping Insulators as a Key to Preventing Electromigration and Stress-Induced Voiding Failures”, Proceedings of Advanced Metallization Conference, pp. 495-499 (2006)

[114] Y. Hirose, T. Shono, H. Miyazaki, K. fukumoto and S. Maegawa, “Fine Crystal grain mapping of electroplated Cu film using electron backscatter diffraction pattern technique”, Proceedings of The 16th International Microscopy Congress, pp. 1409 (2006)