



Title	半導体不揮発性メモリに関する研究
Author(s)	土屋, 真平
Citation	大阪大学, 1985, 博士論文
Version Type	
URL	<a href="https://hdl.handle.net/11094/34861">https://hdl.handle.net/11094/34861</a>
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、<a href="https://www.library.osaka-u.ac.jp/thesis/#closed">大阪大学の博士論文について</a>をご参照ください。

*The University of Osaka Institutional Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏名・(本籍)	土屋 真平
学位の種類	工学博士
学位記番号	第 6688 号
学位授与の日付	昭和 60 年 1 月 22 日
学位授与の要件	学位規則第 5 条第 2 項該当
学位論文題目	半導体不揮発性メモリに関する研究
論文審査委員	(主査) 教授 藤澤 和男 (副査) 教授 難波 進 教授 末田 正 教授 浜川 圭弘 教授 山本 錠彦 助教授 小林 猛

### 論文内容の要旨

本論文は、電気的に書き換え可能な半導体不揮発メモリである EAROM (Electrically Alterable Read Only Memory)において、新構造セルの提案を主題にして研究した成果をまとめたものである。その内容は以下の 6 章から構成されている。

第 1 章では本研究の対象となるシリコンEAROMにおける従来の研究を概説し問題点を整理する。さらにマイクロコンピュータシステムへの応用という観点から、新しいEAROMセルに望まれる低電圧書き換え可能性を中心とした特性を明らかにし、このセルを実現するために 10nm程度の膜厚を持つリーグ電流が極めて少ない絶縁膜の必要性を述べた。第 2 章では、10nm程度の膜厚の形成が可能な熱窒化膜を提案して膜の成長条件、構造の評価を行なうとともに、この膜のEAROMセルへの適用が書き換え電圧の低減に有効であることを試作実験により示した。特に、電荷蓄積部位としてフローティングゲートを用い、ホットキャリヤをこれに注入する構造が、強電界を用いるトンネル注入方式に対して低電圧性、信頼性に関して優れていることを明らかにした。第 3 章では、シリコン熱窒化膜のバンドギャップを傾斜化することにより、フローティングゲートへホットキャリアを注入する型のEAROMセルにおいて、記憶保持特性を損うこと無く書き換え電圧を低減出来ることを解析、試作実験により示した。第 4 章では、ホットキャリア注入の実験的解析から、新しくホットキャリヤ注入モデルを提案し、これに基づく正電圧のみで書き換え可能な、EAROMセルを設計し、実験により確認した。第 5 章では、前章までに確立された正の低電圧により書き換え可能なEAROMのLSI化の可能性を2Kビットチップを構成、試作することにより検討し、また従来型のEAROMと性能比較して本研究の有効性を明確にした。第 6 章では各章の結果を総括し、今後の展望について述べた。

低電圧書き換え可能なEAROMセルを実現し、これをLSI化するためには、10nm程度の膜厚を持つリーコン电流が極めて少ない絶縁膜を実現することが工学的に最も重要な課題であり、従来はシリコン酸化膜の薄膜化に努力が集中されてきた。しかしシリコンの酸化速度が速いために、薄膜化は困難であった。本論文では、シリコン熱窒化膜を提案し、この膜が10nm程度の膜厚を制御性良く実現できるという優れた性質を有することを明らかにした。この膜はEAROMの他に、ダイナミックRAMのキャパシター絶縁膜、短チャネルMISFETのゲート絶縁膜への応用も可能であり、工学的見地から重要なものであることも明らかにされた。

この膜を用いたEAROMセルをLSI化するためには、正の低電圧のみで動作することが必要である。本論文では、ホットキャリヤ注入のモデルを確立し、これを用いてデバイス構造を最適化することにより正の低電圧での動作が可能になることを明らかにした。

以上の結果から、本論文ではシリコン熱窒化膜とホットキャリヤ注入の設計手法の工学的意義がEAROMの実現という形で明確にされた。

### 論文の審査結果の要旨

本論文は電気的に書き換え可能な半導体不揮発性メモリEAROM(Electrically Alterable Read Only Memory)の開発研究の成果をまとめたものである。従来のEAROMではメモリの書き換えに正負の高電圧を必要とし、LSI化が困難であった。本研究はこの難点を解決するために、新しい構造の素子を試作し、実用に耐える高性能の素子を実現させた。

この新構造素子は、p-Si基板上に形成したFET構造において、チャネル層の上に10nm厚のシリコン熱窒化膜、その上にポリシリコンのフローティング・ゲート層、さらにその上に70nm厚のシリコン酸化膜を介してコントロール・ゲート層をつけたものである。その動作はドレイン電圧とコントロール・ゲート電圧(いずれも正)の適当な組合せにより、ドレイン接合の所でアバランシェ・ブレークダウンを生じさせ、ホットキャリヤをフローティング・ゲートに注入してコントロール・ゲートのしきい電圧を変化させ、これをメモリとするものである。この際、ホットキャリヤのフローティング・ゲートへの注入がドレイン空乏層中のほぼ一定の点から生じることを明らかにした。この事実を利用して、この素子の動作解析及びその結果を用いる素子の設計を可能にした。

この素子は、シリコン基板とフローティング・ゲート層との間に、絶縁膜として極めて薄いシリコン熱窒化膜を用いることが特徴で、この絶縁層のエネルギー障壁高がシリコン酸化膜に比べて低いために、ホットエレクトロンのフローティング・ゲートへの注入が低い電圧で行えるようになった。さらに、この窒化膜のフローティング・ゲートと接する表面を酸化シリコンとした傾斜バンドギャップ絶縁層の導入により、フローティング・ゲートに蓄積された電荷のリーコンを有効に防止し、記憶保持時間を大幅に延長することに成功した。試作した素子は正の15V以下の低電圧で動作し、その記憶保持時間は室温で10年以上、メモリ書き換え回数は従来素子の100倍以上となった。そして、この素子のLSI化を

検討するため、2Kビットチップを試作し、所期の性能を得た。

このように、本研究はこれまで実用化が困難であったEAROMについて、画期的な性能の新しい素子を開発したものであって、学位論文として価値あるものと認める。