



Title	MOSダイナミックRAMの高性能・大容量化に関する基礎的研究
Author(s)	佐藤, 真一
Citation	大阪大学, 1985, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/35020
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏名・（本籍）	さ 佐	とう 藤	しん 真	いち 一
学 位 の 種 類	工	学	博	士
学 位 記 番 号	第	7 0 2 5	号	
学位授与の日付	昭 和 60 年 11 月 27 日			
学位授与の要件	学位規則第 5 条第 2 項該当			
学 位 論 文 題 目	MOS ダイナミック RAM の高性能・大容量化に関する基礎的研究			
論 文 審 査 委 員	(主査)			
	教 授 浜 川 圭 弘			
	(副査)			
	教 授 難 波 進 教 授 末 田 正 教 授 山 本 錠 彦			
	教 授 井 口 征 士			

論 文 内 容 の 要 旨

MOSダイナミックRAMの高性能・大容量化は、スケーリング則をベースとしたパターンの微細化を中心に達成されてきたが、最小線巾が2 μm からさらにはサブミクロン領域に近づくにつれて、ホットエレクトロン効果、ソフトエラー等の物理的制約が顕在化し、その進展を阻害する大きな要因となってきた。このような物理現象については不良発生機構の解明を中心に種々検討がなされてきたが、未だ不明の点も多く、十分な解決策が得られていないのが現状であり、回路、デバイス、プロセス面での技術革新が必要である。さらに、MOSダイナミックRAMの構成要素の1つである内部配線について観た時、その抵抗による回路の遅延及びチップ中での面積比率が増々増大し、MOSダイナミックRAMの高速化、高密度化を果たす上で、信号線の低抵抗化及び多層化は重要な技術課題となってきた。

本研究は、このような問題点を踏まえホットエレクトロン効果、ソフトエラーの物理的制約による不良発生現象をデバイス構造との関連性から解明し、これにもとづく新規なデバイス構造による技術的打開策を提案し、工学的応用をはかることによってサブミクロンレベルのMOSトランジスタ及びメモリの微細化基礎技術を開発し、さらに信号線の低抵抗化、多層化への指針を得るための新しい材料の物性解明及び工学的応用とによって、1 Mビット以上のダイナミックRAMへの展望を開くことを目的としている。

まず第一章では本研究を行うに到った動機、関連分野の研究動向を述べ、本論文の位置づけを明らかにする。第二章ではMOSトランジスタの微細化限界を明らかにし、新規なドレイン構造及びP/P⁺エピタキシャル基板の提案によって、ホットエレクトロン及びショートチャネル効果の改善並びにその工学的有効性を示した。第三章ではMOSダイナミックRAMのワード線及びビット線等の低抵抗化材料

としてモリブデンシリサイド及びアルミニウムをとりあげ、アクセス時間に与える効果を明確にした。第四章では Al 多層配線の高信頼性層間絶縁膜としてプラズマ CVD によるシリコン窒化膜に注目し、その基本物性を明らかにするとともに、陽極酸化法と組み合わせた平坦な多層配線構造を提案し、層間絶縁膜として優れた特徴を有することを明らかにした。第五章ではメモリ蓄積電荷量 (Q_s) 減少に伴うソフトエラーの現象をシリコン基板における収集効率の観点から解明し、P/P⁺ エピ基板の有効性を実証した。さらに、エピ基板と組合わせた新規な溝型 (トレンチ) キャパシタ構造を提案し、蓄積容量並びにソフトエラーの改善効果を明らかにした。第六章では二章から五章までの研究成果を実証するため、64 K ビット及び 256 K ビット (D) RAM に適用し、工学的に有効であることを示した。

以上の結果から、1 M ビットダイナミック RAM を始めとする MOS ダイナミック RAM の高性能・大容量化実現への見通しを得ることができた。

論文の審査結果の要旨

近年、情報処理技術の進歩にともなって、そのハードを受け持っている半導体集積回路とその機能素子は、ますますの高速動作と高密度集積化が要求され、これに応ずるさまざまな微細加工技術が研究されている。その結果、微細化パターンの最小線幅がサブミクロン領域に近づくつつあり、また、機能素子の高速性と動作消費電力を決める性能指数である $p \cdot t$ 積も 1 pJ/bit を割りつつある。ところが、素子の微細化と微少消費電力化にともなって、信号電流レベルが低くなり、 $p-n$ 接合の内蔵電界によるホットエレクトロン効果と自然界の放射線による電子注入のソフトエラーが大きな問題となり、一つの技術の壁となっている。

本研究は、こうした技術的問題を解決するための鍵技術を開発し、その基礎研究を実施するとともに、これを実用技術として確立し、1 M (メガ) bit 以上の超 LSI 製造への基礎固めを行なったものである。まず第 2 章においては、MOS トランジスタのショートチャネル効果とホットエレクトロン効果について、その物理的機構を幾つかのセルサイズについて実験的研究を実施し、従来技術による微細化の限界を見極めた上で、これを高める手段として、グレーデッドドレイン MOS トランジスタを発明し、技術の壁を破った。さらに第 3 章では、高速化をはばむ今一つの壁であるワード線・ビット線の線間容量などによる信号の遅延について、配線の平坦化と、新材料であるモリブデンシリサイドを使うことによる配線の低抵抗化に成功した。さらに第 4 章では、プラズマ CVD 法による高絶縁窒化膜の形成法を IC 技術に持ち込んで、配線パターンの平坦化とうまく組み合わせることによって、遅延とソフトエラーの少ない IC の開発をした。

第 5 章では、高密度集積化にともなうセル面積の縮小によってメモリキャパシタ容量が減少し、ソフトエラーが増すとされていた原因の解決法として、素子の深さ方向に立体的に $p-n$ 接合を掘り込んだトレンチエピタクシーキャパシタ (Hi-CAT) を開発し、 $p \cdot t$ 積が 0.1 pJ/bit という、ほぼ一桁の高性能化に成功し、これを用いて 256 K のダイナミック RAM の製造技術を確立した。

以上のように本研究は、半導体集積回路の高密度化に立ちはだかる幾つかの壁をブレイクスルーする鍵技術の基礎研究を行ない、これを実用技術としたもので、博士論文として価値あるものと認める。