

Title	非同期並行処理システムの実行制御方式に関する研究
Author(s)	佐藤, 圭
Citation	大阪大学, 1986, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/35148
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について 〈/a〉 をご参照ください。

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名・（本籍）	佐藤圭
学位の種類	工学博士
学位記番号	第 7287 号
学位授与の日付	昭和 61 年 3 月 25 日
学位授与の要件	工学研究科 通信工学専攻 学位規則第 5 条第 1 項該当
学位論文題目	非同期並行処理システムの実行制御方式に関する研究 (主査)
論文審査委員	教授 手塚 慶一 教授 中西 義郎 教授 滑川 敏彦 教授 倉蘭 貞夫

論文内容の要旨

本論文は、非同期並行処理システムの実行制御方式に関する研究成果をまとめたものであり、全文は次の 6 章から構成されている。

第 1 章緒論においては、従来行われてきたこの種の研究の概要ならびに本研究との関連性について述べ、本研究の目的および意義を明確にし、本研究の位置付けを行っている。

第 2 章では、待ち行列網シミュレーションをはじめとする非決定性ジョブの並行処理制御に先行制御方式を用いることを提案している。論理矛盾の発生を許し、論理矛盾が発生する毎にその解消を図るという制御方式である先行制御方式により処理の並行度を高めることが期待できることを述べている。

第 3 章では、先行制御方式を採用した待ち行列網シミュレータ D-SSQ (Distributed System Simulator for Queueing network) とその処理能力について論じている。D-SSQ では、プロセッサ間通信の際、先行制御が起因して発信プロセッサの時刻が受信プロセッサの時刻よりも過去になるという論理矛盾を生じる。これに備えて D-SSQ では処理履歴の保存を行うとともに、矛盾の生じる可能性がないと確認できる時刻を検出している。D-SSQ を用いた実験、および大規模なモデルに対しての計算機シミュレーションにより先行制御方式の処理能力の検討を行っている。

第 4 章では、先行制御に適切な規則を加えて矛盾の多発を抑える規制先行制御方式について述べている。その実現方式として、D-SSQ 全体に同一の先行規制を行うグローバル方式と、プロセッサが個々に規制を行うローカル方式を提案し、D-SSQ を用いた実験および計算機シミュレーションにより先行規制を行わない場合に比較して処理能力が改善される事を示している。

第 5 章では、先行規制に時刻駆動の概念を取り入れた同期規制先行制御を提案している。本方式は、

システム時刻更新用プロセッサを設けて同期的に先行時刻を更新するものであり、確定時刻の検出操作を不要にすることを特徴とする方式である。D-SSQおよび計算機シミュレーションにより、規制先行制御方式に比べてより大きな処理能力が実現できることを示している。さらに、更新間隔を適応制御することにより時変モデルシミュレーションに柔軟に対応できるシステムが構成できることを示している。

第6章は結論であり、本研究で得られた成果を述べるとともに今後の課題について述べている。

論文の審査結果の要旨

近年、複数のマイクロプロセッサを用いて大型計算機に匹敵する処理能力を実現しようとする並行処理システムの研究が盛んに行われている。しかしながら、非決定性ジョブに対する並行処理はプロセス間の同期処理が複雑になることからこれまで大きな成果が得られていない。本論文は、これまで並行処理システムとしては取り扱いが困難とされてきた非決定性ジョブを扱うシステムを対象に、従来の同期型制御とは異なる非同期型制御の観点より実験システムを構築し、種々の検討を行ったものであり、その主な成果を要約すると次のとおりである。

- (1) 非決定性ジョブを効率よく並行処理するには、論理矛盾を許さない従来の同期型制御では不十分で、矛盾を許容する非同期型制御の導入が不可欠であることを理論的に明らかにしている。そのような方式の一つとして、並行度を可及的に大きくし、矛盾はキャンセルにより解消する先行制御方式を提案し、その有効性を明らかにしている。
 - (2) 先行制御方式を実装した並行処理システムのモデルとして分散待ち行列網シミュレータを構築し、その処理能力の検討を行い、処理能力は傾きはあまり大きくないが、プロセッサ台数に比例して増大することを明らかにし、提案方式の有効性を実証している。
 - (3) 処理能力の向上の面より先行制御方式の種々の改善を試み、無制限に先行処理を行うことを禁止し、論理矛盾の発生を抑える規制先行制御方式を提案し、規制値を適切に設定すれば処理能力の傾きの改善に特に効果があることを実験システムにより実証し、さらに最適規制値を明らかにしている。
 - (4) 従来の同期型制御と本論文で提案した非同期型制御のハイブリッド方式について検討し、先行規制に同期型制御方式である時刻駆動の概念を取り入れた同期規制先行制御方式を提案している。本方式を適用すれば両制御方式の利点が十分に発揮でき、処理能力をより高め得ることを実験システムにより実証し、規制時間間隔を可変すればより高度な時変ジョブにも対処し得ることを明らかにしている。
- 以上のように本論文は、情報処理システムの機能向上に極めて有用な方式であると考えられる非同期並行処理システムの構築法に関して多くの新知見を得ており、情報工学の発展に貢献するところが大きい。よって本論文は博士論文として価値あるものと認める。