

Title	電力用短チャネルMOSFETの研究 : 高速化と低損失化の研究
Author(s)	上田, 大助
Citation	大阪大学, 1987, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/35622
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について 〈/a〉 をご参照ください。

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

【34】

氏名・(本籍)	うえ	だ	だい	すけ
	上	田	大	助
学位の種類	工	学	博	士
学位記番号	第	7879	号	
学位授与の日付	昭和62年9月30日			
学位授与の要件	学位規則第5条第2項該当			
学位論文題目	電力用短チャネルMOSFETの研究 —高速化と低損失化の研究—			
論文審査委員	(主査)			
	教授	浜口	智尋	
	教授	埴	輝雄	教授 平木 昭夫 教授 梅野 正隆

論文内容の要旨

本論文は大電力化のために二重拡散型の構造を用いて短チャネル化されたMOSFETの高速化と低損失化に関する研究の成果をまとめたものであり、本文8章より構成されている。

第1章は序論で本論文のテーマの背景について概観し、本研究の目的と意義を明らかにし、本論文の構成について説明している。

第2章では、縦型構造を用いて実現される電力用MOSFETの設計理論と素子の動作特性限界、特性パラメータ間のトレードオフの関係について述べている。

第3章では、電力用MOSFETの高速化を制限する要因として、ゲート・ドレイン間の帰還容量、ゲート抵抗等を挙げ、これを改善するためにドレイン上に厚い酸化膜を自己整合的に形成するSTG (Self-aligned Terraced Gate) 構造と名付けたMOSFETを提案し、そのプロセスの特長、試作した素子の特性について述べている。

第4章では、二次元解析により、STG構造のレイアウトの素子特性に対する影響、接合部での電界集中を緩和するfield-plate構造を解析した結果を述べている。

第5章では、素子の高集積化、低損失化のために基板に垂直の溝を形成したRMOS (Rectangular grooved MOS) と名付けた構造を提案し、溝形成のためのドライエッチング技術と実験的な試作結果について述べ、更に、深い溝形成によるオン抵抗低下の効果について言及している。

第6章では、RMOS構造の一層の高集積化のために一連の製作プロセスを自己整合的に行う技術について述べている。

第7章では、高耐圧化した場合でもオン抵抗の増加しない伝導度変調型の素子構造にRMOSの技術

を応用する利点を述べ、同素子を高速スイッチングするために小数キャリアの注入を抑制する方法の実験及び二次元解析を行った結果に言及している。

第8章では、本研究で得られた成果を総括し、今後の問題点や課題について述べている。

論文の審査結果の要旨

本論文は電力用の短チャンネルMOSFETに関する研究、特に、高速化、低損失化するための素子の構造、製作のプロセス等についての研究をまとめたものであり、以下の成果を得ている。

- (1) DSA構造を用いて短チャンネル化される縦型電力用MOSFETのオン抵抗、耐圧、スイッチング速度などの代表的な特性パラメータについて、その最適な設計法を明らかにしている。
- (2) ドレイン上に自己整合的に厚い酸化膜を形成したSTGMOSと呼ぶ素子の構造を提案し、ゲート・ドレイン間の寄生容量を低下させることで、ドレイン耐圧500Vで $f_T=100\text{MHz}$ を達成する試作結果を得ている。
- (3) STG構造に対して二次元解析を行い、同構造はドレインバッファ層表面の蓄積層の電子濃度低下の効果と内部の寄生JFET効果によって、オン抵抗を最小にするレイアウトが存在することを見いだしている。
- (4) 基板にドライエッチングを用いて垂直な溝を形成し、その側面をチャンネルとして用いるRMOSと呼ぶ構造を提案し、従来の電力用MOSFETと比べて、4倍以上集積密度が高く、更に、完全自己整合プロセスを用いた場合には約8倍の高集積化が可能となり、最大限の低イオン抵抗化が計れること明らかにしている。
- (5) RMOS構造を伝導度変調型MOSFETに適用し、同素子がラッチング電流レベルの向上に有用であることを明らかにし、更に、底部pn接合を短絡した場合には、小数キャリアの注入が抑制され、スイッチング時間を $\frac{1}{2}$ に低下できることを明らかにしている。

以上のように、本論文は電力用短チャンネルMOSFETの設計方法を明確にし、高速化と低損失化のために新たな素子の構造を提案することで、パワーエレクトロニクスの分野の進展に対して大きな貢献をもたらした。よって本論文は、博士論文として価値あるものと認める。