



Title	MOSダイナミックRAMの大容量化と多機能化に関する基礎的研究
Author(s)	益子, 耕一郎
Citation	大阪大学, 1988, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/35726
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏名・(本籍)	まし	益	こす	こう	いち	ろう	一郎
学位の種類	工	学	博	士			
学位記番号	第	8	0	4	3	号	
学位授与の日付	昭和	63	年	3	月	17	日
学位授与の要件	学位規則	第	5	条	第	2	項該当
学位論文題目	MOSダイナミックRAMの大容量化と多機能化に関する基礎的研究						
論文審査委員	(主査)	教	授	浜川	圭弘		
	(副査)	教	授	難波	進	教	授 小林 猛

論文内容の要旨

本論文は、筆者がMOSダイナミックRAMの研究開発およびその実用化の一環として行ってきた研究のうちから、MOSダイナミックRAMの大容量化と多機能化に関する研究成果をまとめたものである。本文は8章より構成されている。

第1章では、MOSダイナミックRAMに関する研究開発の沿革を簡単に述べ、特にMOSダイナミックRAMの大容量化と多機能化について、本研究の目的を説明し、その意義と重要性を明確にしている。

第2章では、MOSダイナミックRAMの16Kビットから64Kビット以上への大容量化に際し必須となった5V単一電源化および基板バイアス電圧発生回路の内蔵化設計について述べる。さらに約1Vの基板電圧変動がMOSダイナミックRAMのセンスアンプと列デコーダに及ぼす影響について解析を行ない、回路的対策について述べている。

第3章では、NMOSとCMOSのダイナミックRAMに対し、動作速度と消費電力の要因解析を行ない、周辺回路を簡素化とトランジスタ定数の改善が大容量ダイナミックRAMの高速化に有効であることを明らかにした。CMOSダイナミックRAMのアクセス時間と消費電力の解析モデルを提案し、1MダイナミックRAM試作品の測定値との良好な一致が確認された。

第4章では、パッケージ材料がMOSダイナミックRAMの動作余裕度に及ぼす影響について信頼性の見地から述べる。始めに、残留応力に起因するセンスアンプの感度劣化に対し、フィラー粒径を5μm以下に制御すること、バッファー・コート膜をチップ表面に形成すること、センスアンプをチップ中央に配置すること、などの対策が有効であること、α粒子によるソフトエラーに対し、ワード線の昇圧、センスアンプ活性化タイミングの最適化、ダミーセル容量の最適化、などの回路的対策が有効であるこ

とを明らかにした。さらに、新規な構造の三次元構造メモリセルを開発し試作評価の結果、このメモリセル構造が4Mビット以上のダイナミックRAMに適用可能であることが実施された。

第5章では、多機能化の一環として高速モード導入について述べる。ニブル・モードは、列アドレスをチップ外部から与えなくともCAS信号のトグルのみで高速に4ビットのデータが読み出されるので、システムの高速化に有効であること、高融点金属珪化物ゲートとCMOSプロセスの採用により、列方向に高速にアクセスできるスタティック・コラム機能を折返し型ビット線構成のダイナミックRAMに導入できることを明らかにした。

第6章では、両像端末への応用を指向したダイナミックRAMの多機能化として、ランダム・アクセスポートとシリアル・アクセスポートを同一チップ上に一体化させた構成のメモリが最適であること、64K×4ビットのダイナミックRAMと256K×4ビットのデータ・レジスタをチップ上での1024ビット双方向バスで結合することにより、画像システムの帯域幅向上と、システム設計の柔軟性が得られるなどを述べている。

第7章では、第4章で述べた新規構造メモリセルとPMOSセンスアンプを共有する形式のメモリセルアレイの採用により、標準300ミル幅ディアル・イン・ライン型パッケージに収容可能なチップ寸法の4Mビット・ダイナミックRAMが実現できることを確認し、実用技術を確立した。

第8章では、MOSダイナミックRAMの大容量化と多機能化に関する基礎的研究の第2章から第7章までの研究成果を総括し、残された問題点についても検討している。

論文の審査結果の要旨

文明生活の高度情報化が進とともに、半導体集積回路（以下ICと記す）は、あらゆる電子化システムに必需の機能デバイスとなるつた。中でも、ダイナミック・ランダム・アクセス・メモリ（以下DRAMと記す）ICは、その応用分野の汎用性から、まさに「産業の米」といわれるに相応しい地位を占め、年を追う毎にその需要が伸びている。本研究は、DRAMとICの大容量化と多機能化に関する一連の基礎研究をまとめたものである。

本論文では、まず、DRAMの大容量化にともなうピン数の増加と回路の複雑化に関する技術課題を取り上げ、基板のバイアス電圧の変動に対するRAMの動作余裕限度に関する詳細な解析を行い、その解決手段として周辺回路の簡素化と、基板電圧発生回路を内蔵化することによって、従来の複数電源系(12, 5, -5V)を5V単一電源系に改善し、ピン数の低減化に成功した。ついで、DRAMの動作速度を決めていたアクセス時間について解析を進め、その結果から、トランジスタのコンダクタンス定数の増加と、しきい電圧の低下技術を完成し、従来と比べて、回路の単純化をはかるとともに、従来より20%の高速化を実現し、DRAM-ICの動作時間についての理論的背景を明らかにした。

DRAM-ICの高密度集積化が進むにつれて、信号電荷を蓄積させるメモリセルの静電容量が低下し、 α 粒子などによるソフトエラーを誘起する確立が増加して、信頼度が低下することが問題となって

いる。こうした状況に鑑み、本研究の後半では、メモリセルの蓄積容量を増しながら他の回路との静電的分離特性を改善する、FASIC (Folded bitline Adaptive Ssde wall-Insulated Capacitor) と称する三次元構造メモリセルを開発し、その実用技術を確立した。ついで、集積化IC間のマルチポート化について検討を進め、 $64K \times 4$ ビットのDRAMと $256K$ 語 $\times 4$ ビットのデータレジスタとを同一のチップ上で 1024 ビットの双方向内部バスで結合することにより、動作上の帯域幅向上とシステム設計上の柔軟性が得られることを提案し、実際に画像端末ICに適用して、その有効性を実証した。

以上のように、本論文は、DRAM-ICの高密度集積化と高速多機能化をめぐる一連の新規基礎技術を確立し、その学術的背景を明らかにするとともに、集積化回路技術の進歩に大きく貢献したもので、工学博士の学位論文としての価値あるものと認める。