

Title	半導体スタティックRAMの高速・高性能化に関する基礎的研究
Author(s)	茅野, 晋平
Citation	大阪大学, 1988, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/36581
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について <a>〉 をご参照ください。

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名・(本籍)	茅野晋平
学位の種類	工学博士
学位記番号	第 8302 号
学位授与の日付	昭和 63 年 6 月 20 日
学位授与の要件	学位規則第 5 条第 2 項該当
学位論文題目	半導体スタティックRAMの高速・高性能化に関する基礎的研究
論文審査委員	(主査) 教授 浜口 智尋 (副査) 教授 埴 輝雄 教授 平木 昭夫 教授 梅野 正隆

論文内容の要旨

本論文は、情報化社会の進展に伴い情報記憶媒体として幅広く用いられるスタティックRAMのうち、CMOS (S) RAM, バイポーラECLRAM, およびGaAs RAMの三種類のスタティックRAMについて高速・高性能を中心とした高度化の研究成果をまとめたものであり、論文は7章から構成されている。

第1章では、スタティックRAMの歴史のおよび技術的背景と、高速・高性能化の課題について述べ、本研究の意義と目的を明らかにしている。

第2章では、上記三種類のスタティックRAMの高速化に対するの各々のRAMの基本回路の動作速度要因について検討を行い、その特徴を明らかにしている。

第3章では、高集積を特徴とするCMOS (S) RAMの高集積化、低消費電力化、高速化、および信頼性上の問題であるラッチアップの防止について検討している。高集積化に関しては、集積度に最も影響のあるメモリセルの縮小について述べている。低消費電力化に関しては、メモリセル領域における消費電力の低減が最も効果的であること、又、ラッチアップの防止については、ガードリングの設置が有効であることを明らかにしている。

第4章では、実用上では最も高速に動作するバイポーラECLRAMの高速性能の向上と、信頼性上の問題であるソフトエラー率の低減について述べている。高速性能の向上に関しては、RAMを構成するバイポーラトランジスタのパラメータとRAMの動作速度の関連について言及し、高速化への指針を示している。ソフトエラー率の低減に関しては、ソフトエラー率と臨界電荷量の関係を明らかにし、動作速度の劣化を伴わない新たな回路を提案している。

第5章では、超高速動作が期待されている GaAs RAM の実用化を目的とした高速性能の確立と、低消費電力化について述べている。高速性能の確立に関しては、DCF L 回路の最適化についての検討結果を示している。低消費電力化に関しては、MESFET 特有の無効電流の低減が重要であることを明らかにしている。更に、これらの検討結果をもとに 4 kbRAM の試作を行い、実用化にはトランジスタ性能の均一性の向上が課題であることを明らかにしている。

第6章では、半導体スタティックRAMのうち最も進展の著しいCMOS (S) RAMに本研究成果を適用し、高集積256kbRAMにおいて25nsの高速性能を検証している。

第7章では、スタティックRAMの高速・高性能化に関する研究成果を総括し、本研究の結論を述べている。

論文の審査結果の要旨

本論文は半導体スタティックRAMに関する研究、特に高速化、高性能化を実現するための設計法、製作のプロセス、その評価などについての研究をまとめたもので、以下の成果を得ている。

- (1) スタティックRAMの基本素子の遅延時間は、CMOSでは C_g/g_m で、ECLRAMではトランジスタの性能指数 γ_b 、 τ_b と回路抵抗、GaAs RAMでは C_g/g_m で支配されることを示し、高速・高性能化の指針を示している。
- (2) CMOSのSRAMでは高集積化はメモリセルのデザインルールの二乗で縮小が可能であり、電流の低減はメモリセル領域を16分割動作させることにより実現できることを示している。また、高速化はデザインルールの縮小による負荷の低減、信号線の間電位プリセットによる実行振幅の低減が有効であることを示している。
- (3) ECLRAMのアクセス時間に対するトランジスタパラメータの感度解析から、NPNトランジスタのベース領域における少数キャリアの走行時間が最も重要であり、ソフトウェア率は速度性能を下げないで臨界電荷量を増大できる二重ワード線構成が有効であることを示している。
- (4) GaAsを用いて4 kbRAMの設計、試作を行いシミュレーション結果の2.5nsに近い高速動作の可能性を示している。
- (5) これらの成果をもとに、高集積256kbCMOS (S) RAMの設計、試作および評価を行い、アクセスタイム25nsの高性能を実現している。

以上のように、本論文は半導体スタティックRAMの設計方法を明確にし、高速化と高性能化を実現するための構造を提案し、半導体メモリの分野の進展に大きな貢献をもたらしている。よって、本論文は、博士論文として価値あるものと認める。