



Title	バイポーラLSIの高速化に関する研究
Author(s)	加藤, 周一
Citation	大阪大学, 1988, 博士論文
Version Type	
URL	<a href="https://hdl.handle.net/11094/36662">https://hdl.handle.net/11094/36662</a>
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 <a href="https://www.library.osaka-u.ac.jp/thesis/#closed">＜a href="https://www.library.osaka-u.ac.jp/thesis/#closed"&gt;https://www.library.osaka-u.ac.jp/thesis/#closed</a> >大阪大学の博士論文について <a href="https://www.library.osaka-u.ac.jp/thesis/#closed">&lt;/a&gt;</a> をご参照ください。

*The University of Osaka Institutional Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏名・(本籍)	か 藤 周 一
学位の種類	工 学 博 士
学位記番号	第 8 4 2 0 号
学位授与の日付	昭 和 63 年 12 月 26 日
学位授与の要件	学位規則第 5 条第 2 項該当
学位論文題目	バイポーラ L S I の高速化に関する研究
論文審査委員	(主査) 教 授 寺田 浩詔 (副査) 教 授 浜口 智尋 教 授 児玉 慎三 教 授 白川 功

### 論 文 内 容 の 要 旨

本論文は、高集積密度を特徴とする  $I^2L$  形と高速性能に優れた ECL 形回路とを対象として、バイポーラ形大規模集積回路 (LSI) の高速化条件を、素子構造および回路設計の両面から、明らかにするために行った研究成果をとりまとめたもので、8 章から成っている。

第 1 章では、本研究に関連する分野で行われてきた研究の歴史的背景とバイポーラ LSI の高性能化に関する研究の現状とについて概説し、本研究の動機と目的を明らかにしている。

第 2 章では、 $I^2L$  を基本論理素子としてとりあげ、その素子構造に起因する遅延時間を解析し、速度制限要因を明らかにするとともに、 $I^2L$  の素子構造を改良した、VIL について遅延時間の改善機構を解明し、高速化のための条件を導出している。

第 3 章では、スタティック形記憶素子として有効な npn 検出形  $I^2L$  メモリ・セルをとりあげ、素子構造面から問題となる、書込み動作を解析し、その速度制限要因を明確にするとともに、書込み時間の改善を図った新しいメモリ・セル構造を提案し、その有効性を実験的にも検証している。

第 4 章では、前章で提案した新しいメモリ・セル構造を用いた 1 K ビット・スタティック RAM を試し、新構造セルによる速度改善効果を明らかにしている。

第 5 章では、高速論理素子としての ECL 形論理回路をとりあげ、ECL 構造によるゲート・アレイにおいて、論理ゲート毎に大きく変動する負荷容量を統計的に考慮して、速度性能を最適化するための新しい設計手法を提案するとともに、実験的検討によって、本設計手法の有効性を確認している。

第 6 章では、回路構成および機能の両面から、ECL ゲート・アレイの高性能化の検討を行い、素子の使用効率を解析した新しいセル構成法を提案するとともに低電源電圧に伴う問題点を明らかにし、安

定動作を実現するための補償回路を提案して、この回路構成法の実用性を明らかにしている。

第7章では、第5章および第6章の研究成果を適用した、5 Kゲート規模のECLゲート・アレイを試作し、高速化および低消費電力化に関する、改善効果を実証している。

第8章では、本研究によって得られた、バイポーラLSIの高速化に関する指針を総括し、今後の研究課題を論じている。

## 論文の審査結果の要旨

本論文は、バイポーラLSIの高速化に関して、多くの新しい知見を得ているが、その主なものは、次のように要約される。

- (1)  $I^2L$ およびその改良形であるVILについて、それらの動作遅延時間を電荷制御モデルを用いて詳細に解析して、それぞれの速度阻害要因を明らかにし、素子構造面および回路設計の両面から、新しい改善法を提案するとともに新しいメモリ・セルの回路構造を提案している。
- (2) 前記の新しいメモリ・セルおよび改良された読みだし・書き込み機構を用いた高速スタティック形メモリの構成法を系統的に検討し、さらに試作によってその有効性を実証している。
- (3) ECLによるゲート・アレイを対象として、その速度制限因子を明確にすることによって、新しい単位回路構成法およびそれによるセル構造を提案し、さらに電力消費を低減させるための、低電源電圧に伴う問題点を解決する補償回路を考案している。
- (4) 16ビット乗算器を、(3)に提案したセル構造を採用して、5 Kゲート規模のゲート・アレイを用いて試作し、電力・速度積が顕著に改善されたシステム実現が可能であることを実証している。

以上のように本論文は、 $I^2L$ およびECL形基本回路によるLSIに関して、それらの高速化に際しての阻害要因を示し、それぞれ新しい回路構成を提案して高速化の手段を具体的に示すと同時に実験的検証によってそれらの有効性を明らかにするなど、多くの重要な新知見を含み、集積回路工学の発展に寄与する所が極めて大きい。よって本論文は博士論文として価値あるものと認める。