



Title	VLSIメモリに対するテストの高精度化および効率化に関する研究
Author(s)	西村, 安正
Citation	大阪大学, 1991, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/37645
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏 名・(本籍)	にし 西	むら 村	やす 安	まさ 正
学 位 の 種 類	工	学	博	士
学 位 記 番 号	第	9 8 3 4	号	
学位授与の日付	平成 3 年 6 月 12 日			
学位授与の要件	学位規則第 5 条第 2 項該当			
学 位 論 文 名	VLSI メモリに対するテストの高精度化および効率化に関する研究			
論文審査委員	(主査) 教授 浜口 智尋 教授 白川 功 教授 吉野 勝美 教授 裏 克己 教授 西原 浩			

論 文 内 容 の 要 旨

本論文は、VLSI メモリ的高速化、大容量化、多様化に対しVLSI メモリの測定精度向上、テスト時間の短縮、評価用試験プログラム作成の効率化を図るためのテスト手法に関する研究をまとめたものであり、9 章から構成されている。

第 1 章は序論であり、VLSI メモリの技術動向を述べ、その中におけるテスト技術の位置付けおよび本研究の目的と意義を明らかにしている。

第 2 章では、被測定デバイスの入出力端子でのタイミング補償を可能とするテスト補助デバイス(TCD)を用いたメモリテストのタイミング補償方法を提案している。その手法により、超高速アクセス時間 5 ns の 1 K ビットバイポーラ ECL RAM のアクセス時間をメモリテストで測定し測定誤差が 200 ps 以内という高精度を得ている。また、TCD チップを組み込むことを前提とした将来のメモリテストのタイミング補償サブシステムも併せて提案している。

第 3 章、第 4 章では、メモリテストによる MOS スタティック RAM (MOS SRAM) のアクセス時間測定に関し、SRAM 自体が発生する接地点変動に着目し、メモリテストから SRAM への入力信号印加時刻を校正後、特定メモリセルのアクセス時間を標準負荷条件とメモリテスト負荷とで各々独立に測定し、その相関関係よりメモリテストのアクセス時間の測定結果を補正する高速 MOS SRAM のアクセス時間測定手法を提案している。

第 5 章、第 6 章では、最小の付加回路の追加でチップ製造段階でオンチップでダイナミック RAM (DRAM) を効率的に試験することができ、テスト時間が従来の 4 分の 1 と大幅に短縮可能なオンチップマルチビットテスト機能を提案している。また、本手法に基づくマルチビットテスト機能の 1 M ビット DRAM 冗長構成への適用方法を述べると共に、そのテスト手法を確立している。

第7章では、VLSIメモリの多様化に対し各種VLSIメモリの異なる部分に対応し予め標準化しておいたプログラム書式に従ってテストプログラムを作成するのみで、所望のVLSIメモリ評価用試験プログラムが作成できるプログラミング手法を提案している。この手法により作成したVLSIメモリ評価用試験プログラムを16種類のVLSIメモリに適用することによって、その有用性を明らかにしている。

第8章では、高速MOS SRAMのアクセス時間測定法を最大アクセス時間15nsの64Kビットおよび25nsの256KビットのCMOS SRAMに適用し、測定誤差が各々1ns以内という結果を得て工学的有効性を確認している。

第9章は総括であり、本研究で得られた成果をまとめている。

論文審査の結果の要旨

本論文は、VLSIメモリの高速化、大容量化、多様化に対するVLSIメモリの測定精度向上、テスト時間の短縮化、評価用試験プログラム作成の効率化を図るためのテスト手法に関する研究をまとめたものであり、その研究成果の主なものをあげれば次の通りである。

- (1) VLSIメモリの高速化に対しては、高速化の指標となるアクセス時間に関し、超高速バイポーラECL RAMと高速MOSスタティックRAM (MOS SRAM) のアクセス時間をメモリテストで高精度に測定する手法を確立している。即ち、最大アクセス時間5nsの1KビットECL RAMにて、被測定デバイスの入出力端子でメモリテストのタイミング補償を可能とする新規提案のテスト補助デバイスによるタイミング補償方法確立により、アクセス時間の測定誤差が200ps以内という高精度を得ている。また、MOS SRAMにおいて、SRAM自体が発生する接地点変動に着目しメモリテストからSRAMへの入力信号印加時刻を校正後、特定メモリセルのアクセス時間を標準負荷条件とメモリテスト負荷とで各々独立に測定し、その相関関数よりメモリテストのアクセス時間の測定結果を補正する測定手法を確立し、最大アクセス時間15nsの64Kビットおよび25nsの256KビットのCOS SRAMで測定誤差が、各々1ns以内という結果を得ている。
- (2) 大容量化に対しては、ダイナミックRAM(DRAM)において、そのテスト時間短縮化を図るためにオンチップでDRAMを効率的に試験することができるマルチビットテスト機能をはじめて提案している。また、マルチビットテストに適合するDRAM冗長構成方法を述べると共に、そのマルチビットテスト機能を備えた1MビットDRAMの冗長テスト時間を従来に比較して6分の1から9分の1と短縮する冗長テスト手法を確立している。
- (3) VLSIメモリの多様化に対し、VLSIメモリ評価用試験プログラムの効率的な作成を可能とするために、各種VLSIメモリごとに異なる部分を予め標準化しておいたプログラム書式に従ってプログラムを作成するのみで、所望のVLSIメモリ評価用試験プログラムが作成できるプログラミング手法を確立している。

以上のように本論文は、VLSIメモリのテスト技術における測定精度向上手法、テスト時間短縮手

法および VLSI メモリの評価用試験プログラム作成の効率化手法を確立しており、半導体工学に対して寄与するところが大きい。よって、本論文は博士論文として価値あるものと認める。