



| | |
|--------------|---|
| Title | 多重スレッド方式のプロセッサ・アーキテクチャおよびそのVLSI化設計に関する研究 |
| Author(s) | 木村, 浩三 |
| Citation | 大阪大学, 2001, 博士論文 |
| Version Type | VoR |
| URL | https://doi.org/10.11501/3184510 |
| rights | |
| Note | |

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏名 木村 浩三
 博士の専攻分野の名称 博士(工学)
 学位記番号 第16293号
 学位授与年月日 平成13年3月23日
 学位授与の要件 学位規則第4条第1項該当
 工学研究科情報システム工学専攻
 学位論文名 多重スレッド方式のプロセッサ・アーキテクチャおよびそのVLSI化設計に関する研究
 論文審査委員 (主査)
 教授 白川 功
 (副査)
 教授 村上 孝三 教授 藤岡 弘 教授 西尾章治郎
 教授 薦田 憲久 教授 赤澤 堅造 教授 下條 真司

論文内容の要旨

本論文は、画像生成に適した多重スレッド方式のプロセッサ・アーキテクチャ、高性能化のためのマイクロアーキテクチャ、ならびにそのVLSI化設計に関する研究成果をまとめたものであり、全5章より構成されている。

第1章では、序論として、画像生成アルゴリズムの概要および従来の画像生成の高速化手法とその課題について述べ、本研究の背景と目的を明らかにするとともに研究内容と成果について概説している。

第2章では、上記課題を解決するために提案した多重スレッド方式プロセッサのハードウェア構成について考察し、シミュレーションおよびLSI実装設計の結果から得られた本方式の性能とハードウェアコストについて考察している。

第3章では、画像生成のアプリケーションプログラムの解析と性能評価シミュレーションの結果に基づいて構築されるマイクロアーキテクチャについて考察している。

第4章では、キャッシュの容量や連想度が十分でない場合においても、ミスヒットペナルティによる性能劣化が抑止できるスレッド間ノンブロッキングキャッシュ制御方式の提案とその評価を行い、本方式の有効性について考察している。

第5章では、本研究で得られた成果を要約し、今後に残された課題について述べている。

論文審査の結果の要旨

本論文は、画像生成に適した多重スレッド方式のプロセッサ・アーキテクチャ、高性能化のためのマイクロアーキテクチャとキャッシュ構成、ならびにこれらのVLSI化設計に関する研究成果をまとめたものであり、以下の主要な結果を得ている。

(1) 多重スレッド方式プロセッサについて、3次元画像生成プログラムを用いた性能評価とLSI実装設計を行っている。実装した3スレッド同時実行のプロセッサに関しては、性能向上比は2.5～3倍を達成していること、機能ユニットの追加によりさらなる性能向上が得られること、および面積当たりの性能比が1.5倍以上に達していることを確認し、本方式は、粗粒度レベルの並列性を活用し、ハードウェアの能力を十分に発揮できる効率的な

アーキテクチャであることを示している。

(2)性能予測が難しかった多重スレッドプロセッサについて、アプリケーションプログラムの解析と性能評価シミュレーションの結果から構築されるマイクロアーキテクチャを考案し、その開発環境を構築している。提案した手法と開発環境を用いて、3次元画像生成アプリケーションに適した多重スレッドプロセッサのマイクロアーキテクチャを構築し、それに対してプログラムによる評価を行った結果、本プロセッサは高い処理性能を達成している。

(3)キャッシュの容量や連想度が十分でない場合においても、ミスヒットペナルティによる性能劣化を抑止できるスレッド間ノンブロッキングキャッシング制御方式を提案し、その性能評価を行っている。その結果、ブロッキング制御方式での性能劣化を約半分に抑え、高い性能を達成しているとともに、従来のノンブロッキング制御方式よりも小さくかつ簡単なハードウェア機構で実現可能であることを示している。

以上のように、本論文は画像生成に適した多重スレッド方式のプロセッサの高性能化に対して多くの有用な研究成果をあげており、高性能プロセッサ・アーキテクチャと画像生成システムの発展に寄与するところが大きい。よって本論文は博士論文として価値あるものと認める。