

Title	論理回路のテストパターン生成手法に関する研究
Author(s)	梶原, 誠司
Citation	大阪大学, 1992, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/37896
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について 〈/a〉 をご参照ください。

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名	梶原誠司
博士の専攻	博士（工学）
学位記番号	第 10245 号
学位授与年月日	平成 4 年 3 月 25 日
学位授与の要件	学位規則第 4 条第 1 項該当 工学研究科 応用物理学専攻
学位論文名	論理回路のテストパターン生成手法に関する研究
論文審査委員	(主査) 教授 樹下 行三 (副査) 教授 一岡 芳樹 教授 豊田 順一 教授 増原 宏 教授 志水 隆一 教授 南 茂夫 教授 中島 信一 教授 興地 斐男 教授 後藤 誠一 教授 岩崎 裕 教授 山本 稔 教授 池田 和義

論文内容の要旨

集積回路の大規模・高集積化は、論理回路のテストパターン生成を困難にしている。本論文では、新しいテスト環境と故障モデルに対応したテストパターン生成手法およびテストパターン生成手法を用いた組合せ回路の冗長除去手法を提案した。

第 1 章では、本研究の背景と論文の構成を述べた。

第 2 章では、本論文で用いる基礎概念のまとめとして、論理回路の故障モデルとテストパターン生成手法の基礎となる経路活性化法について述べた。

第 3 章では、回路内部の信号線が可観測なテスト環境に適用されるテストパターン生成手法を提案した。この環境では、故障の影響を外部出力に伝搬させなくてよいが、パターン数を少なくする必要がある。本論文では、1つのパターンで複数個の故障を検出するテストパターン生成手法について考案し、故障モデルと検出条件に応じて 3 種類のテストパターンを求める手順を提案した。コンピュータ上の実験により、従来のテストと比較して、パターン数が少なくできることを示した。

第 4 章では、CMOS 組合せ回路のスタックオープン故障に対するテストパターン生成手法を提案した。本手法は、スイッチレベルで記述された各 CMOS ゲートについて、故障の検出に必要なゲートのテストパターンを求めてから、回路全体のテストパターンを生成した。また、パターン数を少なくするため、テストパターン生成の対象となる故障の選択基準を設定し、故障伝搬経路の選択を動的に変更する手法を提案した。さらに、本手法で生成したテストパターンは、スタックオープン故障だけでなく、縮退故障に対しても有効であることを確認した。

第 5 章では、テストパターン生成を用いて、効率よく組合せ回路の冗長部分を除去する手法を提案し

た。従来の手法は、冗長部分を一つずつ除去し、一つの冗長部分を取り除くごとにテストパターン生成のやり直しを必要としていた。本論文では、検出不能故障を3つのクラスに分類して冗長部分の同時除去の可能性を考察し、テストパターン生成のやり直し回数が少なくなるような冗長除去の手順を提案した。本手法により、非冗長な回路だけでなく、その回路のテストパターンをも同時に得ることができた。また、冗長部分が多く含まれる場合には、従来手法に比べ計算時間が大幅に短縮し、本手法の有効性を示すことができた。

最後に第6章では、本論文のまとめを行い、今後の課題について述べた。

論文審査の結果の要旨

集積回路の普及と共にその高信頼化への要求が高まり、集積回路に対するテストは重要な問題の一つとなっている。特に最近の集積回路の大規模化、高機能化は、新しいテスト技術を要求し、効率の良いテスト手法とそれに対するテストパターン生成手法の開発が強く望まれている。本論文は、新しいテスト環境と新しい故障モデルに対応したテストパターン生成手法および組合せ回路に対する冗長除去手法をまとめたものであり、その主な成果を要約すると次のとおりである。

- (1) 回路内部の信号線が可観測なテスト環境に適用されるテストパターン生成手法として、テストパターン数が少なくなるように、一つのテストパターンで複数個の故障を検出する手法を提案している。故障モデルと故障の検出条件に応じて、3種類のテストパターンの生成手法を提案している。これらの手法を10種類のテスト用ベンチマーク回路に対して適用し、可観測でない場合のテストパターン数と比較して、パターン数が20～80%少なくなることを示している。また、この手法は順序回路に対しても適用可能であることを示している。
- (2) CMOS回路で構成される組合せ回路のスタックオープン故障に対するテストパターン生成手法として、スイッチレベルで記述されるCMOS回路の各ゲートに対するテストパターンを用いて、回路全体のテストパターンを生成する手法を提案している。これは従来の縮退故障のテストパターン生成アルゴリズムと同程度の複雑さでスイッチレベルの回路が扱えることを意味し、効率の良いスタックオープン故障に対するテストパターン生成手法となっている。さらに、対象となる故障に対する選択基準を設け、故障伝搬経路の選択を動的に変更する手法を考察し、テスト生成時間とテストパターン数が平均10%減少することを示している。本手法で生成されたテストパターンは、目的とするスタックオープン故障だけでなく縮退故障に対しても有効であることが示されている。
- (3) テストパターン生成手法を用いて組合せ回路の冗長部分を効率よく除去する手法として、冗長部分としての存在する検出不能な縮退故障を3つのクラスに分類することにより、複数の冗長部分の同時除去が可能であることを見いだして、これに基づいた冗長除去手法を提案している。本手法では、冗長除去の手続きの中でのテストパターン生成のやり直し回数が少なくなり計算時間が短縮されている。本手法を適用することにより、冗長部分のない回路が求められるだけでなく、その回路のテストパター

ンをも同時に得ることができる。特に、冗長部分が多く含まれる回路の場合には、従来の冗長除去手法に比べ計算時間が大幅に短縮し、本手法の有効性が高くなることが示されている。

以上のように、本論文は、新しいテスト環境と新しい故障モデルのもとでの論理回路のテストパターン生成手法について論じたものであり、集積回路の高信頼化に対するテスト技術として、応用物理学、特に計算機工学、集積回路工学に寄与するところが大きい。よって、本論文は博士論文として価値あるものと認める。