



Title	A Study on Hazard Detection and Fault Analysis for VLSI Circuits
Author(s)	康, 敏燮
Citation	大阪大学, 1992, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/37909
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏名	かん	みん	そつぷ
博士の専攻	康	敏	變
分野の名称	博士（工学）		
学位記番号	第 10263 号		
学位授与年月日	平成 4 年 3 月 25 日		
学位授与の要件	学位規則第 4 条第 1 項該当 工学研究科 電子工学専攻		
学位論文名	A Study on Hazard Detection and Fault Analysis for VLSI Circuits (VLSI のハザード検出及び故障解析に関する研究)		
論文審査委員	(主査)		
	教授 白川 功		
	(副査)		
	教授 児玉 慎三	教授 寺田 浩詔	教授 熊谷 貞俊
	教授 吉野 勝美	教授 裏 克己	教授 濱口 智尋
	教授 西原 浩	教授 尾浦憲治郎	教授 藤岡 弘
	教授 溝口理一郎		

論文内容の要旨

本論文は、VLSI の設計検証の一手段である論理シミュレータを用いた論理回路のタイミング検証（ハザード検出）及び故障解析を考察し、その実験結果に基づいて提案した手法の性能評価を行ったものである。

第 1 章では、VLSI のハザード検出と故障解析を行うための故障モデル化及びシミュレーション手法に関するこれまでの研究について述べ、本研究の目的及び研究内容について述べた。

第 2 章では、論理シミュレーション、故障モデル化及び故障シミュレーションに関する概要を紹介した。

第 3 章では、論理回路においてタイミング解析を行うための TRF（信号の遷移時間を考慮した立上がり／立下がり）遅延モデルを提案し、そのモデルを用いた 5 値論理シミュレーションにおけるハザード検出の一手法を提案した。本手法において、論理回路のタイミング解析は TRF 遅延を用いて行い、ハザードの検出は素子の出力値とスケジューリング時刻を参照して行った。素子の出力値は 5 値の真理値表によって求め、各イベントのスケジューリング時刻はタイムホイールを用いたイベント駆動シミュレーション方式によって定めた。

イベント駆動方式において、遅延シミュレーションによってタイミング解析を行う場合、イベントの取消が必要となる。このことに関して、イベントの取り消しの一手法についても述べた。また、いくつかの回路に対して実験を行い、提案したアルゴリズムの有効性を確認した。

第 4 章では、CMOS 素子に対する故障解析の手法として、スイッチボックス及び真理値表を用いたシミュレーションモデル方法を提案した。前者は、トランジスタ回路の最悪の論理動作に基づく等価回

路を用いた手法であり、CMOS伝送ゲートの高インピーダンス特性を効率的に扱うために、二つのスイッチボックス即ち、単方向伝送ゲートあるいはトライステートゲートのためにはスイッチボックスを、双方向ゲートのためにはレーシオスイッチボックスを用いた。後者において、CMOS伝送ゲートのモデル化手法はデータ入出力端子を二つの仮想端子に分け、一方を入力端子、他方を出力端子として扱う。このときトランジスタスタックオープン故障の挿入は等価故障を用い、それらをCMOS伝送ゲートの真理値表を用いて評価することになった。これにより複雑なゲートレベルへの変換が不要となり、評価が簡素化された。

第5章では、CMOS伝送ゲートを用いて構成された回路に関する高速化の手法について述べた。このとき用いられるCMOS伝送ゲートのモデルは4章で提案した真理値表を用いたものであり、ゲートの評価と故障リストの管理において並列法と演繹法の長所を組み合わせた方法をとることにより高速化を試みている。さらに、同時に同じ信号線でアクティブになることの多い故障を同じグループに割り当てる方法を用いることによって、より一層の高速化を実現した。

本手法のシミュレーション時間は演繹法のそれより約 $1/3 \sim 1/2$ 程度であり、高速化が達成できた。さらに実験結果は、規模が大きい回路に対する処理速度が規模が小さい回路に対するそれより速いことを示しており、提案した手法の有効性が確認された。

第6章では、本研究で得られた成果を要約し、今後に残された課題について述べた。

論文審査の結果の要旨

本論文は、VLSIのハザード検出及び故障解析に関して行った研究をまとめたものであり、以下の成果を得ている。

- (1) ハザード検出手法に関して、信号の遷移時間を考慮した立ち上がり／立ち下がり遅延に基づく5値論理シミュレーションによる論理回路のタイミング検証のための効率的なアルゴリズムを提案し、その有効性をいくつかの計算機実験により確認している。
- (2) CMOS素子に対して、スイッチボックス及びCFSを用いた故障モデル化を提案し、従来の手法では不可能であった双方向論理ゲートの故障検査手法を構築して、その有効性をいくつかの計算機実験により確認している。
- (3) 論理ゲートとトランジスタによって構成された回路に対する高速故障シミュレーション手法を提案し、従来の手法よりも一層の高速化を実現し、これを計算機実験により確認し、本手法の有効性を示している。

以上のように、本論文は5値シミュレーションによるハザード検出手法と故障解析を行なうための故障モデル化手法及びシミュレーション手法において多くの有用な研究成果をあげており、VLSIの設計検証及びテスト設計の分野に寄与するところが大きい。よって本論文は、博士論文として価値があるものと認める。