

Title	CMOS LSIの高性能化設計技術に関する研究
Author(s)	笠井, 良太
Citation	大阪大学, 1992, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/38341
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について 〈/a〉 をご参照ください。

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏 名	笠 井 良 太
博士の専攻分野の名称	博 士 (工 学)
学 位 記 番 号	第 1 0 3 5 4 号
学 位 授 与 年 月 日	平 成 4 年 6 月 23 日
学 位 授 与 の 要 件	学 位 規 則 第 4 条 第 2 項 該 当
学 位 論 文 名	CMOS LSI の高性能化設計技術に関する研究
論 文 審 査 委 員	(主査) 教 授 白 藤 純 嗣 教 授 平 木 昭 夫 教 授 寺 田 浩 詔 教 授 青 木 亮 三

論 文 内 容 の 要 旨

本論文は、CMOS LSI の高性能化に必要な素子レベルから L S I レベルまでの設計技術に関する研究をまとめたものである。論文は8章から構成されており、その内容は以下に示す通りである。

第1章は緒言であり、本研究の背景、目的、概要を述べた。

第2章では、MOSFET 特有の境界条件下で、ポアソン方程式と電流連続式の定常解を求めるため、2次元・3次元デバイスシミュレーションの数値解析法を検討した。高電流領域の計算に対しては、計算格子を抵抗回路網とみなした初期値設定法により収束時間を約5割短縮するとともに、移動度の電界依存性モデルを組み込むことにより計算精度を向上することができた。

第3章では、前章のデバイスシミュレーション手法を微小寸法 MOSFET に適用し、短・狭チャネル効果が同時に発生する場合の動作機構を明確にした。また、CMOS/SIMOX にも適用して、SIMOX 構造では活性層が薄くなると短チャネル効果が大幅に低減されることを見だし、その原因が活性層内のドレイン空乏層幅の低減にあることを明らかにした。

第4章では、プロセスシミュレータから不純物分布をデバイスシミュレータに入力し、その計算結果を更に回路シミュレータへ移入するという一貫シミュレーションシステムを構築し、その有効性を示した。

第5章では、ラッチアップ現象の解析にデバイスシミュレーション手法を適用し、ラッチアップに至る過程で、寄生横形 n p n トランジスタの電流増幅率と基板内の寄生抵抗が大きく変調されることを明らかにした。

また、重粒子イオン入射に起因するラッチアップ現象を直接2次元過渡デバイスシミュレーションによって解析可能なことを示した。

第6章では、CMOS 大規模論理 LSI の性能をシミュレーションにより評価し、CMOS は自動設計しやすい回路であることを明らかにした。この結果に基づいて、32ビット VLSI プロセッサをスタンダードセル方式を用いて自動設計し、短期間で高速・高密度のチップを実現した。また、出力バッファの同時スイッチングによるノイズに検討を加え、その低減法を明らかにした。

第7章では、規則論理にモジュラー設計方式を、ランダム論理にスタンダードセル方式またはPLA方式を使い分ける設計法(IMS A)を提案した。この設計法を実際の論理VLSIの設計に適用し、全体をスタンダードセル方式で設計した場合に比べ25%高密度化できることを示した。また、モジュラーブロック高密度化のために、パストランジスタ回路構成を採用することを提案し、その設計法を明確にした。

第8章は結論であり、本研究によって得られた成果をまとめた。

論文審査の結果の要旨

集積回路の高集積化が進むにつれて、低消費電力かつノイズマージンが大きいCMOS回路の優位性が認識され、超LSIに実用されている。

本論文は、CMOSLSI高性能化設計技法を開発するため、基本単位であるMOSFETのレベルから超LSIレベルまで、素子および回路の設計手法について広範囲に検討を加えた結果をまとめたもので、その成果を要約すると次の通りである。

- (1) 微細構造MOSFETの特性解析に適した数値解析手法を考案すると共に、特に高電流領域で計算の収束性が悪くなる問題点に対して、計算格子を電氣的抵抗回路網とみなす初期値設定法を導入することにより、通常の方法の場合に比べ収束時間を約1/2に短縮できることを示している。また、これらの手法を取り入れた2次元および3次元デバイスシミュレータを開発・試作し、その有効性を確認している。
- (2) 微細構造MOSFETの短チャンネル効果および狭チャンネル効果についてシミュレーションを行い、その発生機構を明らかにするとともに、CMOS/SIMOX構造では活性層の厚さを小さくすることにより短チャンネル効果を大幅に低減できることを見出している。
- (3) CMOSLSIの設計の効率化をはかるため、2次元デバイスシミュレータにプロセスシミュレータおよび回路シミュレータを結合させ、プロセス条件とデバイス特性の関係あるいはデバイス構造と回路特性の関係を迅速に把握する統合デバイスシミュレータの開発のさきがけとなる試みを行っている。
- (4) CMOS回路の微細化に際して障害の1つとなる外部雑音等のトリガー電流によるラッチアップ現象を2次元シミュレータを用いて解析し、過渡解析に必要な等価回路パラメータを決定している。また、高エネルギー重粒子の入射によって引き起こされるラッチアップ現象の過渡解析を行い、その発生機構に関して興味ある知見を得ている。
- (5) n-MOS回路との比較検討から、CMOS回路が論理演算用超LSIに適していることを明らかにし、CMOSプロセッサのプロトタイプを開発している。
- (6) プロセス・デバイス結合シミュレータを援用してLSI用CMOSデバイスを設計・開発するとともに、多種のセルライブラリーを定義し、自動配置配線への効果的使用法を明らかにして、スタンダードセル方式によるCMOSLSIの設計手法を確立している。
- (7) スタンダードセル方式による論理演算用超LSIの設計品質を向上させるため、論理ブロックの構造に応じて設計手法を使い分ける新しい設計方式を提案し、16ビットマイクロコンピュータの設計に適用してその優位性を実証している。

以上のように本論文は、CMOSデバイスおよびCMOSLSIの設計手法に関して多くの重要な知見と種々の新しい提案を含んでおり、半導体デバイス工学および集積回路工学に寄与するところが大きい。よって、本論文は博士論文として価値あるものと認める。