

Title	16メガビットダイナミックRAMの高性能化とシステム化に関する研究
Author(s)	有本, 和民
Citation	大阪大学, 1993, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/38347
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について 〈/a〉 をご参照ください。

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名	ありもとかずたみ 有本和民
博士の専攻分野の名称	博士(工学)
学位記番号	第10568号
学位授与年月日	平成5年3月16日
学位授与の要件	学位規則第4条第2項該当
学位論文名	16メガビットダイナミックRAMの高性能化とシステム化に関する研究
論文審査委員	(主査) 教授 蒲生 健次 (副査) 教授 浜川 圭弘 教授 小林 猛 教授 奥山 雅則

論文内容の要旨

本論文は、MOSダイナミックRAM、特に16メガビットダイナミックRAMの高性能化とシステム化に関する研究成果をまとめたものである。

ダイナミックRAMの大容量化に伴うメモリセル面積の縮小に際し、信号電荷量確保のため提案された3次元のメモリセルには、情報保持特性や加工精度等の製造上の問題点がある。そこでこれらの解決策として新規メモリセルを提案し、その試作・評価結果よりその有効性を示す。また5V単一電源下での微細化に伴うトランジスタの信頼性確保のため搭載する内部降圧回路の一層の低消費電力化・動作応答性の改善等、高性能化の検討を行う。

高速化技術に関し、メモリアレイの大容量化に伴う負荷容量配線時定数増大という問題点に対してアクセス時間の解析をし、アレイアーキテクチャーの最適化が高速化に最も有効であることを示し、2層アルミ配線プロセスを用いた高速アレイアーキテクチャーの提案をし、16メガビットダイナミックRAMに適用した結果について述べる。さらに、システムの高性能化に有効な列アクセス機能の一層の高速化を実現可能とする回路技術について述べる。

動作マージンの拡大については、微細化に起因するメモリアレイ内雑音、特にビット線間雑音が動作余裕度に及ぼす影響について解析し、その対策について述べる。またパッケージ材料に含まれる充填剤(フィラー)による応力が引き起こすセンスアンプの誤動作について解析し、その対策について述べる。更に低電圧動作に適した回路技術による新しいメモリアレイアーキテクチャーの提案を行い性能検討を行う。

メモリ試験技術については、ダイナミックRAMのテスト時間は単純に集積度に比例するため、大容量化が進むにつれて、テスト時間増大、ひいてはテストコストの増大が深刻な問題点になる。またプロセスの複雑化に伴い、より信頼性の高いテスト技術が要求される。そこで設計上の見地からテスト効率化として、メモリセルの高信頼性加速試験技術(エージングモード)及び超並列試験技術(ラインモードテスト)を新たに提案し、その有効性について述べる。

システム化技術の面では、MOSダイナミックRAMを核としたシステムのオンチップ化についてその長所、問題点について論じ、高信頼性システム化及び高速システム化の一例としてそれぞれ、ダイナミックRAMに新規なアーキテクチャーで誤り訂正回路を組み込み構成したオンチップECCDRAMと、キャッシュメモリをダイナミックRAMに搭載したキャッシュDRAMの新しい構成を提案し、試作・評価により技術的検討を行い、その有効性を示す。また今後のメモリのシステム化に関し、新しい発展の方向を示唆する。

最後に以上の研究成果を16MビットダイナミックRAMに適用し、その工学的応用効果を、電気特性評価・信頼性評価結果により明らかにする。

論文審査の結果の要旨

本論文は、大容量メモリー素子実現のための課題を解決し、16メガビットダイナミックメモリー（以下16MDRAM）とそのシステム化を実現した成果をまとめたものである。

まず、微細セルでは、信頼性を確保するため低電圧で動作させる必要がある。このため、低電圧下で十分な動作マージンを得るため電荷蓄積容量を減らすことなく微細化する必要がある。新しい3次元メモリーを考案、試作し、その特性を測定して良好なメモリー保持特性および動作マージンを持つセルを実現している。

高速化に関しては、アクセス時間のモデル化と解析を行い、アレイ構成の最適化が高速化に最も有効であることを指摘し、新しい回路構成として階層データ線構成と多目的レジスタ（Multi Purpose Register：MPR）を提案し、プロセス技術として2層アルミ配線技術を導入して、電源電圧3.3Vでアクセス時間60nsの高速度の16MDRAMを実現している。

動作余裕度の拡大に関しては、大容量化によりアレイ内雑音、とりわけビット線間干渉雑音の増大が、動作余裕度を著しく劣化させるという問題点を見だし、その対策としてツイストビット線構成を考案している。次いで樹脂封止パッケージ材料に含まれる充填剤による局所的内部応力がセンスアンプ感度を低下させ、誤動作させる新しい不良現象を発見し、解決している。

大容量化によるテストコストの増加が、DRAMの量産に対し大きな障害となってきた。これに対し、1本のワード線につながるメモリーセルを1度でテストするラインモードテストを考案し、信頼性の高いテストを短時間で実施できることを示している。

メモリスシステム周辺をも1チップに取り組んだ構成が展開されると予想される。本論文では、微細化や低電圧動作に伴う信号電荷量の減少という問題点に対し、高信頼性を実現するため、メモリスシステムに用いられているECC（Error checking and correcting）システムをオンチップ化し、ソフトエラーを10桁改善して信頼性の高いメモリスシステムを実現した。また近年問題が顕在化しているDRAMとマイクロプロセッサとの速度ギャップを解消する手段として、DRAMにキャッシュメモリー機能を搭載する構成を実現し、アクセス時間12nsと高速なメモリスシステムを実現した。

以上の成果は、半導体メモリーデバイスの大規模集積化技術に関して、有用な新しい成果を得ており、半導体工学の進歩に貢献するところ大であり、博士（工学）論文として価値あるものと認める。