



Title	薄膜SOI MOSFETの高速・低消費電力LSIへの応用に関する研究
Author(s)	山口, 泰男
Citation	大阪大学, 1993, 博士論文
Version Type	
URL	<a href="https://hdl.handle.net/11094/38631">https://hdl.handle.net/11094/38631</a>
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 <a href="https://www.library.osaka-u.ac.jp/thesis/#closed">＜a href="https://www.library.osaka-u.ac.jp/thesis/#closed"&gt;https://www.library.osaka-u.ac.jp/thesis/#closed</a> >大阪大学の博士論文について</a>をご参照ください。

*The University of Osaka Institutional Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏 名 やま 山 ぐち 口 やす 泰 お 男

博士の専攻分野の名称 博 士 (工 学)

学 位 記 番 号 第 1 0 9 7 8 号

学 位 授 与 年 月 日 平 成 5 年 11 月 30 日

学 位 授 与 の 要 件 学位規則第4条第2項該当

学 位 論 文 名 薄膜 SOI MOSFET の高速・低消費電力 LSI への応用に関する研究

論 文 審 査 委 員 (主査)  
教 授 濱 口 智 尋

教 授 吉 野 勝 美 教 授 尾 浦 憲 治 郎

## 論 文 内 容 の 要 旨

本論文は薄膜 SOI MOSFET (薄膜 SOI 素子) の高速・低消費電力 LSI の応用に関する研究成果をまとめたもので、本文7章から構成されている。

第1章は薄膜 SOI 素子の特徴を概説するとともに、短チャネル領域での特性把握・デバイス構造の最適化の必要性を説明し、本論文の目的と意義を明らかにしている。

第2章では薄膜 SOI 素子を形成する SIMOX 基板の結晶性向上について述べ、酸素イオン注入後の超高熱処理 (～1350℃) のアニール昇温過程を工夫し、格子間シリコンの発生を抑制することにより転位密度を約2桁低減することが可能であることを明らかにしている。

第3章では短チャネル薄膜 SOI 素子のデバイス構造設計に関して述べ、増大するソース・ドレイン抵抗を低減するためにサリサイド構造を導入し、抵抗を最大限に低減できる TiSi<sub>2</sub> 膜厚と SOI 膜厚との相関を明らかにし、さらに、寄生バイポーラ動作により低下するドレイン耐圧を向上させるためにゲートオーバーラップ LDD 構造を取り入れ、電流駆動能力を保持しながら耐圧向上が得られることを明らかにしている。

第4章では薄膜 SOI 素子の短チャネル領域での基本特性に関して、電流駆動能力、寄生容量、ホットキャリア特性および基板バイアス効果について述べている。電流駆動能力については、短チャネル領域では速度飽和の影響で、可動電荷増大による電流駆動能力増加効果が減少していくことを見い出している。寄生容量については、リング発振器によって素子の容量を詳細に比べ、短チャネル領域においても低容量性が保持されることを見い出している。ホットキャリア特性については、寄生バイポーラ動作と埋め込み酸化膜へのキャリアの注入の影響があることを明らかにしている。さらに基板バイアス効果については、厚い埋め込み酸化膜を通しての間接的な印加によりその効果が低減され、低電圧動作に対して有利であることを明らかにしている。

第5章では以上の要素技術の研究成果を取り入れて最適化されたデバイス構造を用いて、ロジックデバイスである16ビット乗算器およびメモリデバイスである256kbit SRAM を作製し、0.6μm LSI レベルの薄膜 SOI デバイスの高速性・低消費電力性を明らかにしている。

第6章では $0.1\mu\text{m}$  薄膜 SOI 素子の基本構造検討を行い、良好な特性を得るためには SOI 層を少なくとも $20\text{nm}$  以下に設定すること、さらに、チャネル端容量を低減することが必要であることを明らかにしている。

第7章では第1章から第6章までの成果をまとめ本論文の結論としている。

## 論文審査の結果の要旨

薄膜 SOI 素子は、高速動作が得られること、低電圧動作に適していること、工程数が低減されることなどによりクォーターミクロン以降のデバイスの基本構造として期待されている。しかしながら、これまで長チャネル領域についての議論が多く、応用が期待されている短チャネル領域での特性の解析、構造最適化は十分に行われていなかった。本論文は実用デバイスにおいて高速・低消費電力動作を得ることを目的として、デバイス構造の最適化、短チャネル領域での薄膜 SOI 素子の特性抽出に関する一連の研究をまとめたもので、主な成果は以下のとおりである。

- (1) 薄膜 SOI 素子を形成する SIMOX 基板を工業レベルで生産できるようにな $1350^{\circ}\text{C}$ の熱処理が可能なアニール装置を開発するとともに、アニール昇温過程を工夫することにより転位密度を約2桁低減することに成功している。
- (2) 短チャネル薄膜 SOI 素子において、増大するソース・ドレイン抵抗の低減のためにサリサイド構造を導入するとともに、寄生バイポーラ動作による動作耐圧劣化に対してはドレイン構造を改良して、SOI の特徴を最大限に引き出せるようにデバイス構造を最適化することに成功している。
- (3) 短チャネルデバイスの基本パラメータである電流駆動能力、寄生容量、ホットキャリア効果、基板バイアス効果について詳細に解析を行っており、薄膜 SOI 素子が高速・低消費電力動作に非常に適していることを明らかにしている。
- (4) 最適化された薄膜 SOI 素子を実際にディープサブミクロン LSI に応用し、ロジックデバイスとして16ビット乗算器、メモリデバイスとして $256\text{kbit}$  SRAM において高速・低消費電力動作を得ることに成功している。
- (5) 将来、薄膜 SOI 素子がデバイスの基本構造となることが期待されている $0.1\mu\text{m}$  素子において、良好な特性を得るためのデバイスパラメータを明らかにしている。

以上のように、本論文は、薄膜 SOI 素子を短チャネル LSI の高速化・低消費電力化に適用する上で多くの有用な知見を得ており、半導体工学・電子工学の発展に寄与するところが大である。よって本論文は博士論文として価値あるものと認める。