

Title	A Study on Test Generation for Sequential Circuits Based on the Implicit Product Machine Traversal Method
Author(s)	崔, 湊鎔
Citation	
Issue Date	
Text Version	none
URL	<a href="http://hdl.handle.net/11094/38797">http://hdl.handle.net/11094/38797</a>
DOI	
rights	
Note	

*Osaka University Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/repo/ouka/all/>

氏名	崔 滉 鎔
博士の専攻分野の名称	博士(工学)
学位記番号	第 11379 号
学位授与年月日	平成6年3月25日
学位授与の要件	学位規則第4条第1項該当 工学研究科電子工学専攻
学位論文名	A Study on Test Generation for Sequential Circuits Based on the Implicit Product Machine Traversal Method (非明示的積機械探索法に基づく順序回路のテスト生成に関する研究)
論文審査委員	(主査) 教授 白川 功 教授 児玉 慎三 教授 寺田 浩詔 教授 熊谷 貞俊 教授 吉野 勝美 教授 濱口 智尋 教授 西原 浩 教授 尾浦憲治郎 教授 藤岡 弘 教授 西尾章治郎 教授 溝口理一郎

### 論文内容の要旨

本論文では、積機械の遷移探索に非明示的な数え挙げ手法を用いた順序回路のテスト生成法を考察し、実験結果に基づいてその有効性の評価を行っている。

第1章では、本研究の目的及び研究内容について概説している。

第2章では、順序回路のテスト生成に関する基本的な概念と、順序回路のテスト生成法に関するこれまでの研究、およびその問題点について述べている。

第3章では、積機械の遷移探索に非明示的な数え挙げ手法を用いた順序回路のテスト生成法 (IPMT 法) を提案している。正常回路と故障回路とに対して定義されるいわゆる積機械を考え、その状態遷移グラフ上でリセット状態から幅優先探索を行って、異なる出力を生じさせる入力系列を求めるものであり、非冗長な故障に対しては必ずテストが生じさせる入力系列を求めるものであり、非冗長な故障に対しては必ずテストが生成できるという意味で完全なアルゴリズムである。また、状態集合を論理関数で表現し、探索を論理関数処理で行う非明示的に数え挙げ手法の適用により効率良くテスト生成ができる手法を提案している。さらに、いくつかの回路に対して実験を行い、従来の手法で扱えなかったテスト困難な故障に対しても有効であることを示している。

第4章では、順序的深さに基づく幅優先及び深さ優先の混合探索法を用いた高速な順序回路のテスト生成法を提案している。IPMT 法では、状態対に対して完全に幅優先で探索を行うために、解の探索に時間がかかる場合がある。本章では、探索中の状態集合を、優先順位をもついくつかの部分集合に分割し、その順位の高いものから順に次の時刻の探索を行う幅優先及び深さ優先の混合探索法を考察している。また、状態対集合の効率的な分割法として、回路の構造を考慮して順序的深さに基づく方法を提案している。本手法のテスト生成時間は IPMT 法より平均して約 3 倍高速であり、特に検査系列が長い回路に対して有効であることを示している。

第5章では、像計算に分割計算法を用いた順序回路のテスト生成法を考察している。IPMT 法では、与えられた現状態対集合から次状態対集合を計算するいわゆる像計算の過程において、理論関数の表現が大きくなり過ぎるため、テスト生成が不可能となるような故障が存在している。像計算の計算量を削減する方法として、入力変数の制約を加えることにより像計算を分割して行う算法が考えられる。この新しい分割像計算法と幅優先及び深さ優先探索を組み合わせることにより、計算の一層の効率化を図っている。本手法により、従来故障検出率 100% が達成できなかった回路に対して故障検出率 100% を実現することができている。

第6章では、本研究で得られた成果を要約し、今後に残された課題について述べている。

### 論文審査の結果の要旨

本論文は、非明示的積機械探索法に基づく順序回路のテスト生成 (IPMT) に関して行った研究をまとめたものであり、以下の成果を得ている。

- (1) 順序回路のテスト生成法 (IPMT 法) に関して、積機械の遷移探索に非明示的な数え上げ手法を用いることにより、非冗長な故障に対しては必ずテストが生成できる完全なテスト生成アルゴリズムを提案し、いくつかの回路に対して実験を行い、従来の手法で扱えなかったテスト困難な故障に対しても有効であることを示している。
- (2) 順序回路の高速なテスト生成法として、順序的深度に基づく幅優先及び深さ優先の混合探索法を用いたテスト生成法を提案し、計算機実験を行い、単純な IPMT 法より高速にテスト生成ができることを確認し、本手法の有効性を示している。
- (3) 順序回路のテスト生成における像計算において、入力変数の制約を加えることにより像計算を分割して行う分割計算法を考察し、それを用いた順序回路のテスト生成法を提案し、従来像計算量が大きいためテスト生成が不可能となった故障に対してテスト生成可能であることを計算機実験により確認し、本手法の有効性を示している。

以上のように、本論文は順序回路のテスト生成法において、テストの完全性、高速化、高故障検出率の研究成果をあげており、この分野に寄与するところが大きい。よって、本論文は、博士論文として価値あるものと認める。