



Title	高エネルギーイオンビームによるDRAMのソフトエラー耐性評価と耐性構造の研究
Author(s)	佐山, 弘和
Citation	大阪大学, 1994, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/38834
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 https://www.library.osaka-u.ac.jp/thesis/#closed 大阪大学の博士論文について

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏 名	佐 山 弘 和
博士の専攻分野の名称	博士(工学)
学 位 記 番 号	第 11399 号
学 位 授 与 年 月 日	平成 6 年 3 月 25 日
学 位 授 与 の 要 件	学位規則第 4 条第 1 項該当 基礎工学研究科物理系専攻
学 位 論 文 名	高エネルギーイオンビームによる DRAM のソフトエラー耐性評価と 耐性構造の研究
論 文 審 査 委 員	(主査) 教授 蒲生 健次 (副査) 教授 小林 猛 教授 奥山 雅則 助教授 高井 幹夫

論 文 内 容 の 要 旨

本論文は、DRAM (ダイナミックランダムアクセスメモリ) 超高集積化に伴って顕著になる信頼性の問題であるソフトエラーについて、新しい評価法を開発すると同時に抑制のための高エネルギーイオン注入技術について研究を行い、DRAM におけるソフトエラーの機構、高エネルギーイオン注入層の特性、およびソフトエラー抑制に対する効果についてまとめたものである。

ソフトエラーはパッケージなどに含まれる微量な放射性物質が放出する高エネルギー粒子によって引き起こされる。従来、DRAM におけるソフトエラーは放射性物質をチップ上に配することによって加速試験が行われてきたが、この方法では高エネルギー粒子が無秩序な方向で半導体チップに入射するため、その入射位置とソフトエラーの関係は明らかにされていなかった。新しく開発したソフトエラー評価法では、高エネルギーイオンマイクロプローブを放射線源に用いて、16Mb DRAM のソフトエラー発生とイオン照射位置との関係を明らかにできた。

また、ソフトエラー抑制技術として高エネルギーイオン注入による埋込み層形成が期待されているが、半導体プロセスへの導入には照射損傷の回復とキャリア濃度分布の予測精度が問題となる。ラザフォード後方散乱法と電気的な測定を用いて、埋込み層の照射損傷の回復特性について調べ、実デバイスへの応用に対して照射損傷低減に十分なプロセス条件を明らかにした。さらに、プロセスシミュレーションによるキャリア分布予測の有効性を明らかにした。

さらに、埋込み層を実デバイスに適用し、そのソフトエラー抑制効果を調べた。埋込み層がソフトエラーに対して有効であることは報告されているが、ソフトエラーに対して効果的な埋込み層を明らかにする方法がなかった。そこで、イオンマイクロプローブを用いたイオン励起電流法を開発し、埋込み層のキャリア捕集抑制度を定量的に明らかにするとともに、キャリア捕集のシミュレーションを行い、実験の妥当性を確認した。埋込み層によって捕集される少数キャリアの量が約 20% 減少することがわかった。このことは、実際の DRAM ソフトエラー耐性が約 30 倍改善されたことに相当し、埋込み層がソフトエラー抑制に効果的に機能することがわかった。さらに、キャリアの捕集量は埋込み層の位置と照射粒子の飛程に強く依存していることが明らかになった。

論文審査の結果の要旨

本論文は、高エネルギーイオンビームを用いたダイナミックランダムアクセスメモリ（DRAM）のソフトエラー耐性評価技術と、ソフトエラー耐性構造の開発研究をまとめたものである。

超高集積化の進むDRAMでは、パッケージや配線材料に含まれる微量な放射性物質が放出する高エネルギー粒子により誘起されるソフトエラーが重要な問題となっている。このソフトエラーは、放射線源に用いて加速試験されてきたが、この方法では、高エネルギー粒子のDRAM内の入射位置を特定することができず、DRAM構造とソフトエラー耐性の関係を明らかにすることが不可能であった。本論文では、高エネルギーイオンマイクロプローブを放射線源として用いた新しい評価技術を開発することにより、DRAM内のイオン照射位置とソフトエラーの発生する確率およびソフトエラー発生機構を初めて明らかにしている。

さらに、高エネルギーイオンマイクロプローブの励起電流を計測することにより、高エネルギー粒子が誘起する雑音キャリアのメモリーセルへの捕集効率を明らかにする方法を開発している。

また、ソフトエラー耐性構造として、高エネルギーイオン注入による埋め込み層に着目し、照射損傷の低減とキャリア濃度分布を調べ、実デバイス応用のためのプロセス条件を明らかにしている。さらに、本研究で新しく開発したキャリア捕集効率測定法により、埋め込み層をもった耐性構造のキャリア捕集量が埋め込み層の位置と照射粒子の飛程に強く依存していることを明らかにし、埋め込み層によりキャリア捕集量が通常のウェル構造に対して約20%減少することを示している。これは、実際のDRAMのソフトエラー耐性が約30倍改善されたことに相当し、本研究により開発した耐性構造の優位性を示している。

これらの研究は、超高集積化の進むDRAM開発において、ソフトエラーに対して信頼性の高い素子を開発するための問題点を解決するものであり、半導体工学の発展に寄与するところ大であり、博士（工学）論文として価値あるものと認める。