The University of Osaka
Institutional Knowledge Archive

Title	MOS SRAMにおける高速化，低消費電力化，及び低電圧化に関する研究
Author(s)	村上，修二
Citation	大阪大学，1996，博士論文
Version Type	
URL	https://hdl.handle.net/11094/39483
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

【 100 】

氏　　名	村上修二（むらかみしゅうじ）
博士の専攻分野の名称	博　士（工学）
学位記番号	第　12214　号
学位授与年月日	平成8年1月12日
学位授与の要件	学位規則第4条第2項該当
学位論文名	MOS SRAMにおける高速化，低消費電力化，及び低電圧化に関する研究
論文審査委員	(主査) 教授 濱口 智尋 教授 吉野 勝美　教授 尾浦憲治郎　教授 西原 浩

論文内容の要旨

本論文はMOSスタティックRAM（SRAM）おける高速化，低消費電力化，及び低電圧化に関する研究の成果をまとめたもので，本文8章より構成されている。

第1章では，本研究に関連する分野における歴史的背景とSRAMに関する開発の沿革と現状について概説するとともに，本研究の目的と意義を明らかにしている。

第2章では，SRAMの高速化手法としてデータバス・プリチャージ方式を考案してセンスアンプの出力がチップ内部のデータバスを伝達する時間の短縮化を図るとともに，メモリセルからビット線上にデータが読み出される時間の高速化を目的としてビット線上の負荷容量がアクセス時間に及ぼす影響を解析している。

第3章では，SRAMの低消費電力化手法として，階層的ワード線デコード方式を考案してワード線デコード回路の低消費電力化を達成するとともに，シングルビット線クロスポイントセル活性化方式を考案してビット線からメモリセルに流れ込むカラム電流を極限まで低減している。

第4章では，SRAMの低電圧化手法として，メモリセルのレイアウト及び製造技術の改良により電源電圧3V以下でも動作するメモリセルを開発している。

第5章では，SRAMの高信頼性化に関し，サイクル時間が短くなるにつれてソフトエラー率が低下するという現象を新たに見い出すとともに，ホットエレクトロンによるトランジスタ特性劣下の指標として測定される基板電流を，これまで測定が困難であったSRAMのメモリセルについても推定する方法を考案している。

第6章では，これまでの研究成果の工学的応用として高速 256－Kbit CMOS SRAM を実用化し，本研究による高速化手法の有効性を明らかにしている。

第7章では，これまでの研究成果の工学的応用として低消費電力 4－Mbit CMOS SRAM を実用化し，本研究による低消費電力化及び低電圧化手法の有効性を明らかにしている。

第8章では，第2章から第7章までの成果をまとめ，本論文の結論としている。

論文審査の結果の要旨

SRAMはダイナミックRAM（DRAM）に比べて，同一製造技術水準では集積度が1／4で，ビットコストが高いというデメリットを有しているが，リフレッシュ動作が不要なこと，動作タイミングが簡単で使いやすいこと，動作速度が高速なこと，スタンバイ時の電流が小さいことなどのメリットにより，多種多様な応用が期待されている。特に最近では，コンピュータのキャッシュメモリとしての高速性を追求したSRAMや，携帯機器のメモリとしての低消費電力性及び低電圧動作を特徴とするSRAMの需要が大きく成長している。これらの新しい応用分野に対しては従来にないアーキテクチャや回路を考案し適用することが必要となる。

本論文は，上記の高性能なコンピュータシステムや携帯機器に使用されるSRAMアーキテクチャ及び回路面設計面からの高速化，低消費電力化，及び低電圧化に関する一連の研究をまとめたもので，主な成果は以下のとおりである。

(1) SRAMの高速化手法としてデータバス・プリチャージ方式を考案して，負荷容量が大きいために従来高速化が困難であったチップ内部のデータバスの高速化に成功するとともに，ビット線上の負荷容量がアクセス時間に及ぼす影響を明らかにして将来のより集積度の高いSRAMに適するメモリセルアレイ構成を得ることに成功している。

(2) ワード線を選択する回路の負荷容量を各階層に分散する階層的ワード線デコード方式，及びワード線を従来の列方向に加えて行方向にも配置することで選択されるメモリセルにしか電流が流れないシングルビット線クロスポイントセル活性化方式を考案して，SRAM内部の消費電力を低減することに成功している。

(3) メモリセルのレイアウト及び製造技術の改良により，メモリ面積を増加することなく3V以下の低電源電圧でも動作するメモリセルの開発に成功している。

(4) SRAMの高信頼性化に関し，サイクル時間を短くするとソフトエラー率が減少するという新しい現象を発見してそのメカニズムを明らかにするとともに，ホットエレクトロンによるMOSトランジスタの特性劣化の指標となる基板電流を，これまで測定が困難であったSRAMのメモリセルについても推定することに成功している。

(5) 高集積高速 256－Kbit CMOS SRAM の実用化に成功し，本研究による高速化手法の有効性を明らかにしている。

(6) 高集積低消費電力 4－Mbit CMOS SRAM の実用化に成功し，本研究による低消費電力化及び低電圧化手法の有効性を明らかにしている。

以上のように，本論文は MOS SRAM の高速化，低消費電力化，及び低電圧化を実現する上で多くの有用な知見を得ており，半導体工学，電子工学に寄与するところが大きい。

よって，本論文は博士論文として価値あるものと認める。