



Title	Investigation on the Short-Channel Silicon-on-Insulator (SOI) MOSFET Towards 0.1 $\mu$ m Gate Length for Future VLSI Applications
Author(s)	Joachim, Hans-Oliver
Citation	大阪大学, 1996, 博士論文
Version Type	
URL	<a href="https://hdl.handle.net/11094/39521">https://hdl.handle.net/11094/39521</a>
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 <a href="https://www.library.osaka-u.ac.jp/thesis/#closed">https://www.library.osaka-u.ac.jp/thesis/#closed</a> 大阪大学の博士論文について <a href="https://www.library.osaka-u.ac.jp/thesis/#closed">https://www.library.osaka-u.ac.jp/thesis/#closed</a> をご参照ください。

*The University of Osaka Institutional Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏名	ヨアヒム ハンス オリバー Joachim Hans - Oliver
博士の専攻分野の名称	博 士 ( 工 学 )
学位記番号	第 1 2 2 8 6 号
学位授与年月日	平成 8 年 3 月 5 日
学位授与の要件	学位規則第 4 条第 2 項該当
学位論文名	Investigation on the Short - Channel Silicon - on - Insulator (SOI) MOSFET Towards 0.1 $\mu$ m Gate Length for Future VLSI Applications (VLSI 応用のための短チャネル SOI MOSFET とその 0.1 $\mu$ m レベルへのスケージングに関する研究)
論文審査委員	(主査) 教授 濱口 智尋 教授 吉野 勝美      教授 尾浦憲治郎      教授 西原 浩

### 論 文 内 容 の 要 旨

本論文は絶縁基板上に MOS 型電界効果トランジスタを形成した SOI MOSFET (SOI 素子) の短チャネル特性とその 0.1  $\mu$  m 素子へのスケージングについてまとめたもので、本文 9 章から構成されている。

第 1 章では SOI 素子についての特徴を概説するとともに、短チャネル SOI 素子研究の必要性について述べている。

第 2 章では SOI 素子を構成するための SOI 基板形成技術について概説している。

第 3 章では SOI 素子について基本特性の検討を行っている。厚膜および薄膜 SOI 素子、完全空乏化および部分空乏化 SOI 素子、さらに反転モードおよび蓄積モード SOI 素子の比較を行っている。

第 4 章では完全空乏化 SOI 素子のサブスレショルド特性およびしきい値電圧についての解析モデルについて述べている。このモデルでは、埋め込み酸化膜/SOI 界面での正確な境界条件を導出するために、実効基板電圧の概念を導入し、得られた解は各パラメータに対して線形性を持つ簡単な形になっている。したがって、簡単な解析式を用いて正確に SOI トランジスタの特性を予測することが可能になっている。

第 5 章では SOI 素子のゲート長を 0.1  $\mu$  m 近辺のディープサブミクロン領域に微細化したときの理論的な解析について述べている。数値計算と解析モデルにより蓄積モード素子と反転モード素子について比較検討し、反転モード素子の方が微細化に適していることを見いだしている。

第 6 章では 0.1  $\mu$  m 素子の試作のためのプロセス技術について述べている。微細化 SOI 素子を安定動作させるために、素子分離技術としてメサ分離法を、微細描画技術として電子線描画法を、電極技術としてデュアルゲート技術を、ソースドレインの低抵抗化技術として自己整合シリサイドの最適化を行ったことを述べている。

第 7 章では試作した微細化素子の試作結果について述べている。0.15  $\mu$  m リング発振器より 1.5V で 38.1ps の高速動作を得ることができ、SOI 素子の高速・低消費電力特性がこの領域まで保持されることを明らかにしている。

第 8 章では短チャネル SOI 素子の応用について述べており、SRAM、DRAM の試作から LSI への応用の可能性を示している。また、0.1  $\mu$  m SOI 素子の構造設計について考察し、埋め込み酸化膜/Si 基板界面に高濃度層を導入した新トランジスタ構造により短チャネル効果を低減できることを明らかにしている。

第9章では第1章から第8章までの成果をまとめ結論としている。

## 論文審査の結果の要旨

SOI MOSFET は極薄膜シリコン層上に形成されるため、通常のシリコン基板上的MOSFETで見られた寄生効果のない理想的な素子構造が得られる。これにより、高速・低消費電力動作が可能になり、特に低電圧でその効果が大きいことから低電圧動作の微細化素子の特性改善に期待されている。さらに、携帯機器の消費電力低減が可能な素子としても来るべきマルチメディア時代にむけて期待が大きい。これらの背景に対し、VLSIに期待されている短チャンネルSOI MOSFET の特性を詳細に評価・解析することが求められている。本論文は SOI MOSFET の短チャンネル特性とその0.1  $\mu\text{m}$ 素子へのスケーリングについてまとめたもので、主な成果は以下の通りである。

- (1) SOI MOSFET のサブスレショルド特性およびしきい値電圧についての解析モデルを提案している。このモデルでは、埋め込み酸化膜/SOI界面での正確な境界条件を導出するために、実効基板電圧の概念を導入し、得られた解は各パラメータに対して線形性を持つ簡単な形になっている。このモデルにより、簡単な解析式を用いて正確なSOI MOSFETの特性を予測することに成功している。
- (2) SOI MOSFET のゲート長0.1  $\mu\text{m}$ 近辺のディープサブミクロン領域に微細化したときの理論的な解析について、本研究の解析モデルおよび数値計算を用いて蓄積モード素子と反転モード素子について比較検討し、反転モード素子の方が微細化に適していることを明らかにしている。
- (3) 実際に0.1  $\mu\text{m}$ 素子を試作することにより、計算によって予測した高速・低消費電力特性がこの寸法でも保持できることを明らかにしている。試作の際には、素子分離技術としてメサ分離法を、微細描画技術として電子線描画法を、電極技術としてデュアルゲート技術と、ソースドレインの低抵抗化技術として自己整合シリサイドという最新技術を導入し、微細化SOI素子を安定動作させることに成功している。
- (4) LSIへの応用に関して、短チャンネルSOI素子を用いたSRAM, DRAMの試作に成功している。さらに0.1  $\mu\text{m}$ SOI素子の構造設計について考察し、埋め込み酸化膜/Si 基板界面に高濃度層を導入した新トランジスタ構造により短チャンネル効果を低減できることを明らかにしている。

以上のように、本論文は、SOI MOSFET の短チャンネル特性とその0.1  $\mu\text{m}$ 素子へのスケーリングについて多くの有用な知見を得ており、半導体工学・電子工学の発展に寄与するところが大である。

よって本論文は博士論文として価値あるものと認める。