Osaka University Knowledge Archive

Title	データ駆動形プロセッサの自己同期回路によるVLSI実現に関する研究
Author(s)	小守, 伸史
Citation	大阪大学, 1995, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/39594
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

Osaka University Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

Osaka University

【 51 】

氏　　名	小　守　伸　史
博士の専攻分野の名称	博　士（工学）
学位記番号	第　12064　号
学位授与年月日	平成7年8月8日
学位授与の要件	学位規則第4条第2項該当
学位論文名	データ駆動形プロセッサの自己同期回路によるVLSI実現に関する研究
論文審査委員	(主査) 教授 寺田 浩詔 教授 白川 功　教授 藤岡 弘

論文内容の要旨

本論文は，データ駆動形マイクロプロセッサの自己同期回路によるVLSI実現に関する研究をまとめたもので，本文は8章から構成されている。

第1章では，本研究の関連分野のこれまでの研究経緯と技術開発動向について述べ，本研究を行なうに到った動機および目的と意義を明らかにしている。

第2章では，従来方式のマイクロプロセッサの性能向上を阻害する要因の分析を行い，徹底したパイプライン処理とマルチタスクの同時並行処理を可能とする動的データ駆動方式が有効であることを論述している。

第3章では，自己同期回路を用いてハンドシェイクデータ転送を行なうパイプライン処理機構（「エラスティックパイプライン処理機構」）がVLSI設計に適しており，とくにデータ駆動形マイクロプロセッサの高速化に寄与することを述べている。高速かつ安定に動作する「エラスティックパイプライン処理機構」を実現するために必要となるC素子回路の構成，テストチップの設計，試作ならびに評価結果について論述している。

第4章では，自己同期設計のための要素回路を整理し，基本C素子の簡単な変形や組み合わせによって，高性能マイクロプロセッサが構築できることを示している。また自己同期回路による2種類の機能チップの設計，試作および評価結果について述べている。

第5章では，確率モデルを用いた性能評価技術について述べている。個々の命令の出現頻度や，特定の応用プログラムのセットに対する実行時間で性能評価を行っている現状の手法の問題点を明らかにし，マルコフ過程モデルを導入した性能評価がアーキテクチャ設計段階において有効であることを示している。また，本手法をデータ駆動形プロセッサの設計に適用した結果についても論述している。

第6章では，本研究の工学的応用である5チップセット版データ駆動形マイクロプロセッサ QV－1 のアーキテクチャ，構成および評価結果について述べている。エラスティックパイプライン処理機構を全面的に採用したVLSIチップセットを用いて構築した QV－1 が安定に動作し，10MFLOPSを越える性能を達成したことを述べている。

第7章では，本研究の工学的応用であるシングルチップ版データ駆動形マイクロプロセッサRAPIDのアーキテクチ

ャ，ハードウェア実現および評価結果について述べている。RAPIDは，エラスティックパイプライン方式を採用すると同時に，データ駆動形プロセッサを単一チップ上に集積することにより，50Mパケット／秒の高スループットを達成している。また，アーキテクチャ面でも「ハッシュメモリ・連想メモリ併用型」のマッチングメモリの採用，ストリーム型データの高速処理のためのベクトル演算機構のオンチップ化などの改善を行っている。これらのアーキテクチャ上の改善に関する評価結果についても述べている。

第8章では，データ駆動形マイクロプロセッサの自己同期回路によるVLSI実現に関する研究成果を総括し，本研究の結論を述べている。

論文審査の結果の要旨

本論文は，マイクロプロセッサの性能向上を目的として実施した，データ駆動形マイクロプロセッサの自己同期回路によるVLSI実現に関する研究をまとめたものであり，その研究成果の主なものをあげれば次の通りである。

(1) データ駆動形マイクロプロセッサのアーキテクチャに対しては，対象とする問題に内在する並列性を最大限に利用できる。「動的データ駆動アーキテクチャ」に基づく計算機のハードウェア実現に関して基礎的検討を行った上で，種々の新規な提案と有効性の評価を実施し，高性能データ駆動形プロセッサ実現のためのアーキテクチャ技術を確立している。

アーキテクチャの基礎的検討の過程として，標準ICを用いたプリント基板によるエミュレータの設計・試作を行い，動的データ駆動アーキテクチャに基づく計算機が無矛盾に動作することを確認すると同時に，実際のプログラム実行時の動作解析等を実施している。

また，「動的データ駆動アーキテクチャ」の性能を決定する上で最も重要な機能ブロックであるマッチングメモリについては，「アドレスハッシュメモリ」と32エントリの小容量の「内容検索メモリ」(Content Addressable Memory : CAM) の組み合せにより実現したことにより，例えばWhetsstoneベンチマークテストの場合，全マッチング処理の12.1％でハッシュ衝突が起こったにもかかわらず，ほとんど性能の低下がなく (0.01％以下)，20.9MWIPSの高性能を達成している。

(2) 回路動作の高速化技術に対しては，高速かつ安定に動作する改良版の自己同期回路素子 (C素子) を提案するとともに，VLSIによる試作・評価を行い，提案の有効性を実証している。1.3 μ mCMOSプロセスを用いて試作した32ビット浮動小数点演算チップは，エラスティックパイプラインと称する自己同期方式の多段パイプラインを採用することにより，40MFLOPSを越える性能を達成している。また，キューバッファチップ，プログラムメモリ，マッチングメモリ，分岐・合流チップについても同様の方式により設計・試作し5チップセット版データ駆動形プロセッサを開発している。

(3) シングルチップ版データ駆動形マイクロプロセッサに対しては，0.8 μ mCMOSプロセスを用いて，約70万素子を1チップ上に集積し，エラスティックパイプライン方式により，50MFLOPSを越える性能を外部クロックなしで達成している。

シングルチップ版では，データ駆動アーキテクチャで問題となる定型データの処理効率を向上させるためにベクトル処理機能をチップに内蔵させている。また，マルチプロセッサ並列処理の効率を向上させるために分散型共有メモリアクセスのためのパケット通信機能についてもチップに内蔵している。

(4) データ駆動形マイクロプロセッサの機能設計段階におけるアーキテクチャ評価に対しては，マルコフ過程を導入することにより簡略に実用的な性能評価を行う方法を提案している。パイプライン中に配置されているキューバッファの滞留データパケット数がゼロになる確率がP0のときに，パイプライン稼働率が (1 − P0) となることに着目し，マルコフ過程を用いてプログラム構造から抽出したパラメタのみを用いてP0を導出し，この結果が動的に解析したプログラム実行結果とよく一致することを実証している。

以上のように本論文では，動的データ駆動アーキテクチャに基づく高性能マイクロプロセッサ実現のためのアーキテクチャ技術および回路設計技術を確立しており，情報システム工学に対して寄与するところが大きい。よって，本論文は博士論文として価値あるものと認める。