

Title	MOS論理LSIの高性能化・設計効率化のための階層的 設計手法に関する研究
Author(s)	徳田, 健
Citation	
Issue Date	
oaire:version	
URL	<a href="https://hdl.handle.net/11094/39643">https://hdl.handle.net/11094/39643</a>
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 <a href="https://www.library.osaka-u.ac.jp/thesis/#closed">https://www.library.osaka-u.ac.jp/thesis/#closed</a> 大阪大学の博士論文について <a href="https://www.library.osaka-u.ac.jp/thesis/#closed">https://www.library.osaka-u.ac.jp/thesis/#closed</a> をご参照ください。

*Osaka University Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏 名	徳 田 健 <sup>たけし</sup>
博士の専攻分野の名称	博 士 ( 工 学 )
学 位 記 番 号	第 1 2 1 0 9 号
学 位 授 与 年 月 日	平 成 7 年 1 0 月 4 日
学 位 授 与 の 要 件	学 位 規 則 第 4 条 第 2 項 該 当
学 位 論 文 名	MOS論理LSIの高性能化・設計効率化のための階層的設計手法に関する研究
論 文 審 査 委 員	(主査) 教 授 寺 田 浩 詔 教 授 白 川 功 教 授 藤 岡 弘

## 論 文 内 容 の 要 旨

本論文は、MOS論理LSIの高性能化・設計効率化のための階層的設計手法に関する一連の研究をまとめたものであり、6章から構成されている。

第1章は序論であり、本研究に関連する分野のこれまでの研究経緯を述べ、本研究の動機、目的並びに意義を明らかにしている。

第2章では、MOS論理ゲートの遅延時間解析に基づき、遅延時間が入力信号波形に依存することから、高精度な遅延時間の計算には入力波形の考慮が必要となることを明らかにし、入力容量と出力容量から計算した詳細な遅延時間を、論理シミュレータの遅延時間モデルに応用する手法を提案している。

第3章では、高性能カスタムLSIへの適用を目的として、論理ゲートを単位とする標準セルを用いて、論理設計、レイアウト設計、およびタイミング検証を階層的に行う階層的標準セル設計手法、および、高集積・高性能が要求される標準LSIの設計に適用可能なマクロセル設計手法を提案している。

第4章では、第3章で述べた設計手法を事務計算用コンピュータの16ビットCPUの設計に適用し、階層的標準セル設計手法が短期開発を必要とする高性能論理LSIの設計に有効であることを明らかにしている。さらに16ビット信号処理用マイクロプロセッサの設計に適用し、マクロセル設計手法が高集積・高性能かつ短期開発を達成する有効な設計手法であることを明らかにしている。

第5章では、階層的設計手法を基本に、クロックの制御方式を主体とする高速化・低消費電力化設計手法を提案し、24ビットDSPをコアとするデジタル携帯電話用VSELPコーデックの設計に適用し、その工学的有効性を明確にしている。

第6章では、第2章から第5章までに述べたMOS論理LSIの階層的設計手法に関する研究の成果を総括している。

## 論文審査の結果の要旨

大規模で複雑な構造を有する論理LSIを高性能かつ高密度に設計するために、設計手法は必要不可欠な役割を果たしている。本論文は、標準セルおよびマクロセルを用いて階層的に論理LSIを設計する新しい手法を提案し、これらの手法を大規模論理LSIに適用した一連の研究をまとめたものである。得られた主な成果は次の通りである。

- (1) 入力波形の傾きを考慮した新しい遅延時間計算方法を提案し、その遅延時間モデルを論理シミュレータに適用することによって、回路シミュレータと同等レベルの詳細な遅延時間精度で、回路シミュレータより2桁以上高速なタイミング検証を可能にしている。
- (2) 階層的標準セル方式の設計手法を提案し、その設計手法を支援する設計システムを用いることにより、システム設計者が直接標準セルを用いて階層的にレイアウト設計を行うことを可能とし、高性能カスタム論理LSIのレイアウト設計期間を大幅に短縮している。
- (3) 階層的標準セル方式にシンボリック設計のマクロセル等を適用するマクロセル手法を提案し、信号処理マイクロプロセッサなど標準LSIのレイアウト設計効率をマニュアルレイアウトに比較して3倍程度向上させている。
- (4) 階層的な論理LSI設計手法に加え、基本クロックの制御に工夫した低消費電力化設計手法を提案し、高性能かつ低消費電力が要求されるデジタル携帯電話用VSELPコーデックの低消費電力化設計において著しい効果を得ている。

以上のように、本論文は大規模論理LSIの設計手法に関して多くの新しい知見を含んでおり、集積回路設計技術の分野に寄与するところが大きい。よって本論文は、博士論文として価値あるものと認める。