Osaka University Knowledge Archive

Title	映像伝送用定係数ディジタルフィルタのVLSI化設計に関する研究
Author(s)	岡田, 圭介
Citation	大阪大学, 1997, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/40182
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

Osaka University Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

Osaka University

氏　　名	岡　田　圭　介（おか　だ　けい　すけ）
博士の専攻分野の名称	博　士（工　学）
学　位　記　番　号	第　13159　号
学位授与年月日	平成9年3月25日
学位授与の要件	学位規則第4条第1項該当 工学研究科電子工学専攻
学　位　論　文　名	**映像伝送用定係数ディジタルフィルタのVLSI化設計に関する研究**
論文審査委員	（主査） 教　授　白川　功 教　授　西原　浩　　教　授　寺田　浩詔　　教　授　濱口　智尋 教　授　藤岡　弘　　教　授　尾浦憲治郎　　教　授　熊谷　貞俊 教　授　吉野　勝美　　教　授　西尾章治郎

論文内容の要旨

本論文は，映像伝送システムに用途を限定して回路規模の削減を図った乗算器，FIR型ディジタルフィルタ，および映像データ特有の走査線間処理を行うための記憶素子であるラインメモリのVLSI化設計に関する研究をまとめたもので，以下の6章から構成される。

第1章では，映像伝送システムにおける映像データの特徴を述べ，本研究の背景と目的を明らかにするとともに，研究内容と成果について概説している。

第2章では，ディジタルフィルタの基本構成要素である並列乗算器の回路構成を，ブースのアルゴリズムを用いることを前提に考察している。並列乗算器を構成する回路ブロックの内，ブースデコーダ部の回路規模を増大させても部分積生成部の回路規模削減が可能であれば，全体として回路規模削減の効果があることを示している。

第3章では，従来から用いられている部分積の総和を求める形の乗算手法を用いず，新たな乗算手法として，変数入力と乗算出力における各ビットの値を決定する関係式を，定数入力値をパラメータとして導出する手法を考察し，本回路構成の問題点と優れた速度性能について明らかにしている。

第4章では，第3章で提案した乗算器構成の利点，欠点を踏まえ，プログラム可能な定係数ディジタルフィルタへの本乗算器の適用を検討し，大規模集積システム設計教育センターにおいて行った平成8年度チップ試作テストランで得られたVLSI実装結果について述べている。

第5章では，ディジタルフィルタの基本構成要素の一つである遅延素子の高性能化についての検討結果を示している。特に，映像処理システムにおいて垂直方向（2次元画面の縦方向）のフィルタ処理に必須となる，1水平走査線期間の映像データの蓄積を行うラインメモリの高性能化に関する検討結果について述べている。

第6章では，本研究で得られた成果を要約し，今後に残された課題について述べている。

論文審査の結果の要旨

本論文は，映像伝送用定係数ディジタルフィルタのVLSI化設計に関して行った研究をまとめたものであり，以下の成果を得ている。

(1) 従来から並列乗算器のアーキテクチャとして広く用いられているBoothのアルゴリズムを基本とし，定係数乗算器向け回路構成を検討している。この結果，Boothデコーダ部の回路規模を増大させても，部分積回路部の回路規模削減を図ることが，多くの乗算器を集積する場合有効であることを示している。また，Boothの手法を用いた場合，回路規模増加の原因となる2の補数演算回路を定係数演算部に組み込むことでも，回路規模削減の効果があることを示している。

(2) 部分積の総和を求める形式の，従来からの乗算手法を用いず，変数入力と乗算出力における各ビットの値を，定数入力値をパラメータとして直接決定するという，1－Out－of－N Codeを用いた，新しい乗算原理を考案し，本手法が高速性に優れることを示している。

(3) 新たな乗算原理の導入は，高速性に優れた乗算器の実現を可能にするものの，回路規模の増大という問題点があることを明らかにし，この問題を解決するために，本乗算手法を用い部分積を求める乗算器の構成について検討し，FIR型ディジタルフィルタの構成を考察している。その結果，所望の動作速度を達成しつつ回路規模の削減が図れることを明らかにし，VLSI化実装を行っている。

(4) ディジタルフィルタの他の構成要素として，遅延回路の低消費電力化に対する解析を行い，TG（Transmission Gate）のトランジスタサイズを小さくすることで，速度劣化なく低消費電力化が可能であることを示している。

以上のように，本論文は映像伝送用定係数ディジタルフィルタのVLSI化設計に対して多くの有用な成果をあげており，システムの高性能化，高機能化に寄与するところが大きい。よって本論文は，博士論文として価値あるものと認める。