



| | |
|--------------|---|
| Title | 消費電力を考慮したCMOS回路の論理設計に関する研究 |
| Author(s) | 上田, 祐彰 |
| Citation | 大阪大学, 1997, 博士論文 |
| Version Type | |
| URL | https://hdl.handle.net/11094/40202 |
| rights | |
| Note | 著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について 〈/a〉 をご参照ください。 |

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

| | |
|------------|---|
| 氏名 | うえだ ひろあき 上田 祐彰 |
| 博士の専攻分野の名称 | 博士(工学) |
| 学位記番号 | 第 13201 号 |
| 学位授与年月日 | 平成9年3月25日 |
| 学位授与の要件 | 学位規則第4条第1項該当 工学研究科応用物理学専攻 |
| 学位論文名 | 消費電力を考慮した CMOS 回路の論理設計に関する研究 |
| 論文審査委員 | (主査) 教授 樹下 行三 教授 豊田 順一 教授 増原 宏 教授 中島 信一 教授 後藤 誠一 教授 一岡 芳樹 教授 伊東 一良 教授 志水 隆一 教授 八木 厚志 教授 萩行 正憲 教授 川上 則雄 教授 興地 斐男 教授 河田 聡 教授 石井 博昭 教授 岩崎 裕 |

論文内容の要旨

本論文は、CMOS 論理回路における最大消費電力の評価手法及び多段論理最適化手法を応用した CMOS 論理回路に対する平均消費電力の低減化手法並びにローパワー設計とテストビリティとの関係について論じたものである。

第1章では、本研究の背景と論文の構成について述べている。

第2章では、消費電力の評価モデルおよびローパワー設計の目的関数について述べ、これまでに報告されている電力評価手法、ローパワー設計手法について概説している。

第3章では、CMOS 論理回路に対する最大消費電力の評価手法について述べている。ここでは、最大消費電力の評価問題を、入力対に対して同時に出力値が変化可能な最大変化ゲート数を求める問題に帰着させ、分枝限定法に基づく最大変化ゲート数の評価法を提案している。また、最大変化ゲート数を評価する手法として、分枝限定法を修正した手法である、深さ優先近似法、幅優先近似法、および遺伝的アルゴリズムに基づいた評価手法を提案している。

第4章では、トランスダクション法を利用したローパワー設計について述べている。ここでは、確率計算による平均消費電力評価手法の高速化手法を提案し、平均消費電力を最小化するようにトランスダクション法を修正した手法として PORT 法を提案している。また、ベンチマーク回路を用いて提案手法の有効性を示している。

第5章では、前章で述べたローパワー設計手法を大規模な回路に対しても適用できるように改良している。ここでは、大規模な回路から部分回路を抽出し、抽出された部分回路の各々に対して PORT 法を適用することによって回路全体の平均消費電力を低減化する手法を提案し、さらに遅延を考慮したローパワー設計について述べている。ここでは、遅延を考慮して評価された平均消費電力を最小化できるように PORT 法を改良した手法である PORT-D 法と PORT-MIX 法を提案し、ベンチマーク回路を用いてその有効性を示している。

第6章では、PORT 法を適用することにより得られた回路のテストビリティに関する考察を行っている。回路のテストビリティを表すパラメータとして、単一縮退故障に対するテストベクトル数とその生成時間、回路内のパスの長さとの総数を考え、PORT 法の適用前及び適用後の回路の各パラメータの値を比較することにより、ローパワー設計と回路のテストビリティとの関係について考察している。

第7章では、提案手法とその有効性について総括し、本論文のまとめと今後の研究課題について述べている。

論文審査の結果の要旨

半導体の微細化加工技術の進歩によって集積回路の大規模・高性能が進むと同時に、小型化に伴う携帯機器の発達によって消費電力の評価が集積回路設計における重要な研究課題となっている。消費電力を評価するパラメータとしては、電源電圧、回路の負荷容量、動作周波数、論理動作中のスイッチング回数などがあり、それらに応じた手法が提案されているが、本論文ではCMOS回路の論理設計の立場から、論理動作中のスイッチング回数を電力パラメータとして評価する設計手法を提案している。本手法は任意のCMOS論理回路に対して適用出来るので、他のパラメータによる低消費電力化と併用して適用することが可能である。以上の背景のもとに、本論文は、消費電力を考慮した論理設計手法として、CMOS論理回路における最大消費電力の評価法、多段論理最適化手法を応用したCMOS論理回路に対する平均消費電力の低減化手法、及びローパワー設計とテストビリティとの関係について述べたものであり、その主な成果を要約すると次の通りである。

- (1) CMOS理論回路における最大消費電力を見積る方法として、ランダム入力によるシミュレーションが用いられていたが、最大値を得るためには膨大な入力数が必要となる。本論文では、分枝限定法を修正した手法である、深さ優先近似法および幅優先近似法により、ランダム入力による方法に比べて、より良い近似解が求められることを示し、更に遺伝的アルゴリズムに基づく最大消費電力評価法を提案し、交差方法、突然変異確率などの遺伝的アルゴリズムのパラメータの選択に考察を加えることにより、高速でかつ良い近似解が得られることを示している。
- (2) スwitching回数を最小化するローパワー設計手法として、従来の多段論理最適化手法として回路面積の最小化に用いられていた許容関数によるトランスダクション法を用いて回路変換を行い、その中からスイッチング回数が最小となる回路を見出すPORT法を提案し、効率よくローパワー設計が達成されることを示している。
- (3) PORT法をゼロ遅延モデルに対して実現し、ベンチマーク回路に対するローパワー設計を行い、従来のトランジスタ数の減少効果を上回る電力消費の低減化が実現されることを示している。
- (4) 大規模回路に対しても適用可能な消費電力パラメータの評価法として、部分回路抽出による評価法を提案し、適応可能な回路規模の拡大を図っている。
- (5) 遅延を考慮することにより、消費電力パラメータの削減率が変わると共に実現回路も異なることを示し、遅延を考慮したローパワー設計手法の重要性を示している。遅延を考慮したローパワー設計手法として、ゼロ遅延モデルによる回路変換と単一遅延モデルによる回路変換の2段階を併用した手法を考案し、ベンチマーク回路を用いてその有効性を評価し、高い消費電力の削減能力をもつことを明らかにしている。
- (6) 本手法で変換された回路についてテスト容易性の評価を行っている。ここでの評価項目は、変換された回路に対するテストベクトルの個数、テスト生成に要する時間、論理回路内のパスの長さやパスの総数など回路のテストビリティに関する項目である。テストベクトルの個数、テスト生成に要する時間についてはローパワー設計と両立し得るが、パスの長さやパスの総数についてはローパワー設計と相容れない要素となることを明らかにし、ローパワー設計時にはパス長とパス数を考慮してPORT法を適用して変換を行う必要があることを提示している。

以上のように本論文は、CMOS回路に対する消費電力を考慮した論理設計として、最大消費電力の評価、ローパワー論理設計とそのテストビリティについて述べたものであり、消費電力を考慮した新しい論理設計手法を提案しその有効性を明らかにし、論理設計上でのローパワー設計に関する多くの知見を得ており、応用物理学、特に計算機工学、集積回路工学に寄与するところが大きい。よって本論文は、博士論文として価値あるものと認める。