The University of Osaka
Institutional Knowledge Archive

Title	高速ディジタル通信用LSIの高性能化に関する研究
Author(s)	近藤, 晴房
Citation	大阪大学, 1997, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/40288
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

【 95 】

氏　　名	近　藤　晴　房（こんどう　はるふさ）
博士の専攻分野の名称	博　　士（工　　学）
学 位 記 番 号	第　12868　号
学位授与年月日	平成 9 年 3 月 18 日
学位授与の要件	学位規則第 4 条第 2 項該当
学 位 論 文 名	**高速ディジタル通信用 LSI の高性能化に関する研究**
論 文 審 査 委 員	(主査) 教 授 池田 博昌 (副査) 教 授 倉薗 貞夫　教 授 森永 規彦　教 授 小牧 省三 教 授 前田 肇　教 授 児玉 裕治　教 授 元田 浩 教 授 長谷川 晃

論 文 内 容 の 要 旨

本論文は，ディジタル有線通信用 LSI の高性能化に関する研究の成果をまとめたものであり，全文は次の 6 章より構成されている。

第 1 章では，高速ディジタル通信用 LSI の高性能化に関する技術課題をあげ，本論文の研究面での背景を紹介し，本論文の目的と位置づけを明確にしている。

第 2 章では，B-ISDN の基本転送モードである ATM 方式での非同期多重，蓄積交換を行うスイッチの高性能化について述べている。ここでは，ATM 交換を実現する諸方式のなかでもメモリ使用効率の良さを特徴とする共通バッファ形スイッチを取り上げ，その高速化，大規模化で問題となるセル蓄積用メモリへのアクセス速度上昇の問題を解決でき，高速化，大規模化を可能にするシェアドマルチバッファ方式を提案している。この提案方式の諸特性について解析を行い，共通バッファ方式に比べてアクセス速度を回線数分の 2 に緩和でき，ハードウェア量の面でも有利であることを示している。また，この方式を実現する際の LSI 化のための技術について述べ，0.8 μm BiCMOS プロセス技術を適用した 5 Gb/s のスループットをもつ622 Mb/s　8×8 スイッチ・チップセットによって提案方式の有効性を確認するとともに，異速度回線収容を可能にする制御の高機能化手法についても述べている。

第 3 章では，共通バッファ形，およびシェアドマルチバッファ形 ATM スイッチのセル蓄積用メモリを管理するアドレス制御部の高集積化技術について述べている。これまでの技術では，回線種別ごとにアドレスキューを割り当てていたので，扱う回線数や優先度の数に比例してキュー容量が増大し，スイッチ LSI へのキューのオンチップ化が困難であった。この問題を解決するため，本章ではアドレスキューの記憶内容にタグを付けて，FIFO 順にタグを検索する機能を有する検索機能付きアドレスキューを提案している。同報呼の収容方法やキューの制御手法，アドレス転送時間が有限であることに起因するキュー長の増加率などについて検討を加え，また，ハードウェア規模について従来手法と比較してその有効性を明らかにしている。さらに，回路技術面では自己同期方式を採用して検索機能付きキューの高速化技術を提案している。最後に，LSI 技術としての検証のために，0.5 μm CMOS プロセス技術を用いて同キューをデバイスとして纏め，その性能評価を行い，技術の有効性を明らかにしている。

第4章では，ATMスイッチをはじめとする通信用LSIの高速化のために重要な役割を果たすPLLの高速化技術及び低電圧動作技術について述べている。大規模ロジックを搭載した高速CMOSデバイスの実現のためにはクロック供給手段としてPLLを集積化することが有効である。まず，PLLの基本構成要素の一つである位相周波数比較器にプリチャージ回路技術を適用することにより，動作速度および時間分解能を従来の約2倍に改善できることを示し，次いで，VCOの高速化，安定化，さらに微細化に対応した低電圧動作のために電流モード方式VCOを提案している。最後に，計算機シミュレーションによって3.0 Vで，622 MHz動作を行うCMOS PLLが実現可能なことを示し，本手法の有効性を確認している。

第5章では，PLLの他の適用形態として，クロック抽出用ディジタルPLLの全集積化技術について述べている。ユーザ網インタフェースの終端に必要な物理レイヤ処理LSI等にはデータからクロックを抽出するためのPLLが必要である。一般に，ディジタルPLLではプルインレンジを広くとろうとするとジッタが増加するなどの理由で高価な高精度の水晶発振子などを用いるが，プルインレンジを拡大できれば，水晶発振子に比べて安価な集積化発振回路を適用でき，低コスト化が可能となる。そこで，ディジタルPLLの自走周波数を可変とし，これに過去の位相比較結果を反映させることで低出力ジッタと広プルインレンジを併せて実現できる自走分周数設定形PLLを提案している。また，本技術をISDN一次群速度インタフェースに適用し，温度補償，電圧補償を行った集積化発振回路との組み合わせでCCITT勧告I. 431を満足する特性を持った全集積化PLLが実現できることを確認している。

第6章では，本研究で得られた成果を総括している。

論文審査の結果の要旨

高度情報社会を支える情報通信ネットワークとして広帯域サービス総合ディジタル通信網(B-ISDN)の構築が急速に進展している。そのネットワークではマルチメディアサービスを経済的に提供するために，システムのキーデバイスとしての通信用LSIの高性能化が重要となっている。本論文は，ディジタル有線通信用LSIの高性能化に関する研究の成果をまとめたもので，LSIを構成する上での方式的，回路的な新しい技術を提案し，実際にLSI化することによりその技術の有効性を実証している。

その主な成果を要約すると以下の通りである。

(1) B-ISDNの基本転送モードであるATM方式での非同期多重，蓄積交換を行うスイッチとして，大規模化を可能にするシェアドマルチバッファ方式を提案している。また，この方式を実現する際のLSI化のための技術について述べ，0.8 μm BiCMOSプロセス技術を適用した5 Gbpsのスループットをもつ622 Mb/s 8×8スイッチ・チップセットによって提案方式の有効性を確認している。

(2) シェアドマルチバッファ形ATMスイッチのアドレス制御部の高集積化技術について，アドレスキューの記憶内容にタグを付けて，FIFO順にタグを検索する機能を有する検索機能付きアドレスキューを提案している。さらに，回路技術面では自己同期方式を採用して検索機能付きキューの高速化技術を提案している。これらの技術を，LSI技術として検証するために，0.5 μm CMOSプロセス技術を用いて同キューをデバイスとして纏め，その性能評価を行い，技術の有効性を明らかにしている。

(3) ATMスイッチをはじめとする通信用LSIの高速化のために重要な役割を果たすPLLについて，位相周波数比較器にプリチャージ回路技術を適用し，動作速度および時間分解能を従来の約2倍に改善できることを示し，さらに，低電圧動作を可能とする技術として電流モード方式VCOを提案している。これらの技術を，計算機シミュレーションによって3.0 Vで，622 MHz動作を行うCMOS PLLが実現可能なことを示し，提案技術の有効性を確認している。

(4) ユーザ網インタフェースの終端回路に必要となるクロック抽出用ディジタルPLLについて，ディジタルPLLの自走周波数を可変とし，これに過去の位相比較結果を反映させることによって低出力ジッタと広プルインレンジを

併せて実現できる自走分周数設定形PLLを提案している。この技術により，高精度の水晶発振子に代えて安価な集積化発振回路を適用でき，低コスト化が可能となる。さらに，本技術をISDN一次群速度インタフェースに適用し，温度補償，電圧補償を行った集積化発振回路との組み合わせでCCITT勧告I.431を満足する特性を持った全集積化PLLが経済的に実現できることを確認している。

以上のように，本論文は，ディジタル有線通信用LSIの高性能化に関して，LSIを構成する上での方式的，回路的な新しい技術を提案し，その技術の有効性を実際にLSIに組み込むことにより実証しており，得られた成果の妥当性，有用性は極めて高く評価され，通信工学ならびに電子工学の発展に寄与するところが大きい。よって本論文は，博士論文として価値あるものと認める。