The University of Osaka
Institutional Knowledge Archive

Title	大容量半導体メモリの高性能化と高機能化に関する研究
Author(s)	安岡, 晶彦
Citation	大阪大学, 1997, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/40340
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

【147】

氏　　名	安　岡　晶　彦（やす　おか　あき　ひこ）
博士の専攻分野の名称	博　士（工　学）
学　位　記　番　号	第　13274　号
学位授与年月日	平成9年3月25日
学位授与の要件	学位規則第4条第2項該当
学　位　論　文　名	**大容量半導体メモリの高性能化と高機能化に関する研究**
論文審査委員	（主査） 教　授　白藤　純嗣 教　授　白川　　功　　教　授　佐々木孝友　　教　授　谷口　研二

論文内容の要旨

本論文は，大容量半導体メモリの高機能化，高性能化を目標に，ギガビット級の大容量メモリの高速動作の実現に必要な回路技術，微細化のための新しい要素技術の開発に関する研究の成果をまとめたもので，序論，本論4章，および結論の全6章からなっている。

第一章では，急激に高性能化するコンピュータ技術を支えるメモリICの技術開発動向について述べ，本研究に着手した動機，目的，意義を明らかにしている。

第2章では，ギガビット級の大規模メモリICの高速動作を実現するため，シンクロナスDRAMのチップ・アーキテクチャーを検討し，正方形配置メモリセルアレイ構成，階層メモリ・ブロック・レイアウト方式を新たに提案している。

第3章では，低消費電力化を実現するためのブレークスルーとしてSOI基板を採用することにより，その低負荷容量性，低基板定数効果を生かしてスイッチング・トランジスタの動作電圧をバルクシリコンの場合に比べ0.5〜1.0V低くできることを示し，低消費電力DRAMにおけるSOI構造の優位性を実証している。

第4章では，SOI構造MOSFETに特有なSOI／LOCOS分離酸化膜界面およびSOI／埋め込み酸化膜界面の寄生MOSFEETの発生原因を解析し，それらのSOI／酸化膜界面に存在する固定電荷の影響が大きいことを明らかにしている。また，水素化処理による固定電荷密度の低減効果を見い出している。

第5章では，P形ポリシリコンゲート電極からボロンがゲート酸化膜を通りチャンネル層に突き抜けるという好ましくない現象の抑制に酸化膜への窒素イオン注入が有効であることを示している。また，MOSキャパシタ用ON二層膜の形成に用いられる窒化膜の酸化にはウエット酸化法が優れていることを明らかにしている。更に，電子線直接描画法のサブクォーターミクロン・プロセスへの適用性について検討している。

第6章では，本研究で得られた結果を総括し，本論文の結論を述べている。

論文審査の結果の要旨

半導体メモリの高集積化が急激に進んでおり，近い将来のギガビット級DRAMの実用化に向けた開発研究が盛ん

である。ギガビット級DRAMの実現には，従来技術の延長線上にないデバイス技術，回路技術，プロセス技術の開発が必要である。

本論文は，ギガビット級大容量メモリの高速動作化，低消費電力化を実現するために必要な回路技術，素子構造およびそれに付随する課題，微細化を支える要素技術などについての検討結果をまとめたもので，その成果を要約すると，次のとおりである。

(1) ギガビット級DRAMチップ・アーキテクチャーとしてメモリブロックの階層型レイアウトを提案し，256Mbitのメモリブロックを正方形に配置して，その中央にクロックドライバ等から成る周辺回路を配置することによって，1 Gbit DRAMの高速動作が可能であることを示している。

(2) 1 Gbitシンクロナス DRAMを構成する4つのバンクを分散的に64個すべての16Mbitメモリアレイに割り当てる分散配置バンク構成を考案し，ワード線およびセンスアンプの制御信号をDWL（Divided Word Line）技術で階層化すると，消費電力を従来方式の71%に低減できることをシミュレーションにより示している。また，高速動作が可能なカレントモードアンプを用いCu配線にすると，アクセス時間を37%改善できることを明らかにしている。

(3) SOI技術をギガビット級DRAMに適用する予備的段階として，64Kbit SOIDRAMを試作し，ビット線容量と電源電圧が共に25%低減できることを実証している。また，寄生容量と基板バイアス効果の低下により，電源電圧2.7Vでバルク基板での4Vの場合と同等に高速性が得られている。

(4) SOI構造は本質的にソフトエラーフリーであるが，極くわずかにフローティング領域に発生して蓄積される正孔を排除するのにBSG（Boosted Sense Gronud）法が有効であることを明らかにしている。また，BSG法に加え，積極的にビット線の電位を短時間だけ0Vにして正孔を追い出しサブスレッショルド電流を抑制することでリフレッシュ特性を従来の2倍に向上させている。

(5) 通常のLOCOS分離を用いたSOIFETでは寄生MOSFETが形成され大きなリーク電流が流れるが，その原因がSOI／埋め込み酸化膜界面およびSOI／LOCOS酸化膜界面の固定電荷の影響であることをシミュレーションにより明らかにしている。また，水素化処理によりSOI／LOCOS界面固定電荷が低減され，リーク電流が大幅に低減されることを見い出している。

(6) PチャンネルMOSFETのポリシリコンゲート電極からのボロンがゲート酸化膜を突き抜ける効果を抑制するには，ゲートポリシリコンに窒素をイオン注入し，注入後の熱処理によって窒素をゲート酸化膜中に析出させ窒化酸化膜を形成する方法が有効であることを実験的に明らかにしている。

(7) ゲート酸化膜やキャパシタ酸化膜の極薄膜化にON膜が有効であるが，その形成にはCVD窒素膜をウエット酸化する方法が亜酸化窒素ガスを用いた急速ランプアニール処理より優位であることを検証している。

(8) 将来さらに微細化とチップの大面積化が進む時に遭遇するであろう電子線直接描画において，描画フィールドサイズの制限から来るフィールド接続部でのずれの補正並びに重金属で覆われた基板上でのアラインメント精度の向上について考察し，その改善方法を提案している。

以上のように，本論文はシリコン集積回路の超高集積化・高速化に必要な回路技術，デバイス技術，微細化に伴うプロセス技術など種々の要素技術を実験的にあるいはシミュレーションにより逐一検討し，ギガビット級DRAMの実現のために必要な多くの知見を得ており，集積回路工学ならびに半導体工学の分野の発展に寄与するところが大きい。よって，本論文は博士論文として価値あるものと認める。