



Title	A Study on Embedded Memory Array Testing with a Scannable Memory Configuration
Author(s)	矢野, 政顕
Citation	大阪大学, 1998, 博士論文
Version Type	
URL	<a href="https://hdl.handle.net/11094/40609">https://hdl.handle.net/11094/40609</a>
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、<a href="https://www.library.osaka-u.ac.jp/thesis/#closed">大阪大学の博士論文について</a>をご参照ください。

*The University of Osaka Institutional Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏 名	矢 野 政 顯
博士の専攻分野の名称	博士(工学)
学位記番号	第 13904 号
学位授与年月日	平成10年3月25日
学位授与の要件	学位規則第4条第1項該当 工学研究科情報システム工学専攻
学位論文名	A Study on Embedded Memory Array Testing with a Scannable Memory Configuration (スキャン可能メモリ構成を用いた埋め込みメモリアレイの実験に関する研究)
論文審査委員	(主査) 教授 白川 功
	(副査) 教授 藤岡 弘 教授 西尾章治郎 教授 薦田 憲久 教授 鈴木 胖 教授 村上 孝三

### 論文内容の要旨

本論文は、LSI内の埋め込みメモリアレイに対するスキャン可能メモリ構成を提案し、本構成により試験容易化設計技術として知られているスキャン設計をメモリアレイ部へ拡張できること、および、本構成を用いたスキャン動作がメモリアレイ自身の試験に有効であることを示したものであり、全体は以下の6章から構成されている。

第1章では、従来のLSI試験容易化設計技術と、埋め込みメモリアレイの試験の現状について述べ、本研究の背景と目的を明らかにするとともに本研究内容の成果について概説している。

第2章では、ランダムロジック部の試験容易化設計技術であるスキャン設計の原理・特長とその変形、および埋め込みメモリアレイに対する従来の試験方法について概観し、両者を統一的に扱える手法の可能性について述べている。

第3章では、埋め込みメモリアレイに対するスキャン可能メモリ構成を提案し、この構成によってメモリアレイ部とランダムロジック部とを同一のスキャンパスに組み込めることを示している。これによってランダムロジック部とメモリアレイ部の区別なしに試験パターンの自動生成が可能であることを示している。

第4章では、第3章で提案したスキャン可能メモリ構成を用いたスキャン動作によってメモリ固有の故障を検出できること、したがって、スキャン可能メモリ構成を用いたスキャン動作が埋め込みメモリアレイの試験方法として有効であることを示している。具体的には、どのようなメモリ固有の故障が検出できるかを示すとともに、スキャンパスを通してそれらの故障を検出する新たなメモリアレイ試験方法を提案している。

第5章では、提案のスキャン可能なメモリ構成の適用例を示すとともに、この構成が本来のメモリアレイに及ぼす影響について評価している。すなわち、スキャン可能なメモリ構成によって増加するトランジスタ数、チップ面積、さらに性能へ与える影響について評価し、提案の方法が実用的であることを示している。

第6章では、本研究で得られた成果を要約し、今後に残された課題について述べている。

### 論文審査の結果の要旨

本論文は、大規模集積回路開発の課題である埋め込みメモリアレイの試験に関して、新たにスキャン可能メモリ構成を提案し、その有効性を証明したものであり、以下の主要な成果を得ている。

- (1)スキャン可能メモリ構成によって、埋め込みメモリアレイと通常のスキャン用フリップフロップ回路とを同一のスキャンパスに組み込むことを可能にしている。この結果、既存の試験パターン生成ツールで、メモリアレイ部とランダムロジック部を同一に扱った試験パターンの生成が可能になっている。
- (2)埋め込みメモリアレイのメモリとしての試験が、提案のスキャンパスを通して可能であることを示している。すなわち、スキャン可能メモリ構成を用いてメモリ特有の故障が検出できることを示すとともに、このための試験として被試験メモリアレイのビット幅に依存しない効率的なメモリ試験を提案している。
- (3)提案のスキャン可能メモリ構成を実現するための付加回路が、従来提案されている他の方法に比べて少ないこと、したがって、チップ面積、性能に対する影響が少ないことを実際の適用例で示し、本構成が極めて実用的であることを証明している。

以上のように、本論文は埋め込みメモリアレイの試験に関して多くの有用な研究成果をあげており、今後の大規模集積回路の開発に寄与するところが大きい。よって、本論文は博士論文として価値あるものと認める。