

Title	イオンマイクロプローブ励起電流測定法によるDRAMのソフトウェア耐性構造に関する研究
Author(s)	岸本, 武久
Citation	大阪大学, 1998, 博士論文
Version Type	
URL	<a href="https://hdl.handle.net/11094/40645">https://hdl.handle.net/11094/40645</a>
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 <a href="https://www.library.osaka-u.ac.jp/thesis/#closed">〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉</a> 大阪大学の博士論文について <a href="https://www.library.osaka-u.ac.jp/thesis/#closed">〈/a〉</a> をご参照ください。

***Osaka University Knowledge Archive : OUKA***

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名	岸本武久
博士の専攻分野の名称	博士(工学)
学位記番号	第 13918 号
学位授与年月日	平成10年3月25日
学位授与の要件	学位規則第4条第1項該当 基礎工学研究科物理系専攻
学位論文名	イオンマイクロプローブ励起電流測定法による DRAM のソフトエラー耐性構造に関する研究
論文審査委員	(主査) 教授 高井 幹夫  (副査) 教授 小林 猛 教授 奥山 雅則

### 論文内容の要旨

本論文は、著者が大阪大学大学院基礎工学研究科（物理系専攻，電気工学分野）において行った「イオンマイクロプローブ励起電流測定法による DRAM のソフトエラー耐性構造に関する研究」に関する一連の研究についてまとめたもので、本文5章と謝辞より構成されている。以下各章の概要を記す。

第1章では、本研究の背景について述べた後、ソフトエラー現象の位置付けと重要性、およびイオンマイクロプローブを用いたソフトエラー耐性構造評価への適用について述べる。最後に、本論文全体の構成について述べる。

第2章では、イオンマイクロプローブの半導体への照射効果について述べる。高エネルギーイオンビームの基板への進入過程で起きるイオンの衝突、阻止能、キャリアの励起、キャリアの拡散および少数キャリアの収集抑制に対する基板内部の電位ポテンシャルなどの影響について考察する。

第3章では、イオンマイクロプローブを用いたソフトエラー感度マッピング測定を行い、高エネルギー粒子が DRAM の局所領域に入射したときのソフトエラー耐性のメモリーセル位置依存性について実験的に明らかにし考察を行う。

第4章では、イオンビーム励起電流 (IBIC) 測定法を用いて、キャリア収集効率を初めて定量的に測定した。高エネルギーイオン注入技術を用いてボロンの注入深さ、注入量を変化させて形成した埋め込み層のウェルや、レトログレードウェルおよびレトログレードウェルに単一の埋め込み層を形成したダイオードについて、生成キャリア収集抑制効果を明らかにし、シミュレーションによる結果との比較検討を行っている。また、ソフトエラー耐性を強化した構造であるレトログレードウェル構造と基板材料にエピ基板を用いたダイオードにより、各種ウェル構造間の生成キャリア収集抑制効果を明らかにした。

第5章では、第2章から第4章までの研究成果を総括し、本研究で得られた主要な結論についてまとめている。

### 論文審査の結果の要旨

超高集積化の進むダイナミックランダムアクセスメモリー (DRAM) では、配線材料やパッケージに含まれる微量な放射性物質が放出するアルファ線や宇宙からの高エネルギー粒子により誘起されるビットエラーであるソフトエ

ラーを解決することが、設計開発の重要な課題となっている。

本論文は、高エネルギーイオンマイクロプローブを用いたDRAMのソフトエラー耐性評価技術と耐性構造に関する開発研究についてまとめている。

まず、イオンマイクロプローブを放射線源として用いることにより、DRAMの局所位置に、角度、侵入長、イオンの個数を自由に制御し、照射することにより、ソフトエラー耐性の加速度試験を可能とし、局部位置によるソフトエラーの起こる違いを初めて定量的に明らかにしている。

次に、ソフトエラー耐性構造として、エピタキシャル成長基板とバルク基板内に高エネルギーイオン注入による種々の埋め込みレトログレードウェル層を形成したものをを用い、これらの耐性構造でイオンマイクロプローブによる励起電流を計測することにより、励起されたキャリアの収集量の耐性構造による違いを定量的に明らかにしている。この方法により、高価なエピタキシャル基板を用いず、バルク基板でレトログレードウェル層を形成した耐性構造でエピタキシャル基板と同等以上のソフトエラー耐性を得ることを実現している。

以上の研究成果は、次世代DRAMの開発研究において、ソフトエラーに対する信頼性の高い素子を開発するための問題点を解決するものであり、半導体工学の発展に貢献するだけでなく、実用面においても大きな意義を持つものであり、博士（工学）の学位論文として価値あるものと認める。