



Title	Instruction Set Optimization Algorithms for Pipelined ASIPs
Author(s)	Nguyen, Ngoc Binh
Citation	大阪大学, 1998, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/40668
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏 名	グエンゴクビン Nguyen Ngoc Binh
博士の専攻分野の名称	博 士 (工 学)
学 位 記 番 号	第 1 3 9 2 9 号
学 位 授 与 年 月 日	平成10年 3 月 25 日
学 位 授 与 の 要 件	学位規則第4条第1項該当 基礎工学研究科物理系専攻
学 位 論 文 名	Instruction Set Optimization Algorithms for Pipelined ASIPs (パイプラインASIPのための命令セット最適化アルゴリズム)
論 文 審 査 委 員	(主査) 教 授 今 井 正 治 (副査) 教 授 菊 野 亨 教 授 柏 原 敏 伸

論 文 内 容 の 要 旨

集積回路技術の発達により、1チップ上に一千万個以上のトランジスタを用いたASIP（特定用途向きプロセッサ）が実装可能になった。このようなASIPは、CPUやメモリ（ROM、RAM）などの周辺回路を含む高性能なVLSI ASICである。高性能化と小型化により、ASIPは組込みシステムに用いられている。命令セット最適化問題は3つのクラスに分類できる。すなわち、高性能設計、低コスト（ゲート数）設計、低消費電力設計である。この論文で論じている命令セット最適化問題は、主にゲート数と消費電力を制約条件にした高性能設計と、実行サイクル数と消費電力を制約条件にした低ハードウェアコストのASIP設計の2種類である。理想的なASIP開発環境を実現するためにASIP統合設計システムPEAS-I（Practical Environment for ASIP development type I）が提案された。PEAS-IにおけるノンパイプラインのASIP設計用の最適化ツールは、著者の属する研究室で既に開発されていた。しかしながらパイプラインのASIP設計用の最適化ツールの開発は未解決の問題であった。これが論文の主題である。本論文は最初にPEAS-Iシステムの概要を述べ、その後、著者のいくつかの研究成果を示す。初めに、ハードウェア/ソフトウェア協調設計法を用いたパイプラインASIPの最適な命令セットを設計するための、HW/SW分割向きのパイプライン・スケジューリング・アルゴリズムを提案した。基本ブロックのコードシーケンスに対するあらゆる種類のパイプライン・データハザードを発見し解決する条件を、2つの定理と1つの系に基づいて明らかにした。パイプライン・スケジューリング問題を最適化問題として定式化し、2つのフェーズからなる効率的なスケジューリング・アルゴリズムを開発した。また、このアルゴリズムの評価を行なった。第二に、見積りツールとして提案したHW/SW分割向きパイプライン・スケジューリング・アルゴリズムを用いて、IMSP-2P（Instruction set implementation Method Selection Problem type 2 for Pipeline）を解き、HWコストの制約条件のもとで最大の性能を持つパイプラインASIPの最適化アルゴリズムを開発した。この最適化問題は、NP困難であるが、提案されたアルゴリズムは分岐限定法（branch-and-bound method）を使い、良い下界関数を用いて効率良く解くことができる。第三に、最適化能力を高め、HW/SW分割処理におけるCPU構成の選択誤りを避けるために、アダプティブ・データベースの概念を提案した。アダプティブ・データベースは与えられたアプリケーション・プログラムとそこで用いられる入力データを用いてソフトウェア・モジュールの実行サイクルの平均的な実行サイクル数を見積るアプローチである。アダプティブ・データベースは従来のワークステーションで数秒程度で生成することができ、見積り誤差を20～30%から数%に減らすことができる。第四に、同型複数の機能ユニット（Multiple Identical Functional Units:

MIFUs)に同時に命令を発行することが可能であれば、パイプライン ASIP の性能を、より向上できる可能性がある。そこで、MIFU の型のパイプライン ASIP を設計するためのアルゴリズム (IMSP-2P-MIFU と呼ぶ) を提案した。このアルゴリズムは与えられたアプリケーション・プログラムと入力データに対して性能を最大化し、この場合のそれぞれのタイプの演算器の必要数を決定する。第五に、ASIP のコストを実行サイクルを制約条件にして最適化する最適化問題を解くアルゴリズムを提案した。この問題は IMSP-3P である。提案した IMSP-3P アルゴリズムはリアルタイム処理向きの ASIP の設計に用いることができる。第六に、RAM と ROM の大きさを含めたチップ面積を制約条件にして、高性能パイプライン ASIP を設計するための IMOP-2P アルゴリズムを提案した。すべての提案したアルゴリズムは、UNIX 環境上で C 言語によって実現され、数年間にわたり PEAS-I システムで実際に使用されている。

論文審査の結果の要旨

VLSI (超大規模集積回路) 技術の進歩の結果、一千万トランジスタ以上の集積度を持つ高性能なマイクロ・プロセッサをわずか10数ミリ平方程度のシリコンチップ上に実装することが可能となった。これらのマイクロ・プロセッサでは、その性能を向上させるために、ほとんどが命令のパイプライン実行制御を行っている。

本論文では、命令のパイプライン実行制御を行う特定用途向き集積化プロセッサ (ASIP: Application Specific Integrated Processor) の命令セット最適化を行う、新しいアルゴリズムを提案し、これらのアルゴリズムの有効性と効率を実験的に評価している。これまで、命令セット最適化問題を解くアルゴリズムについての研究が行われ、いくつかのアルゴリズムが提案されてきた。しかし、従来のアルゴリズムでは、命令のパイプライン実行制御を考慮した最適化を行っていない。そのため、従来のアルゴリズムを用いて最適解を求めると、得られる最適化に対応するプロセッサの性能には最大30%程度の誤差が含まれることが知られている。その結果、性能の見積りが正確さを欠くのみならず、性能の見積り誤差のために最適な命令セットが得られない場合も存在する。提案されたアルゴリズムを用いて最適化を行うことにより、プロセッサの性能の見積り誤差を大幅に改善することが可能となり、その結果、従来のアルゴリズムよりも高性能なプロセッサの設計が可能になることが明らかにされた。

一般に VLSI の設計品質は、チップ面積、性能、消費電力などの指標を用いて評価される。マイクロ・プロセッサのアーキテクチャ最適化問題は、設計品質指標のうちの一つを目的関数とし、他の指標の値を制約条件として、「性能最大化問題」、「面積最小化問題」、「消費電力最小化問題」の3種類の異なる組合せ最適化問題として定式化できる。本論文では、これらの問題のうち、「性能最大化問題」および「面積最小化問題」の2種類の問題を効率よく解くアルゴリズムをそれぞれ提案している。

また、従来のスカラ型アーキテクチャでは、同時発行可能な命令数は高々1に制限されている。このアーキテクチャ・モデルを拡張し、MIFU (Multiple Identical Functional Unit: 同一機能を有する複数演算器) を用いることを許すことにより、より高性能なプロセッサを実現することが可能である。本論文では、このプロセッサ・モデルに対する「性能最大化問題」を解くアルゴリズムも提案し、その有効性と効率を実験的に評価している。

このように、本論文では、プロセッサの命令セット最適化問題という重要な問題を効率よく解くアルゴリズムを提案している。実験の結果から、これらのアルゴリズムは、実用的な規模のマイクロ・プロセッサの設計自動化問題を実用的な時間で効率よく解けることが示されている。したがって、本研究の成果は現在および将来の VLSI 設計最適化に貢献する所が多い。よって、博士 (工学) の学位論文として価値あるものと認める。