

Title	絶縁膜上薄膜結晶シリコン基板(TF-SOI)における素子分離技術とそのロジックLSIへの適用に関する研究
Author(s)	岩松, 俊明
Citation	大阪大学, 1998, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/40868
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について 〈/a〉 をご参照ください。

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏 名	岩 松 俊 明 <small>いわ まつ とし あき</small>
博士の専攻分野の名称	博 士 (工 学)
学 位 記 番 号	第 1 3 5 3 6 号
学 位 授 与 年 月 日	平 成 10 年 2 月 18 日
学 位 授 与 の 要 件	学位規則第 4 条第 2 項該当
学 位 論 文 名	絶縁膜上薄膜結晶シリコン基板 (TF-SOI) における素子分離技術とそのロジック LSI への適用に関する研究
論 文 審 査 委 員	(主査) 教 授 高 井 幹 夫 (副査) 教 授 奥 山 雅 則 教 授 岡 本 博 明

論 文 内 容 の 要 旨

本論文は、薄膜 SOI デバイスの素子分離技術とそのロジック LSI 適用に関する研究成果をまとめたもので、本文 6 章から構成されている。

第 1 章では高集積化、高速化に向けて半導体技術が発展し続ける中での SIO デバイスの位置づけを述べ、本研究に着手した動機およびその目的と意義を明確にした。

第 2 章では大規模集積回路に適用可能な薄膜 SOI 基板の選定を物理的評価およびデバイス特性評価の両面からおこない、埋め込み酸化膜の品質が LSI の歩留まりに影響することを見出した。そして、埋め込み酸化膜膜質の良好な高濃度酸素注入基板とスマート・カット技術で形成された貼り合わせ (Unibond) 基板の優位性を定量的に示した。

第 3 章では SOI 大規模集積回路へのデバイス・プロセス技術において、最も重要な素子分離技術について検討した。バルクシリコンデバイスで一般的に用いられてきた LOCOS 分離構造を SOI デバイスに適用した場合の問題点であるサブスレッショルドリーク電流の増加を明らかにし、この問題点を水素化処理で解決した。また、SOI 基板製造メーカーのプロセスにより最終デバイスの寄生 MOSFET のしきい値電圧が異なることを見出した。また、薄膜 SOI デバイスで研究されてきた MESA 分離構造のリーク電流の問題点において、素子端の SOI 層をソース・ドレイン領域の不純物が熱処理により増速拡散し、ソースとドレインが短絡する現象を見出した。ソース・ドレイン領域へ窒素イオン注入技術を適用し、この問題点を解決した。しかし、この MESA 構造は実用化に向けてはまだ解決すべき課題を抱えているため、LSI に実使用できる新しい分離構造であり、かつ基板浮遊効果の抑制が可能なフィールドシールド (FS) 分離構造 (基板電位固定構造) を提案した。FS ゲート越しの注入で自己整合的にチャンネルストップ注入するプロセス技術で形成した MOSFET においてバルクシリコンデバイスと同等に良好な特性を得られることを明らかにした。

第 4 章では基板浮遊効果によるデバイス特性の劣化機構を解明するためシミュレーションにより SOI 層内部の電位変動について解析した。その結果、過渡的に SOI 層内部の電位が変動し、それに伴ってデバイス特性が変動することがわかった。FS 分離構造で基板浮遊効果を抑制し良好なデバイス特性が得られることを明らかにした。

第 5 章では低消費・高性能 SOI デバイスを実現するため要素回路の検討と大規模回路の試作・評価をおこなった。

バルクデバイスで構築された設計資産をそのまま適用できる FS 分離構造で、高性能、大規模集積回路を実現した。
第 6 章では第 1 章から第 5 章までの成果をまとめ本論文の結論とした。

論文審査の結果の要旨

絶縁膜上薄膜単結晶シリコン (TF-SOI) 大規模集積回路 (LSI) は、低消費電力で高速のデバイスとして注目され、SOI 構造特有の基板電位浮遊効果による特性劣化を解決することが、実用化へ向けて重要な課題となっていた。

本論文は、SOI 大規模集積回路の実現を目標として、素子分離技術の開発と、そのロジック LSI 適用に関する一連の成果についてまとめている。

まず、LSI に適用可能な薄膜 SOI 基板の特性を物理的評価とデバイス特性評価の両面より行い、埋め込み酸化膜の欠陥が LSI の特性のばらつきに影響することを明らかにしている。

次に、SOI 基板が電氣的に浮遊しているために生じる特性劣化である基板電位浮遊効果を解決するために、新しくフィールドシールド (FS) 分離構造 (基板電位固定構造) を提案し、この構造を実現するプロセス技術を開発している。これにより形成した SOI・MOSFET は基板電位浮遊効果の無い良好な特性を示すことを明らかにしている。

さらに、低消費電力で高速の薄膜 SOI デバイスを実現するための要素回路の検討と LSI の試作・評価を行い、本研究で開発した FS 分離構造で、高速・低消費電力のロジック LSI を実用化している。

以上の研究成果は、薄膜 SOI デバイスおよびプロセスの研究分野の発展に貢献しているだけでなく、本論文で提案された素子分離構造とプロセス技術は薄膜 SOI 量産デバイスで実用に供されており、実用面においても大きな意義を持つものであり、博士 (工学) の学位論文として価値あるものと認める。