

Title	VLSIのレイアウトシステムの高性能化および高機能化に関する研究
Author(s)	原田, 育生
Citation	大阪大学, 1998, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/40986
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について <a>〉 をご参照ください。

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏 名	原 田 育 生
博士の専攻分野の名称	博 士 (工 学)
学 位 記 番 号	第 1 3 5 2 6 号
学 位 授 与 年 月 日	平 成 10 年 1 月 30 日
学 位 授 与 の 要 件	学 位 規 則 第 4 条 第 2 項 該 当
学 位 論 文 名	VLSI のレイアウトシステムの高性能化および高機能化に関する研究
論 文 審 査 委 員	(主査) 教 授 白 川 功 (副査) 教 授 藤 岡 弘 教 授 熊 谷 貞 俊 教 授 村 上 孝 三

論 文 内 容 の 要 旨

本論文は、VLSI のレイアウトシステムの高性能化および高機能化に関して論ずるものであり、以下の7章から構成されている。

第1章では、本研究の目的と背景、VLSI 設計の流れと各設計段階の関連、及びレイアウト設計の位置づけについて述べ、さらに、レイアウト CAD 技術の歴史を概観している。

第2章では、ゲートアレイ方式 VLSI を対象として、クラスタリングと概略配置によって配線の局所的集中を避け、セル列毎に配置を決定する詳細配置によって混雑度の最小化を図る手法を提案し、概略配線においては、各ネットの配線経路の候補を表す配線グラフを定義し、混雑度を考慮して冗長枝を削除することによって経路を決定する枝削除法を提案し、配線混雑度最小化を目指したレイアウト手法を明らかにしている。

第3章は、スタンダードセル方式およびマクロセル方式 VLSI 向けチップフロアプランシステムについて、レイアウト実験に基づく経験式によってブロックの面積を見積る手法について述べ、フロアプランの自動化手法として、接続度に基づく手法とデータパス情報に基づく手法を提案している。さらに、会話処理と自動処理を統合することにより実用的なシステムを構築する手法を明らかにしている。

第4章では、アナログデジタル混載 VLSI を対象としたレイアウトシステムについて、アナログ回路とデジタル回路が互いの領域の侵害を避け、配線の交叉数の最小化とシールド処理によってクロストークによる性能劣化を回避する自動配線手法を提案し、配置処理および概略配線の部分的指定機能を持つ会話処理と自動配線の統合により、効率的にレイアウト設計を行う設計手法を明らかにしている。

第5章は、高速 VLSI の実現を目指して、最大遅延制約に対処する配線システムについて、最長路探索によるクリティカルパス遅延解析を用いて制約を満しながら、配線混雑度の最小化を図る概略配線手法を明らかにし、さらに、差動増幅回路におけるペア配線等の高速バイポーラ VLSI に特有な機能をも実現し、実験を通じて最大遅延の削減に対する有効性を明らかにしている。

第6章では、タイミング制御、低消費電力化、上位設計と連携した設計システムの構築の3点に着目して、レイア

ウト設計システムに残された課題について考察している。

第7章では、本研究で得られた成果を総括してまとめ、結論を述べている。

論文審査の結果の要旨

本論文は、VLSIのレイアウトシステムの高性能化および高機能化を目指して行った研究結果をまとめたものであり、以下の主要な成果を得ている。

(1) ゲートレイ方式VLSIを対象として、配線の局所的集中を避け、混雑度の最小化を図るセル配置および概略配線手法を提案し、その有効性について幾つかの実行結果から検証している。

(2) 回路ブロックをチップ上に配置するフロアプランシステムについて、経験式によるブロック面積推定式を示し、接続度あるいはデータパス情報を利用したフロアプランの自動化手法を提案し、会話処理との統合により実用性の高いシステムを実現している。

(3) アナログデジタル混載VLSIを対象として、アナログ回路とデジタル回路の領域侵害を避け配線の交叉数の最小化を図る配線算法を提案し、さらにシールド処理や会話処理と統合してクロストークによる性能劣化を回避するシステムを実現している。

(4) 高速VLSIの実現のために必要となる最大遅延制約に対処する配線システムについて、クリティカルパス遅延解析を用いて制約を満しつつ、配線混雑度の最小化を図る概略配線手法を提案し、さらに差動回路用ペア配線などの高速バイポーラVLSI特有の機能も実現している。伝送路用高速LSIに適用し、最大遅延の削減に対する有効性を確認している。

以上のように、本論文はVLSIの自動レイアウト手法について研究を行い、混雑度最小化手法およびフロアプラン手法に基づいて、レイアウトシステムの高機能化と高性能化を実現したものであり、今後のVLSIの自動レイアウト設計の分野に寄与するところが大きい。よって、本論文は博士論文として価値あるものと認める。