The University of Osaka
Institutional Knowledge Archive

Title	Pipelined Processor Synthesis from Micro-operation Level Specification
Author(s)	Itoh, Makiko
Citation	大阪大学, 2001, 博士論文
Version Type	VoR
URL	https://doi.org/10.11501/3184179
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

【153】

氏　　名	伊　藤　真紀子
博士の専攻分野の名称	博　士（工　学）
学　位　記　番　号	第　16330　号
学位授与年月日	平成13年3月23日
学位授与の要件	学位規則第4条第1項該当 基礎工学研究科情報数理系専攻
学　位　論　文　名	Pipelined Processor Synthesis from Micro-operation Level Specification （マイクロ動作レベル設計仕様記述からのパイプライン・プロセッサ合成）
論　文　審　査　委　員	（主査） 教　授　今井　正治 （副査） 教　授　谷口　健一　　教　授　東野　輝夫

論　文　内　容　の　要　旨

組み込みシステムの分野では、アプリケーション領域に特化したプロセッサを使用することで、汎用プロセッサと比較して、より高性能あるいは低消費電力なシステムが実現されている。しかし、プロセッサの大規模化、高機能化により設計工数の増大が問題となっている。

本論文では、プロセッサの設計効率を向上させるためのマイクロ動作レベル設計仕様記述の方法およびこの仕様記述からのパイプライン・プロセッサ合成手法を提案する。マイクロ動作レベル設計仕様記述は、クロック単位の命令の動作記述に基づいており、従来のレジスタ・トランスファ・レベル（RTL）のプロセッサ設計手法よりも設計の抽象度レベルが高い。設計の抽象度レベルをより高位化することで、プロセッサの設計工数を削減できる。また、パイプライン段数や各ステージの動作を自由に定義できる上に、設計および設計変更が容易なことから、広範囲のプロセッサ設計空間を探索できる。

提案するプロセッサ合成では、設計記述に基づいて、データパス構成と制御論理を決定し、レジスタ・トランスファ・レベルのプロセッサ HDL 記述を生成する。データパス合成では、入力信号衝突の解消やパイプライン化が行われる。制御回路合成では、命令デコーダ、パイプライン制御回路、割込み制御回路が合成される。パイプライン制御回路合成では、命令のマイクロ動作記述からパイプライン・ハザードの発生条件が求められ、パイプライン・インタロックやパイプライン・フラッシュの制御論理が合成される。

本手法の有効性を評価するために、プロセッサ合成システムを試作した。試作したシステムを用いた実験より、MIPS R3000命令セットの基本命令の約95%を実現できること、新規命令の追加、命令の仕様変更、パイプライン段数の変更などに要する工数の大幅な削減が確認された。

本手法を用いることにより、従来多大な設計工数を要したデータパス設計、制御回路設計が自動化され、プロセッサの設計および設計変更に要する工数を大幅に削減できることが示された。また、命令セット・アーキテクチャ・レベルで広範囲のプロセッサ設計空間を短期間で探索できるため、より高性能あるいはより低消費電力な特定用途向けプロセッサの設計が可能になると期待される。

論文審査の結果の要旨

組み込みシステムの分野では、アプリケーション領域に特化したプロセッサを使用することで、汎用プロセッサと比較して、より高性能あるいは消費電力のより少ないシステムの実現が可能である。

本論文では、このような特定応用分野向きプロセッサの設計効率を向上させるための設計仕様記述の方法およびこの記述からパイプライン・プロセッサを合成する手法を提案している。

まず、設計の抽象度レベルをより高位化することで、プロセッサの設計工数の削減を図る。本論文で提案しているマイクロ動作レベルの設計仕様記述は、クロック単位の命令の動作記述に基づいており、従来のレジスタ・トランスファ・レベル（RTL）のプロセッサ設計記述よりも設計記述の抽象度レベルが高くなっている。また、この記述方法を用いるとパイプライン段数や各ステージの動作を自由に定義できるだけでなく、新規設計の記述および既設計の記述の変更が容易なので、従来よりも広範囲のプロセッサ設計空間を効率良く探索できる。

本論文では、プロセッサ合成方法として、設計記述に基づいて、データパス構成と制御論理を決定し、レジスタ・トランスファ・レベルのHDL記述を生成する方法を提案している。制御回路合成手法としては、命令デコーダ、パイプライン制御回路、割込み制御回路の合成方法を提案している。構造ハザードや制御ハザードなどのパイプライン・ハザードの発生条件を定式化し、命令のマイクロ動作記述からパイプライン・ハザード発生条件を抽出する方法、およびパイプライン・インタロックやパイプライン・フラッシュの制御論理を合成する方法を提案している。

本論文では、さらに、試作したプロセッサ合成システムを用いた実験を通して、提案したプロセッサ合成手法の有効性を明らかにしている。MIPS R3000命令セットの基本命令の約95%を実現できること、新規命令の追加、命令の仕様変更、パイプライン段数の変更などに要する工数が大幅に削減できることが確認されている。

提案されたプロセッサ合成手法を用いることにより、従来、多大な設計工数を必要としたデータパス設計および制御回路設計が自動化され、プロセッサの設計および設計変更に要する工数が大幅に削減できると期待される。さらに、命令セット・アーキテクチャ・レベルで広範囲のプロセッサ設計空間を短期間で探索できるので、より高性能あるいはより消費電力が少ない特定用途向けプロセッサの設計が可能になると考えられる。

以上のように、本論文はVLSIシステム設計自動化という学問分野だけでなく、産業界に対しても多くの寄与が期待され、博士（工学）論文として価値あるものと認められる。