

Title	システムLSIの論理機能テスト生成手法に関する研究
Author(s)	村井, 真一
Citation	大阪大学, 1997, 博士論文
Version Type	
URL	<a href="https://hdl.handle.net/11094/41000">https://hdl.handle.net/11094/41000</a>
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 <a href="https://www.library.osaka-u.ac.jp/thesis/#closed">〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉</a> 大阪大学の博士論文について <a>〉</a> をご参照ください。

***Osaka University Knowledge Archive : OUKA***

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏 名	村 井 真 一
博士の専攻分野の名称	博 士 (工 学)
学 位 記 番 号	第 1 3 4 3 3 号
学 位 授 与 年 月 日	平 成 9 年 10 月 24 日
学 位 授 与 の 要 件	学 位 規 則 第 4 条 第 2 項 該 当
学 位 論 文 名	システム LSI の論理機能テスト生成手法に関する研究
論 文 審 査 委 員	(主査) 教 授 樹 下 行 三 (副査) 教 授 一 岡 芳 樹 教 授 豊 田 順 一 教 授 後 藤 誠 一

## 論 文 内 容 の 要 旨

本論文は、システム LSI の論理機能テストおよびテスト生成手法について検討を行った研究成果をまとめたものであり 5 章から構成されている。

第 1 章の序論では、現在のシステム LSI の論理機能テストおよびテスト生成の直面している課題として、テスト容易化設計規則チェック、ゲートレベルテスト生成、および埋込みセルテスト生成に関連する問題点とその重要性について述べている。

第 2 章ではテスト容易化設計規則チェック手法に関する課題について論じている。まず、設計規則の修正、追加への柔軟な対処と大規模回路の高速処理という相矛盾した要求を満たすために、ルールベース手法を採用しながらなお高速処理を可能とするために、設計規則チェック手順を記号シミュレーションと違反検出の二つの手順に分割してルールベースを分割することを提案している。ルールベース分割によるルールベース探索領域削減効果に加えて、それぞれのチェック手順に適したルール選択方法において個別前向き推論機構を用意することにより、探索処理時間の一層の削減を可能とし、大規模回路の高速チェックが可能であることを示している。高速 3 値バス衝突チェック手法については、チェック対象 3 値バス制御回路に加えてチェックのための付加回路も含めて BDD で表現し処理することにより、対象回路中のすべての 3 値バスにつき 3 値バス衝突が発生するかどうかを効率的にチェックできることを示している。

第 3 章では、非スキャン記憶素子の初期化を不可能とするようなクロック制御回路の故障検出を可能とするために、初期化できなくなる非スキャン記憶素子にそれぞれ固有な初期値を割り当てて伝搬させることにより、従来検出不可能であった故障を正確に検出できるゲートレベルテスト生成手法について述べている。

第 4 章では、埋込みセルテスト生成に関する課題について論じている。まず、順序回路で囲まれた埋込みセルのテストを、スキャンセル等の埋込みセル入出力端子への直接的アクセス手段なしで可能とするために、埋込みセル周辺回路の設計規則として、埋込みセルデータ入力可制御性規則、埋込みセルクロック入力活性化規則、および埋込みセルデータ出力可観測性規則を定義し、これら設計規則のチェック手法について述べている。さらに、順序回路で囲ま

れた埋込みセルへのアクセス経路，アクセス手順を高速に自動生成するために，含意操作の論理値に弱値を導入し，埋込みセル入出力端子の正当化初期目標値との間の矛盾の早期検出を図った生成アルゴリズムについて述べている。

最後に第5章において，総括として本論文内容を要約し，今後に残された課題について述べている。

## 論文審査の結果の要旨

集積回路の大規模化は，テスト生成手法を高速に行う必要性和同時にテストパターン数が増大するという問題をもたらしている。テストパターン数の増大は直ちにテスト時間など，テストコストの増大につながり，この軽減のためにテスト容易化設計手法およびテスト生成手法などがLSI設計における主要な課題となっている。

本論文は，集積回路のテスト技術として，システムLSIの論理機能テスト生成に関する技術を確立することを目的としたものであり，多様な回路要素で構成されるシステムLSIの高信頼化をめざすものであり，その主な成果を要約すると次の通りである。

- (1) 設計規則変更に対して柔軟に対処するテスト容易化設計規則チェックとして，新しくルールベース手法を導入し，さらに，設計規則チェック手順を記号シミュレーションと違反検出の二つの手順に分割して構成することにより，探索領域の削減を計り，チェック手順に適した個別前向き推論機構を導入することにより，高速処理が可能な大規模ASICの設計規則チェック手法を提案している。
- (2) 実用規模回路に適用可能な3値バス衝突チェック手法として，チェック対象となる3値バス制御回路およびチェック用の付加回路を共にBDDで表現し処理することにより，対象回路中のすべての3値バスに対してバス衝突が発生するかどうかを厳密且つ高速にチェックできる手法を提案している。
- (3) 非スキャン記憶素子の初期化が不可能となるクロック制御回路のテスト生成として，クロック制御回路の故障の影響により初期化できなくなる非スキャン記憶素子のそれぞれに，固有な初期値を割り当て，それを伝搬させる手法を考案し，従来検出不可能であった故障が検出可能になることを明らかにしている。12種類の実回路例に対する評価より，非スキャン記憶素子のクロックをオフにする故障が本手法により初めて検出可能となり，故障検出率の向上のみならず，無駄なテスト生成の除去と故障シミュレーション処理削減効果により，非スキャン同期回路で平均41%，部分スキャン回路で平均25%という顕著な実行時間の短縮をもたらし結果を得ている。
- (4) 埋込みセル周辺回路の設計規則として，埋込みセルデータ入力可制御性規則，埋込みセルクロック入力活性化規則，および埋込みセルデータ出力可観測性規則を導入し，これら設計規則とそのチェック手法を適用した実チップでの評価により，チップ中の70%~90%を占める埋込みセルのテストが0.1%以下の付加回路により実現出来ることを示している。
- (5) 埋込みセルテスト容易化設計規則で設計された周辺回路を有する埋込みセルへのアクセス手順生成アルゴリズムの高速化を達成するために，生成アルゴリズム中の含意操作の論理値に弱値を導入し，埋込みセル入出力端子正当化初期目標値との間の矛盾の早期検出を計り，実験回路と実回路を用いた評価により，周辺回路の順序深度が浅い場合には効率よくアクセス手順の自動生成が出来ることを確認している。

以上のように，本論文は，実用化，高速化という観点から，システムLSIの論理機能テスト生成手法について述べたものであり，LSIのテスト手法および高信頼化設計手法に対して多くの知見を得ており，応用物理学，特に計算機工学，集積回路工学に寄与するところが大きい。よって，本論文は博士論文として価値あるものと認める。