



Title	A Study on VLSI Implementation of High-Quality Image Generation and Motion Picture Coding
Author(s)	尾上, 孝雄
Citation	大阪大学, 1997, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/41047
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏 名	おの 尾 上 孝 雄
博士の専攻分野の名称	博 士 (工 学)
学 位 記 番 号	第 1 3 4 2 6 号
学 位 授 与 年 月 日	平 成 9 年 10 月 24 日
学 位 授 与 の 要 件	学位規則第 4 条第 2 項該当
学 位 論 文 名	A Study on VLSI Implementation of High-Quality Image Generation and Motion Picture Coding (高品位画像生成および動画像圧縮符号化機構の VLSI 化設計に関する研究)
論 文 審 査 委 員	(主査) 教 授 白 川 功 (副査) 教 授 藤 岡 弘 教 授 村 上 孝 三 教 授 西 尾 章 治 郎

論 文 内 容 の 要 旨

本論文は、画像メディアにかかわる処理機構の最重要課題である高品位画像生成および動画像圧縮符号化に関して、VLSI 化設計に焦点をあてて考察するものであり、以下の 6 章から構成される。

第 1 章では、本研究の背景、目的を明らかにするとともに研究内容と成果について概説している。

第 2 章では、3 次元高品位画像生成および動画像の圧縮符号化復号化について概説している。まず、3 次元画像生成アルゴリズムとその並列化手法について記述し、次に、動画像圧縮符号化の国際標準 MPEG2 (Moving Picture Experts Group Phase 2) の詳細について述べている。

第 3 章では、3 次元高品位画像生成に適した多重スレッドプロセッサという新しいアーキテクチャについて考察している。まず、画像生成アルゴリズム固有の粗粒度並列性を利用する多重スレッドアーキテクチャについて記述し、次に、高性能プロセッサなどの複雑な制御機構を効率よく設計するための高位論理合成という新しい VLSI 設計手法について述べている。さらに、多重スレッドプロセッサの各処理過程に対して詳細アーキテクチャを考案し、その VLSI 化設計を通して有効性を示している。

第 4 章では、MPEG2 MP@HL (Main Profile at High Level) 復号化 VLSI の 1 チップ化設計について考察している。まず、復号化 VLSI の構成法について記述し、復号化の各処理過程毎に専用の演算器を用いた新しい構成法を提案している。次に、専用演算器のアーキテクチャについて、パイプライン化や並列処理機構などの導入により、HDTV (High Definition Tele Vision) レベルの高精細な動画像へ適用可能とする設計手法について述べている。さらに、復号化 VLSI を実現し、そのアーキテクチャの有効性を示している。

第 5 章では、MPEG2 MP@HL 用動き検出器の 1 チップ化設計について考察している。まず、MPEG2 の符号化過程で最も演算量が多い動き検出に関して、精度を下げることなく演算量削減を達成するマクロブロック・クラスタリングアルゴリズムを提案し、シミュレーションによりその有効性を示している。次に、高性能シストリックアレイおよび画素再利用のためのバッファアーキテクチャにより、HDTV レベルの動画像に対処する設計手法について述べている。さらに、動き検出器の VLSI 化を通してアーキテクチャの有効性について実証している。

第6章では、本研究で得られた成果を要約し、今後に残された課題について述べている。

論文審査の結果の要旨

本論文は、高品位画像生成および動画像圧縮符号化のVLSI化設計について行った研究をまとめたものであり、以下の主要な成果を得ている。

(1) 高品位画像生成に必要とされる膨大な計算量を効率よく処理するためのプロセッサアーキテクチャについて考察を行ない、多重スレッドという従来にない新しいアーキテクチャを考案している。この多重スレッドアーキテクチャは、マルチプロセッサシステムで従来利用率が低かった演算器を共有することにより、高スループット、小面積の両立を可能とするものである。設計手法として、高位論理合成手法を新たに導入することにより、複雑な制御機構を持つ多重スレッドプロセッサのVLSI化を達成している。

(2) 動画像圧縮符号化の国際標準であるMPEG2のMP@HLデコーダの1チップ化設計を行なっている。従来から実現されていたMP@MLデコーダの6倍以上の処理性能を要求するMP@HLデコーダの1チップ化に際し、各処理過程毎に専用の演算器を用いるマクロブロックレベルパイプライン処理機構を導入することにより、性能低下の要因となっていた処理データの衝突を回避し、デコーダ全体を小面積で実現している。

(3) MPEG2 MP@HL符号化用動き検出器の1チップ化設計を達成している。符号化処理中最も演算量が多い動き検出に対し、精度を下げずに演算量の削減を図るマクロブロック・クラスタリングアルゴリズムを提案し、シミュレーションによりその有効性を示している。さらに、このアルゴリズムを実現するための新しいアーキテクチャを考案し、そのVLSI化設計を行なっている。

以上のように、本論文は画像メディアを取扱う処理機構のVLSI化に対して多くの有用な研究成果をあげており、マルチメディア処理システム構築の進展に寄与するところが大きい。よって、本論文は、博士論文として価値あるものと認める。