

Title	ガリウムヒ素電界効果トランジスタを用いた電流モード型論理回路とその応用に関する研究
Author(s)	勝, 新一
Citation	大阪大学, 1997, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/41048
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について 〈/a〉 をご参照ください。

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名	かつ 勝 新 一
博士の専攻分野の名称	博 士 (工 学)
学位記番号	第 1 3 4 8 3 号
学位授与年月日	平成 9 年 12 月 19 日
学位授与の要件	学位規則第 4 条第 2 項該当
学位論文名	ガリウムヒ素電界効果トランジスタを用いた電流モード型論理回路とその応用に関する研究
論文審査委員	(主査) 教授 濱口 智尋 (副査) 教授 吉野 勝美 教授 西原 浩 教授 尾浦憲治郎 教授 森田 清三 教授 谷口 研二

論文内容の要旨

本論文はガリウムヒ素電界効果トランジスタ (以下 GaAs FET と記す) を用いた電流モード型論理回路とその応用に関する研究の成果をまとめたもので 7 章より構成されている。

第 1 章では GaAs を材料とする電子デバイスのシリコン電子デバイスに対する優位性およびその工業的価値について述べ、さらに GaAs FET を用いて論理集積回路を実現するための課題を示し、本研究の目的と意義を明らかにしている。

第 2 章では GaAs FET を用いた電流モード動作に基づく新しいソース結合型 FET 論理回路を提示し、その動作ならびに静特性を定量的に考察している。さらにこの論理回路が GaAs FET のしきい値電圧の広い範囲にわたり、動作が可能なことを明らかにしている。

第 3 章では電流モード動作に基づくソース結合型 FET 論理回路の伝搬遅延特性に関し定量的な考察を行っている。さらに伝搬遅延時間と消費電力との関係を明らかにし、このソース結合型 FET 論理回路の最適設計について考察を行っている。また GaAs FET を用いる他の論理回路との比較を行い、この電流モード型論理回路が動的な入力容量や負荷駆動能力等の点から高速動作性能で優れていることを明らかにしている。

第 4 章では GaAs FET を用いたソース結合型論理回路の順序論理回路と組合せ論理回路への応用を考察している。順序論理回路としてシリーズゲーティングによるフリップフロップ構成法について述べ、さらに回路シミュレーションによる考察を行っている。また組合せ論理回路としてコレクタドットティングやワイヤード OR 技術による論理機能の拡張を述べている。さらに分周器集積回路の試作を通じて GaAs FET を用いた電流モード型論理回路による集積回路の実現性を示している。

第 5 章では GaAs FET を用いたソース結合型 FET 論理回路の小信号動作時の電圧増幅特性を明らかにし、演算増幅器への応用が可能なことを示している。また電圧増幅器としての利得を考察し、カスコード技術により高利得化がはかれることを示している。さらに同相信号利得の低減と多段構成による差動利得の増大を述べ、さらに等価回路を用いて周波数特性を考察している。さらに演算増幅器集積回路を試作しその評価結果を述べている。

第6章ではGaAs FETを用いた電流モード動作型のデジタル-アナログ変換器の構成について考察し、集積回路の製作と特性評価を行い、GaAs FETを用いた電流モード型デジタル-アナログ変換器の具現性を示している。さらにプログラマブル遅延タイム集積回路を試作し、GaAs FETを用いた電流モード型のデジタル回路とアナログ回路が一つのチップ内に集積化できることを示している。

第7章では本研究で得られた成果をまとめている。

論文審査の結果の要旨

本論文は高度情報化社会における大量の情報を高速に処理する要請に応えるべく、材料的にシリコンより高速化に有利なガリウムヒ素を用いた集積回路を実用に供すべく、論理回路設計の面から行った研究をまとめたもので、以下のような成果を得ている。

- (1) FETを用いた電流モード型論理回路では、2つの論理状態は回路内の電流の平衡状態からの逸脱の方向で決まり、この状態遷移に必要な入力電圧はFETのしきい値電圧の値には無関係となることを明らかにしている。さらにGaAs FETを用いた電流モード型論理回路としてソース結合型FET論理回路を新たに考案し、本論理回路の動作がFETの電気的特性変動に対し許容能力の高いことを理論的および実験的に明らかにしている。
- (2) ソース結合型FET論理回路を電流切換回路とレベルシフト付き出力バッファ回路から構成し、ノイズマージン、消費電力と回路素子定数との関係を明らかにし、FETのしきい値電圧の許容範囲が $-0.4\sim+0.2\text{ V}$ と従来の電圧モード型論理回路に比し、約3倍も広いことをシミュレーションおよび試作実験で明らかにしている。ソース結合型FET論理回路の過渡的な動作の解析を行い、ソース結合型FET論理回路の速度性能に関し、代表的な電圧モード型論理回路であるDCFL(Direct Coupled FET Logic)と比較し、入力容量が66%と小さく、かつFETの飽和電流動作領域が約4倍と広く、またファンアウト特性が4.5倍も優れていることを示し、高速論理演算に適した論理回路であることを明らかにしている。
- (3) ソース結合型FET論理回路による各種機能回路の構成法を考察し、本論理回路によるデジタル集積回路の設計技術を確立している。特に電流切換回路の縦続接続によるフリップフロップ回路の実現手段を考察し、このフリップフロップの動作特性についてシミュレーションならびに試作実験を通して、代表的な電圧モード型論理回路のDCFLに比し、最高動作周波数で約2倍、FETのしきい値電圧の許容範囲で約7倍以上改善されることを明らかにしている。
- (4) GaAs FETを用いた電流モード型回路のアナログ信号処理への応用を考察し、能動負荷を持つ電流切換回路が差動電圧増幅器として機能し、その最大利得がFETの出力抵抗と相互コンダクタンスの積で与えられることを明らかにしている。また、GaAs FETを用いた高差動利得、低周相利得の電圧増幅器の実現のために、デュアルゲート型FETと同相信号負帰還を用いた回路を考案し、1段あたり約40倍の差動利得と0.1倍の同相利得が得られることを明らかにしている。さらにGaAs FETを用いた電流モード型演算増幅器の設計手法を確立し、試作実験を通して帯域幅150 MHz、差動利得48dB、同相信号除去比(CMRR)63 dBが得られることを明らかにしている。
- (5) GaAs FETを用いた電流モード動作D/A変換器の設計法について考察し、FETのカスコード接続とソース電流帰還型構成で変換誤差要因の影響を著しく低減できることを明らかにしている。試作により8ビット入力で $\pm 0.3\text{ LSB}$ の微分直線性誤差と、入力クロック周波数1 GHzの動作を確認している。さらに電流モード動作を用いたデジタル回路とアナログ回路を同時に集積化した応用例として、フリップフロップ演算増幅器、D/Aコンバータ等からなるプログラマブル遅延タイム集積回路の設計試作を行い、電流モード動作に基づくデジタル回路とアナログ回路を混載した高速かつ高精度の大規模ミックスドシグナルGaAs LSIの実現性を示している。

以上のように、本論文はガリウムヒ素トランジスタのしきい値電圧等の特性ばらつきに対して、電流モード型論理回路の有用性を定量的に明らかにし、その特徴を生かした論理回路設計手法とその応用例を示したものであり、化合物半導体集積回路工学を通して電子工学分野に寄与するところが大きい。よって、本論文は博士論文として価値あるものと認める。