

Title	Study of digital circuit design for HEMTs
Author(s)	渡邊, 祐
Citation	大阪大学, 1997, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/41074
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について 〈/a〉 をご参照ください。

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏 名	わた なべ ゆう 渡 邊 祐
博士の専攻分野の名称	博 士 (工 学)
学 位 記 番 号	第 1 3 4 8 8 号
学 位 授 与 年 月 日	平 成 9 年 12 月 16 日
学 位 授 与 の 要 件	学位規則第 4 条第 2 項該当
学 位 論 文 名	Study of digital circuit design for HEMTs (HEMT デジタル集積回路に関する研究)
論 文 審 査 委 員	(主査) 教 授 濱 口 智 尋 (副査) 教 授 吉 野 勝 美 教 授 西 原 浩 教 授 尾 浦 憲 治 郎 教 授 谷 口 研 二 教 授 森 田 清 三

論 文 内 容 の 要 旨

本論文は、高電子移動度トランジスタ HEMT (High Electron Mobility Transistor) によるディジタル集積回路の高性能化を目的として行われた研究に関して、特に、高速ディジタル回路動作の解析とそれに基づく大規模集積回路の開発と、低電力化のための回路技術および集積構造について、現在までの研究成果および経過について述べたもので 6 章より構成されている。

第 1 章では本研究の背景およびその目的と意義について、また本論文の具体的な構成について述べている。

第 2 章では、HEMT デジタル基本回路の動作について述べている。HEMT では、高い電子移動度をもち、キャリアの速度飽和とチャネルでのキャリア密度飽和により、ニー電圧が低く、相互コンダクタンスにピークを生じる。このため、HEMT による高速ディジタル回路には、最適な動作電圧範囲が存在し、Direct Coupled FET Logic (DCFL) がこれに適した基本回路であることを示している。

第 3 章では、HEMT による大規模集積回路の設計技術について述べている。低温環境では電子移動度が增大するが、しきい値電圧のシフトが回路設計に大きく影響するために、集積回路としての特性改善が制限される事を示している。また、サブミクロン領域では HEMT のショートチャネル効果が比較的小さいため、ゲート長の短縮が集積回路特性の改善に効果的であることを示している。さらに、DCFL を用いたイベント制御型論理が、大規模集積回路の高速化に有効な回路アーキテクチャであることを示している。この実証のため ATM スイッチ LSI を試作して、動作周波数 1.2 GHz、データ処理速度 9.6 Gb/s と従来にない高速特性を得ることに成功している。

第 4 章では HEMT デジタル回路の低電力設計技術について述べている。HEMT DCFL 回路においては低電圧化が高速低電力動作に効果的であることを示している。また DCFL 回路の動作解析に基づいて、高速動作可能な高インピーダンス帰還回路を設けたフリップフロップ回路を提案して、消費電力の低減を実証し、これをプリスケラ IC に適用して、2GHz で 0.72 mW と従来にない低電力性を得ることに成功している。さらに、化合物半導体による相補型回路の考察を行い、集積化のための課題が p チャネル素子のゲート電極リーク電流と、駆動電流不足にあることを示している。

第5章では低電力化と集積化の観点から、負性微分抵抗を用いた回路について述べている。負性微分抵抗特性をデジタル回路に導入することにより、消費電力、回路面積、安定性を大きく改善できることを示し、これを実現するために HEMT と共鳴トンネルダイオードの集積構造を提案している。InAlAs/InGaAs 構造を用いた試作を行ってモノリシック集積回路を実現し、基本回路の低電力性を確認することに成功している。

第6章では本研究で得られた成果を要約している。

論文審査の結果の要旨

HEMT は半導体ヘテロ接合界面近傍に蓄積される 2 次元電子ガスをチャネル層とした電界効果型トランジスタであり、従来のトランジスタに比べて、優れた高速特性を示す。その高電子移動度のために特有の効果が回路に現れるが、HEMT デジタル回路動作に関する理解は十分なされていないとは言えず、高速低電力のデジタル回路実現のためには設計技術の確立が必須である。本研究は HEMT を用いたデジタル集積回路の高速低電力化を目的とし、その実現のため回路動作の解析と、これに基づく回路構成、アーキテクチャ、素子構造の提案を行い、それらを集積回路設計に応用して、実証したもので、その主な成果は以下の通りである。

- (1) HEMT の動作解析を基に、チャネルにおける電子速度の飽和とキャリア密度の飽和により、ゲート・ソース電圧に対して相互コンダクタンスがピークを持つことを示している。この結果、デジタル回路の大信号動作において、HEMT に最適な動作電圧範囲が存在することを指摘し、相互コンダクタンスの最大となる点をスイッチング動作の中心付近とする DCFL 回路が高速性の点で最適な回路形式であることを見出している。
- (2) 低温環境における HEMT の移動度増大による回路の高速化について考察し、移動度の増大は素子特性の改善には寄与するが、低温環境での閾値電圧の変化がデジタル回路動作に影響するため、高速化が制限されることを示している。また、低温環境動作回路として、8 ビット乗算器の試作を行い、乗算時間 3.1 ns とこれまでにない高速性能を得ることに成功している。
- (3) HEMT のショートチャネル効果が比較的小さいことを示し、サブミクロンゲートの素子を用いてスーパーコンピュータ用 LSI を設計開発して、ゲート長の短縮が HEMT デジタル回路高速化に有効であることを実証している。これにより、システムの高速化が期待でき、その工学的応用の意義は大きい。
- (4) DCFL の負荷駆動能力が小さいことを指摘して、集積回路において HEMT の高速性を活用するためには、自己同期型の回路アーキテクチャであるイベント制御論理が効果的であることを示している。この実証のため、ATM (Asynchronous Transfer Mode) スイッチ回路を設計、試作し、動作周波数 1.2 GHz、データ処理速度 9.6 Gb/s と、従来技術を大きく上回る高速特性を得ることに成功している。
- (5) HEMT DCFL 回路の特性評価から、電源電圧に対するデジタル回路動作速度の依存性は小さく、一方、消費電力の依存性は非常に大きいことを見出している。この結果は、相互コンダクタンスのピーキングが高速特性を支配し、ショットキー接合からのリーク電流が消費電力に影響していることを示唆しており、HEMT デジタル回路の低電圧動作が高速低電力の点で有利であることを示すものである。
- (6) HEMT DCFL のスイッチング動作の解析により、消費電力の制限が、プルアップ電流とプルダウン電流のバランスによる回路安定性にあることを見出し、これを改善するために出力インピーダンス制御型のフリップフロップ回路を提案している。そして、プリスケラ回路にこれを応用して、2 GHz で 0.72 mW という従来技術をしのぐ低電力性を実現することに成功している。
- (7) 負性微分抵抗特性が、デジタル回路の電力性能を改善し、共鳴トンネルダイオードと HEMT の集積化により、これを効果的に実現できることを示している。InGaAs/InAlAs のヘテロ接合構造を基にした集積構造とその作製プロセスを開発することに成功し、メモリ回路で 3 μ W という低電力性能を得ることで、その効果を実証している。

以上のように、本論文は HEMT デジタル回路動作について多くの新たな知見を提供するとともに、集積回路の高速特性および電力特性の改善により、高周波領域でのデジタル回路利用の促進が期待されることから、電気電子工学に寄与するところが大きい。よって、本論文は博士論文として価値あるものと認める。