



Title	貼り合わせSOI基板を用いた高耐圧横形デバイスの開発とその応用に関する研究
Author(s)	澄田, 仁志
Citation	大阪大学, 1999, 博士論文
Version Type	
URL	<a href="https://hdl.handle.net/11094/41097">https://hdl.handle.net/11094/41097</a>
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、<a href="https://www.library.osaka-u.ac.jp/thesis/#closed">大阪大学の博士論文について</a>をご参照ください。

*The University of Osaka Institutional Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏 名 <sup>すみ</sup>澄 <sup>だ</sup>田 <sup>ひと</sup>仁 <sup>し</sup>志

博士の専攻分野の名称 博 士 (工 学)

学 位 記 番 号 第 1 4 2 8 3 号

学 位 授 与 年 月 日 平 成 11 年 2 月 25 日

学 位 授 与 の 要 件 学位規則第4条第2項該当

学 位 論 文 名 貼り合わせ SOI 基板を用いた高耐压横形デバイスの開発とその応用に関する研究

論 文 審 査 委 員 (主査)  
教 授 榎 田 俊 一

(副査)  
教 授 中 井 貞 雄 教 授 飯 田 敏 行 教 授 西 原 功 修  
教 授 西 川 雅 弘 教 授 堀 池 寛 教 授 三 間 圀 興  
助 教 授 朝 日 一

## 論 文 内 容 の 要 旨

本論文は、貼り合わせ SOI 基板上の高耐压横形 MOS ゲートデバイス・プロセス技術に関する研究の成果をまとめたものであり、以下に示す 8 章から構成されている。

第 1 章では、本研究の背景と目的について述べるとともに、本論文の構成を示している。

第 2 章では、横形 n チャネル形 IGBT (SOI-IGBT) の高耐压化技術の確立と動作特性の解析・改善を行い、高耐压化に必要な基板条件を導くとともに、高電圧印加時の内部状態と素子耐压の素子構造依存性を明らかにしている。また、導通特性と SOI 層厚の関係を明確にし、さらに、高耐压化とラッチアップ特性改善において独自の手法を考案し、その効果を実証している。

第 3 章では、変位電流である基板電流とノイズ電流について評価・解析し、各電流の存在を初めて確認するとともに、基板電流の挙動が素子の導通時における動作モードに依存すること、またノイズ電流の挙動が素子構造に依存することを明らかにしている。

第 4 章では、支持基板電圧印加によるバックゲート効果が素子の導通特性に及ぼす影響を解析し、多数キャリアの導通経路がバックゲート効果によって変化することを定量的に説明している。そして SOI-IGBT では、このバックゲート効果による変化が伝導度変調によって回復することを示し、また、SOI-IGBT において支持基板に素子のコレクタ電圧を印加した場合、SOI 層厚が薄い素子ほど特性が有利に現れることを明らかにしている。

第 5 章では、横形 p チャネル形 MOSFET の高耐压化に関する研究を行い、耐压特性の支持基板電圧依存性を明らかにしている。そして、実使用と等価となる支持基板電圧印加モードでの高耐压化を達成するための素子条件を導くとともに、素子耐压と電流駆動能力のトレードオフ特性改善策を考案し、それぞれの効果を実証している。

第 6 章では、素子の信頼性試験を実施し、耐压特性の長期信頼性が良好であることを初めて実証し、また、静電破壊試験を行い、pn 接合の接合面積が少ない SOI 基板上の素子構造は静電破壊耐量に対して不利であることを指摘している。

第 7 章では、SOI 方式誘電体分離基板の分離工程となるトレンチプロセスを導入することによって発生したプロセ

ス異常と、この異常に起因したパワー IC の動作不良を述べ、その解決策を示し、また、本分離基板を用いて開発したパワー IC を紹介している。

第 8 章では、結論として本研究の成果を総括して述べている。

## 論文審査の結果の要旨

次の世紀は情報の高度な利用とともにエネルギーの高度で高能率な利用が求められ、電気エネルギーを制御するパワー半導体デバイスのいっそうの性能向上が必要とされている。本論文は、SOI 方式誘電体分離技術によるパワー IC 実現を目的として行った SOI 基板上の高耐圧横形 MOS ゲートデバイス・プロセス技術に関する研究の成果をまとめたもので、主な成果を要約すれば次の通りである。

(1)横形 n チャネル形 IGBT (SOI-IGBT) の高耐圧化に関連して、素子耐圧の高耐圧化には、貼り合わせ界面から形成される空乏層のひろがりの利用による表面電界の緩和と貼り合わせ酸化膜への電圧分担が必要なこととその基板条件、及び高電圧印加時の内部状態と素子耐圧の素子構造依存性を明らかにし、バイポーラ構造による耐圧劣化を防ぐ方法を考案し、SOI-IGBT の高耐圧化を達成している。さらに、SOI-IGBT の導通特性における SOI 層厚依存性から電流経路となる SOI 層の厚さを薄くしてもオン電圧の大幅な上昇が起こらないことを明らかにし、ラッチアップ特性改善策を考案し、その効果を実証している。

(2)高耐圧デバイスのスイッチング時に発生する変位電流の挙動を調べ、SOI-IGBT と SOI-nMOS のスイッチング時に発生する基板電流については、導通時の動作モードの違いが基板電流の挙動に大きな影響を与えること、及び横方向分離された SOI-IGBT を用いて存在が実証されたノイズ電流の挙動がスイッチングする素子の構造に強く依存することを明らかにしている。

(3)支持基板の固定電圧印加によって起こるバックゲート効果が SOI-IGBT と SOI-nMOS の導通特性に及ぼす影響を調べ、電圧印加により生ずる貼り合わせ界面上キャリア分布の変化が多数キャリアの導通経路に影響を及ぼすことを示し、その結果 SOI-nMOS のオン抵抗が支持基板電圧に強く依存することを確認している。一方、SOI-IGBT は導通時に素子内部が伝導度変調するため、バックゲート効果の影響が現れず、SOI-IGBT の導通特性は支持基板電圧に対して変化しないことを示している。

(4)SOI-IGBT に対して、支持基板に素子のコレクタ電圧を印加した場合の素子特性を調べ、SOI 層厚が薄い素子ほど貼り合わせ酸化膜への電圧分担が容易になること、SOI 層厚が薄い素子にはスイッチング時に大きな基板電流が発生し、これがラッチアップ特性の向上に寄与していることを明らかにしている。

(5)SOI-pMOS の高耐圧化に関連し、耐圧特性が印加する支持基板電圧の大きさと極性、及び素子構造に強く依存することを示し、実使用と等価となる負の支持基板電圧印加状態で高耐圧化を達成するための条件を導き、その有効性を示すとともに、素子耐圧と電流駆動能力のトレードオフ特性改善策を考察し、その効果を実証している。

(6)SOI-IGBT と SOI-pMOS に対して耐圧特性の長期信頼性と静電破壊耐量を調べ、実使用において問題がないことを実証するとともに、SOI 基板上の高耐圧デバイスは耐圧特性の長期信頼性が良好であることを明らかにしている。pn 接合の接合面積が少ない SOI 基板上のデバイス構造は静電破壊耐量に対して不利であることを指摘している。

(7)トレンチ分離プロセスを導入した素子形成プロセス技術に関連して、トレンチ分離プロセスを導入することによって発生したプロセス異常と、この異常によってパワー IC の二つの動作不良一分離耐圧の低下、回路配線の短絡一が生じることを示し、これらの解決策を提案し、その効果を実証している。

以上のように、本論文は SOI 基板上に形成した高耐圧横形 MOS ゲートデバイスの基本特性を示すとともに、高性能なパワー IC を実現するための SOI 方式誘電体分離によるデバイス要素技術を明らかにしたもので、素子工学、電子材料工学に寄与するところが多い。よって本論文は博士論文として価値あるものと認める。