

Title	VLSI生産ファイナルテスト工程のシミュレーションによる評価に関する研究
Author(s)	近村, 晶央
Citation	大阪大学, 1999, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/41456
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について <a>〉 をご参照ください。

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名	近 村 晶 央 ちか むら おき ひさ
博士の専攻分野の名称	博士(工学)
学位記番号	第 14698 号
学位授与年月日	平成11年3月25日
学位授与の要件	学位規則第4条第1項該当 工学研究科情報システム工学専攻
学位論文名	VLSI生産ファイナルテスト工程のシミュレーションによる評価に関する研究
論文審査委員	(主査) 教授 藤岡 弘 (副査) 教授 村上 孝三 教授 白川 功 教授 西尾章治郎 教授 薦田 憲久 教授 下條 真司

論文内容の要旨

本論文は、VLSI生産ファイナルテスト工程のシミュレーションによる評価に関する一連の研究をまとめたもので、7章から構成されている。

第1章は序論であり、本研究の背景、目的ならびに工学上の意義、および関連分野における本研究の位置付けについて述べ、また本論文の構成を説明している。

第2章では、VLSI生産システムのファイナルテスト工程について概説している。まず、対象としているワンチップマイクロコンピュータについて説明し、このファイナルテスト工程の流れ、および各ステージの処理について述べている。

第3章では、ファイナルテスト工程を詳細にモデル化している。まず、ファイナルテスト工程で処理される製品とその到着、およびフローのモデル化とファイナルテスト工程の各処理と装置のモデル化について述べている。次に、装置の故障と修理、およびその故障を未然に防ぐための保守をモデル化している。最後に、ファイナルテスト工程のコストのモデル化についても述べている。

第4章では、データ構造、およびシミュレーション手法について述べている。データ構造は、製品種に関するデバイスデータ構造体、フローを構成する各ステージの処理を記述するステージデータ構造体、および待ち行列と各ステージで用いられる装置群を記述するステーションデータ構造体から構成されている。シミュレーション手法には、離散事象シミュレーションを用いている。

第5章では、6種のロット処理優先規則を提案している。提案するロット処理優先規則は、「ジグ交換低減化規則」、「装置群の待ち行列でのロットの待ち時間を考慮したジグ交換低減化規則」、「ファイナルテスト工程でのロットの滞留時間を考慮したジグ交換低減化規則」、「使用中の装置を考慮したジグ交換低減化規則」、「ロット重み付け規則」、および「使用中の装置を考慮したロット重み付け規則」である。次に、第3章および第4章に述べたファイナルテスト工程の詳細なモデル、およびデータ構造とシミュレーション手法を用いて、この6種のロット処理優先規則を、テスト効率とテストコストの観点から評価している。

第6章では、まず、実際の工場のファイナルテスト工程においてしばしば生じる到着分布の時間変化や、特急ロットの到着の影響をロット処理優先規則の観点から評価している。次に、最近問題となっているVLSI生産システムの300mmウェーハへの移行をテストロジスティックスの観点から評価している。

第7章では、本研究で得られた成果をまとめ、また、今後の課題について述べている。

論文審査の結果の要旨

本論文は、VLSI生産ファイナルテスト工程をシミュレーションにより評価するための新しい手法を提案し、この手法をワンチップマイクロコンピュータのファイナルテスト工程に適用した一連の研究をまとめたものである。得られた主な成果は次の通りである。

- (1) ファイナルテスト工程で処理される製品とフロー、および使用される装置を、装置の故障と修理、および故障を未然に防ぐための保守を含めて200個以上のパラメータを用いて詳細にモデル化している。
- (2) 多様なパッケージに入った多品種の製品の種々のフローに柔軟に対処し、また多量のデータを効率的に管理するため、製品種を記述するデータ構造体、フローの構成要素である各ステージでの処理を記述するデータ構造体、および各ステージで用いられる装置群を記述するデータ構造体の3つのデータ構造体から構成されるデータ構造を構築している。
- (3) 使用中の装置を考慮したロット重み付け規則（WRと略記する）など6種類のロット処理優先規則を提案し、これらの規則をファイナルテスト工程に適用し評価することにより、WRを用いると先入れ先出し規則（FIFO）に比べて、処理量が約2倍、平均処理時間が約30倍、チップ当たりコストが約2倍改善されることを明らかにしている。
- (4) ロット処理優先規則としてWRを用い、ロット処理・搬送の単位として装置のバッチサイズを用いるテストロジスティクスにより、50%程度までの特急ロット含有率に対しても、また1～25枚にわたる300mmウェーハ枚数の変化に相当する広範なロットサイズの変化に対しても、高いテスト効率と低いチップ当たりコストを維持できることを明らかにしている。

以上のように、本論文はVLSI生産ファイナルテスト工程のシミュレーションによる評価に関して多くの新しい知見を含んでおり、情報システム工学の発展に寄与するところが大きい。よって本論文は、博士論文として価値あるものと認める。