



Title	赤外線通信および低ビットレート音声符号化用VLSIの低消費電力化設計に関する研究
Author(s)	奥畠, 宏之
Citation	大阪大学, 1999, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/42146
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏 名	おく 奥	はた 畑	ひろ 宏	ゆき 之
博士の専攻分野の名称	博	士	(工	学)
学 位 記 番 号	第	1 4 9 5 4	号	
学 位 授 与 年 月 日	平成	11	年	9 月 30 日
学 位 授 与 の 要 件	学位規則第4条第1項該当 工学研究科 情報システム工学専攻			
学 位 論 文 名	赤外線通信および低ビットレート音声符号化用 VLSI の低消費電力化設計に関する研究			
論 文 審 査 委 員	(主査) 教 授 白川 功 (副査) 教 授 村上 孝三 教 授 薦田 憲久	教 授 藤岡 弘 教 授 下條 真司	教 授 西尾章治郎	

論 文 内 容 の 要 旨

本論文は、赤外線無線データ通信および低ビットレート音声符号化用のVLSI化設計について、特に低消費電力化設計に焦点を当て考察を行った結果をまとめたものであり、5章より構成されている。

第1章では、低消費電力VLSI化設計について述べ、本研究の背景と目的を明らかにするとともに研究内容と成果について概説している。

第2章では、赤外線通信および音声符号化の概要について述べている。まず、赤外線通信に関して、通信方式による分類や赤外線通信標準規格IrDAについて述べ、低消費電力化アーキテクチャの基本概念についてまとめている。次に、音声符号化に関して、低ビットレート向き国際標準G.723.1に準拠したVLSI化設計について、特に符号化/復号化アルゴリズムに焦点を当て、その概要を述べている。

第3章では、赤外線無線データ通信の低消費電力VLSI化設計について考察している。まず、1ビットディジタル復調回路を用いた赤外線受信機のアーキテクチャを考案し、ついで、半二重通信に着目した通信コントローラの低消費電力化技法について記述している。

第4章では、低ビットレート音声符号化の国際標準であるG.723.1を実行するDSPについて考察し、特に低消費電力化を実現するためのアーキテクチャについて記述している。具体的には、G.723.1符号化処理の定量的な解析を行い、処理の大半を占める積和演算を効率よく実現するアーキテクチャを考案し、これが低消費電力化に寄与することを示している。

第5章では、本研究で得られた成果を要約し、今後に残された課題について述べている。

論 文 審 査 の 結 果 の 要 旨

本論文は、赤外線無線データ通信および低ビットレート音声符号化用のVLSI化設計について、特に低消費電力化設

計に焦点を当て考察を行った結果をまとめたものであり、以下の主要な結果を得ている。

(1) 低消費電力かつ高速な赤外線通信システムを実現するための方策を模索し、特に、赤外線受信機および通信コントローラに注目し、消費電力をアーキテクチャレベルで削減する手法について考察している。

赤外線受信機に関しては、受光素子・増幅器・1個のコンパレータで構成する低消費電力1ビットデジタル復調型受信機のアーキテクチャを提案し、その実装を行っている。信号強度変化によって生ずる赤外線受信機のパルス幅変動を解析し、その変動を許容する4PPMデジタル復調アルゴリズムを構築することにより広いダイナミックレンジを実現している。実装の結果、従来の最尤判定型アーキテクチャと比較して消費電力の観点から有利であることを述べている。

赤外線通信コントローラに関しては、まず、通信コントローラのアーキテクチャを述べ、次に、PLLの最適化および半二重通信に着目した回路制御による低消費電力化を提案し、最後にシミュレーションにより有効性を明らかにしている。消費電力シミュレーションの結果、送信時の消費電力を受信時の消費電力の約半分にまで削減していることを明らかにしている。

(2) 低ビットレート音声符号化標準G.723.1準拠の携帯情報端末を実現することを目的とし、G.723.1向けDSPの低消費電力アーキテクチャを考案し、そのVLSI化を行っている。

従来G.723.1は特に符号化処理過程において演算量が多いため、実時間処理を実現するには高性能高クロック周波数なDSPが要求されていた。これに付し、本研究でG.723.1の符号化処理解析および演算量測定に基づいて設計された本DSPは、2並列の積和演算器を用いて処理能力を高めることにより、動作周波数を10MHz程度に抑えている。0.35μm CMOSライブラリを用いてVLSI化設計を行った結果、3V動作で44.9mWの低電力化を達成している。

以上のように、本論文は赤外線通信および低ビットレート音声符号化の低消費電力化設計に対して多くの有用な研究成果をあげており、携帯情報端末の発展に寄与するところが大きい。よって本論文は博士論文として価値あるものと認める。